TPS54062 静态电流较低的 4.7V 至 60V 输入、50mA 同步降压转换器

1 特性

- 集成高侧和低侧金属氧化物半导体场效应晶体管 (MOSFET)
- 峰值电流模式控制
- 提升轻载效率的二极管仿真
- 89μA（典型值）运行静态电流
- 100kHz 至 400kHz 可调节开关频率
- 同步至外部时钟
- 内部软启动
- 0.8V±2% 电压基准
- 与陶瓷输出电容或低成本铝制电解电容搭配使用时保持稳定
- 逐周期电流限制、过热和频率折返保护
- 微型小外形尺寸 (MSOP)-8 和 3mm×3mm 超薄小外形尺寸无引线 (VSON)-8 封装

2 应用范围

- 低功耗待机或偏置电压电源
- 4-20mA 电流环路供电传感器
- 工业过程控制、计量、和安全系统
- 高压线性稳压器的替代产品

3 说明

TPS54062 器件是一款 60V、50mA 同步降压转换器，集成有高侧和低侧 MOSFET。电流模式控制提供了简单的外部补偿和组件选择的灵活性。非开关电源电流为 89μA。使用使能引脚可将关断电源电流减少至 1.7 μA。

欠压锁定电压在内部设定为 4.5V，但可通过精确使能引脚将其升高。输出电压启动斜坡由内部缓慢启动时间控制。

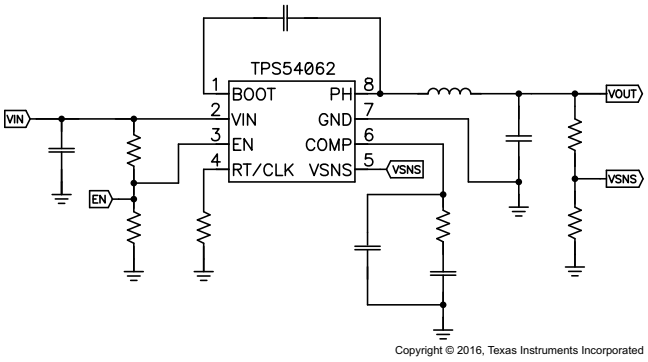
可调节开关频率范围可实现高效率并优化外部组件尺寸。频率折返和热关断功能可在过载情况下对部件提供保护。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TPS54062	MSOP (8)	3.00mm × 3.00mm
	VSON (8)	

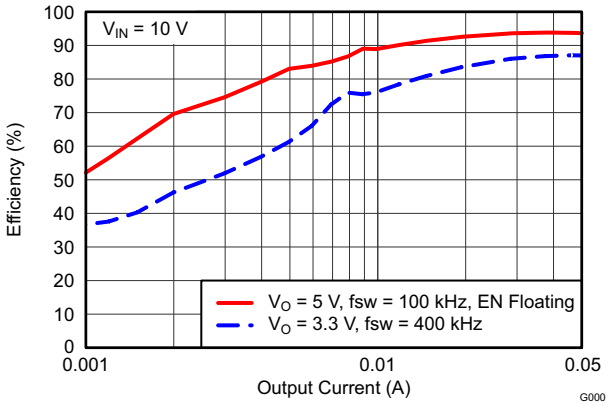
(1) 要了解所有可用封装，请参见数据表末尾的可订购产品附录。

简化原理图



Copyright © 2016, Texas Instruments Incorporated

效率



目录

1 特性 ... 1
2 应用范围 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 4
6 技术规格 ... 5
6.1 绝对最大额定值 ... 5
6.2 ESD 额定值 ... 5
6.3 建议的运行条件 ... 5
6.4 热性能信息 ... 5
6.5 电气特性 ... 6
6.6 典型特性 ... 8
7 详细 说明 ... 11
7.1 概述 ... 11
7.2 功能框图 ... 12
7.3 特性 描述 ... 12
7.4 器件功能模式 ... 15
8 应用 和实施 ... 16
8.1 应用信息 ... 16
8.2 典型 应用 ... 16
9 电源相关建议 ... 29
10 布局布线 ... 29
10.1 布局布线指南 ... 29
10.2 布局示例 ... 29
11 器件和文档支持 ... 30
11.1 接收文档更新通知 ... 30
11.2 社区资源 ... 30
11.3 商标 ... 30
11.4 静电放电警告 ... 30
11.5 Glossary ... 30
12 机械、封装和可订购信息 ... 30

4 修订历史记录

Changes from Revision C (December 2014) to Revision D **Page**

- 已向*布局布线指南*部分添加了文本“所有敏感模拟走线和组件.....” ... 29

Changes from Revision B (August 2012) to Revision C **Page**

- 已添加*处理额定值*表，*特性 描述*部分，*器件功能模式*，*应用和实施*部分，*电源相关建议*部分，*布局*部分，*器件和文档支持*部分以及*机械、封装和可订购信息*部分。 ... 1

Changes from Revision A (October 2011) to Revision B **Page**

- 已添加 特性 项：“提升轻载效率的二极管仿真” ... 1
- 已将 特性 项“100kHz 至 400kHz 开关频率”更改为“100kHz 至 400kHz 可调节开关频率” ... 1
- 已更改效率图象 ... 1
- Changed VSON-8 封装图，使散热焊盘区域清晰明了 ... 4
- 已将 EN 引脚的最高电压值 5V 更改为 8V ... 5
- 更改了“使能并调节欠压锁定”部分 ... 13
- 已更改Equation 22 至Equation 25 ... 20

版权 © 2011–2016, Texas Instruments Incorporated

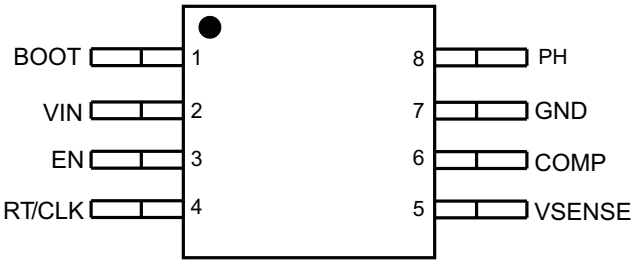
Changes from Original (May 2011) to Revision A **Page**

- 已将 特性 项“MSOP8 和 WSON8 封装”更改为“MSOP-8 和 3 mm x 3 mm VSON-8 封装” 1
- 已更改效率图象 1
- 已添加 VSON（DRB-8 引脚）封装 4
- 修改后的 RT/CLK 引脚 说明 4
- 已添加 VSON-8 引脚值至热性能信息表 5
- 将 PLL 锁定时间的测量单位由 µA 更改为 µs 6
- 已更改Equation 22 20
- 已更改“效率与输出电流间的关系”图象，Figure 21 和Figure 22 20

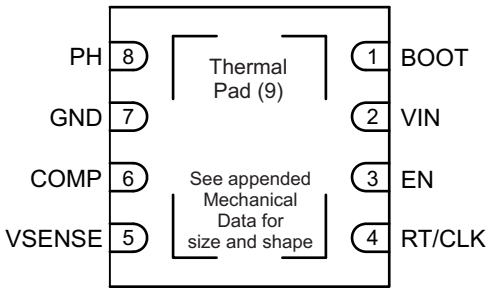
Copyright © 2011–2016, Texas Instruments Incorporated

5 引脚配置和功能

MSOP 封装
8 引脚
俯视图



VSON 封装
8 引脚
仰视图



引脚功能

引脚		I/O	说明
名称	编号		
BOOT	1	O	BOOT 和 PH 之间需要连接一个自举电容。如果该电容的电压低于输出器件所需的最低电压，则输出在电容刷新前强制关闭。
VIN	2	I	输入电源电压：4.7V 至 60V
EN	3	I	使能引脚，内部上拉电流源。拉至 1.14V 以下可禁用器件。悬空可使能器件。使用 2 个电阻调节输入欠压锁定，请参见*使能并调节欠压锁定*部分。
RT/CLK	4	I	电阻时序及外部时钟。当使用外部接地电阻设置开关频率时，内部放大器将该引脚保持为固定电压。如果该引脚拉至超出 PLL 上限阈值，则模式发生变化，引脚变为同步输入。内部放大器禁用，引脚呈现为内部 PLL 的高阻抗时钟输入。如果时钟沿停止，内部放大器重新使能，器件模式恢复为电阻频率编程模式。
VSENSE	5	I	跨导 (gm) 误差放大器的反相输入。
COMP	6	O	误差放大器输出以及输出开关电流比较器的输入。将频率补偿组件与该引脚相连。
GND	7	–	接地
PH	8	O	内部高侧功率 MOSFET 的源极和内部低侧 MOSFET 的漏极
散热焊盘	9	–	为使器件正常工作，GND 引脚必须以电气方式与 PCB 的外露焊盘相连。仅限 VSON-8 封装。

Copyright © 2011–2016, Texas Instruments Incorporated

6 技术规格

6.1 绝对最大额定值(1)

在自然通风温度范围内运行（除非另有说明）

		最小值	最大值	单位
电压	VIN	-0.3	62	V
	EN	–0.3	8	V
	BOOT-PH	-0.3	8	V
	VSENSE	-0.3	6	V
	COMP	-0.3	3	V
	PH	–0.6	62	V
	PH，10ns 瞬态	-2	62	V
	RT/CLK	-0.3	6	V
电流	VIN	内部受限		A
	EN		100	µA
	BOOT		100	mA
	VSENSE		10	µA
	COMP		100	µA
	PH	内部受限		A
	RT/CLK		200	µA
运行结温		-40	125	ºC
存储温度，T_{sg}		-65	150	°C

(1) 除非另外注明，否则本部分规定的绝对最大额定值适用于本文档的所有规范。这些规范将被解释为违反一次就可能损坏器件的条件。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
	组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

	最小值	最大值	单位
输入电压	4.7	60	V
输出电流		50	mA
通过 RT/CLK 电阻设置的开关频率	100	400	kHz
与外部时钟同步的开关频率	300	400	kHz

6.4 热性能信息

热指标(1)		TPS54062		单位
		MSOP	VSON	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	127.1	40.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	33.4	49.7	
$R_{\theta JB}$	结至电路板热阻	80	15.7	
ψ_{JT}	管结至顶部的特征参数	1	0.6	
ψ_{JB}	管结至电路板的特征参数	79	15.9	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不可用	4.1	

(1) 有关传统和新热指标的更多信息，请参见应用报告*《半导体和 IC 封装热指标》*。

Copyright © 2011–2016, Texas Instruments Incorporated

6.5 电气特性(1)

T_J = –40°C 至 125°C，VIN = 4.7V 至 60V（除非另外注明）

参数	条件	最小值	典型值	最大值	单位
电源电压（VIN 引脚）					
工作输入电压	VIN	4.7		60	V
关断电源电流	EN = 0V		1.7		μA
运行 Iq – 非开关状态	VSENSE = 0.9V，VIN = 12V		89	110	μA
使能和 UVLO（EN 引脚）					
使能阈值	上升		1.24	1.4	V
	下降	1	1.14		V
输入电流	使能阈值 +50mV		–4.7		μA
	使能阈值 -50 mV		-1.2		μA
迟滞			3.5		μA
使能启动开关时间			450		μs
VIN					
VIN 启动电压	VIN 上升		4.53		V
电压基准					
电压基准	1mA < I_{OUT} < 最小电流限值	0.784	0.8	0.816	V
高侧 MOSFET					
开关电阻	BOOT-PH = 5.7V		1.5	2.8	Ω
低侧 MOSFET					
开关电阻	VIN = 12V		0.8	1.5	Ω
误差放大器					
输入电流	VSENSE 引脚		20		nA
误差放大器跨导	–2μA < $I_{(COMP)}$ < 2μA，$V_{(COMP)}$ = 1V		102		μS
缓慢启动过程中的误差放大器跨导	–2μA < $I_{(COMP)}$ < 2μA、$V_{(COMP)}$ = 1V、VSENSE = 0.4V		26		μS
误差放大器直流增益	VSENSE = 0.8V		1000		V/V
最小单位增益带宽			0.5		MHz
误差放大器拉电流/灌电流	$V_{(COMP)}$ = 1V，100mV 过驱		±8		μA
启动开关阈值			0.57		V
COMP 至 Iswitch 跨导			0.65		A/V
电流限值					
高侧拉电流限值阈值	VIN = 12V，BOOT-PH = 5.7V	75	134		mA
过零检测电流			-0.7		mA
热关断					
热关断			146		C
RT/CLK					
采用 RT 模式的工作频率		100		400	kHz
开关频率	$R_{(RT/CLK)}$ = 510kΩ	192	240	288	kHz
最小 CLK 脉宽			40		ns
RT/CLK 电压	$R_{(RT/CLK)}$ = 510kΩ		0.53		V
RT/CLK 高阈值				1.3	V
RT/CLK 低阈值		0.5			V
RT/CLK 下降沿至 PH 上升沿延迟	在频率为 240kHz 时通过串联 RT 电阻测得		100	200	ns
PLL 锁定时间	在频率为 240kHz 时测得		100		μs
PLL 频率范围		300		400	kHz
PH					
最短导通时间	在 -50% 至 50% VIN 范围内且 I_{OUT} = 50mA 时测得		120		ns

(1) 除非另外注明，否则本部分规定的电气额定值适用于本文档的所有规范。这些规范将解释为在采用该器件的产品的使用寿命范围内，不会导致器件参数或功能规范下降的各项条件。

Copyright © 2011–2016, Texas Instruments Incorporated

电气特性(1) (continued)

T_J = –40°C 至 125°C，VIN = 4.7V 至 60V（除非另外注明）

参数	条件	最小值	典型值	最大值	单位
死区	VIN = 12V、I_{OUT} = 50mA、单次转换		30		ns
BOOT					
BOOT-PH 稳压电压	VIN = 12V		5.7		V
BOOT-PH UVLO			2.9		V
内部缓慢启动时间					
缓慢启动时间	f_{SW} = 240kHz、RT = 510kΩ、10% 至 90%		4.1		ms

Copyright © 2011–2016, Texas Instruments Incorporated

6.6 典型特性

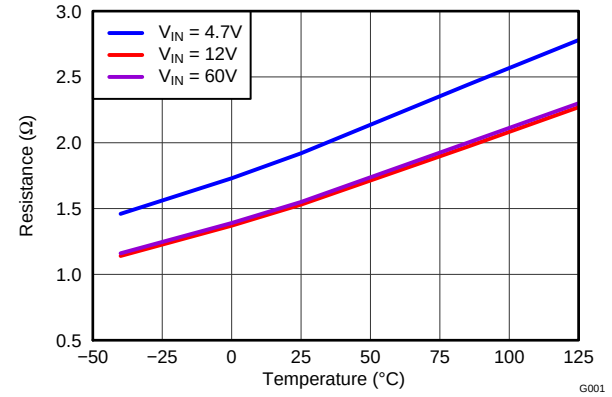


Figure 1. 高侧 $R_{DS(on)}$ 与温度间的关系

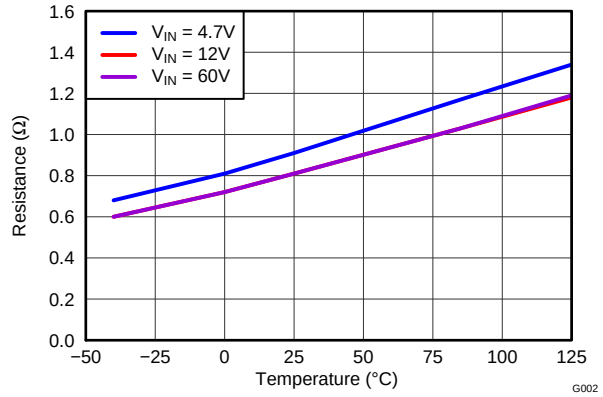


Figure 2. 低侧 $R_{DS(on)}$ 与温度间的关系

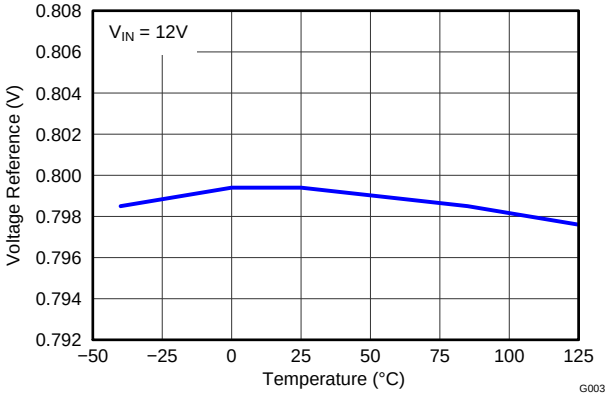


Figure 3. V_{REF} 电压与温度间的关系

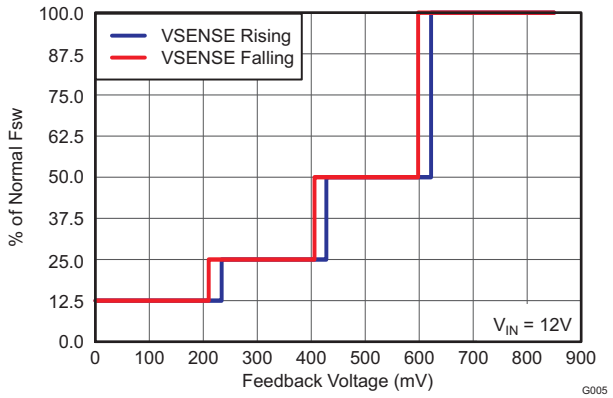


Figure 4. 频率与 VSENSE 电压间的关系

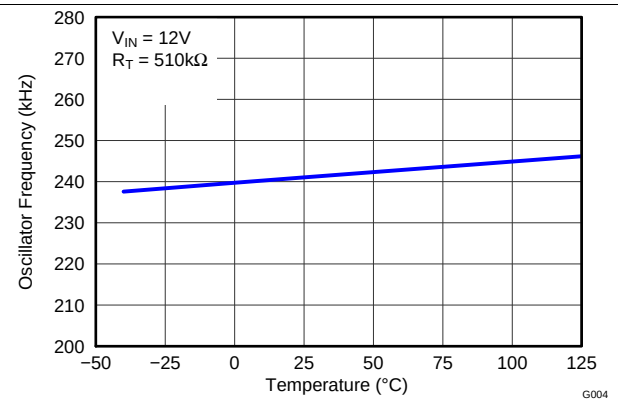


Figure 5. 频率与温度间的关系

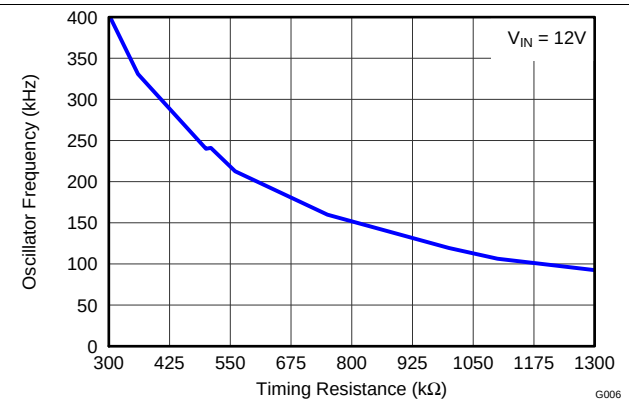


Figure 6. 频率与 RT/CLK 电阻间的关系

Copyright © 2011–2016, Texas Instruments Incorporated

典型特性 (continued)

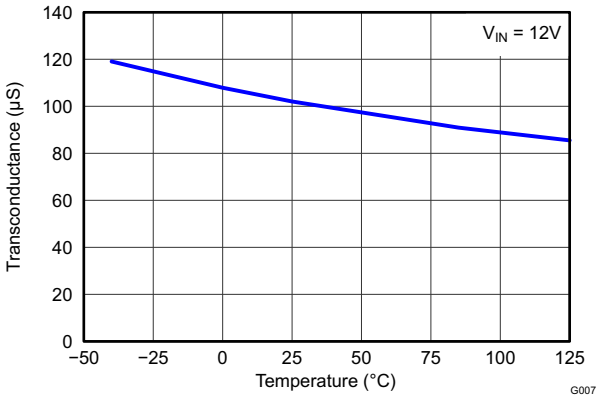


Figure 7. 误差放大器跨导与温度间的关系

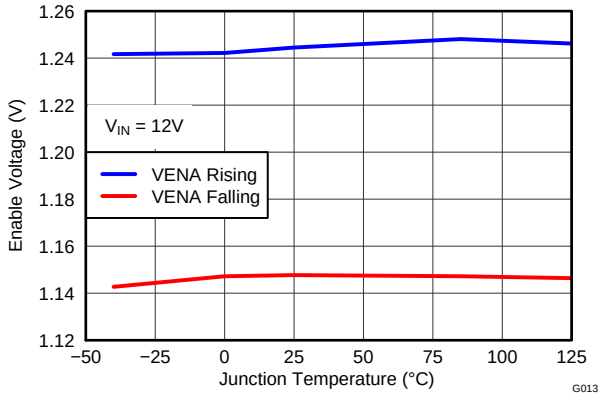


Figure 8. 使能引脚电压与温度间的关系

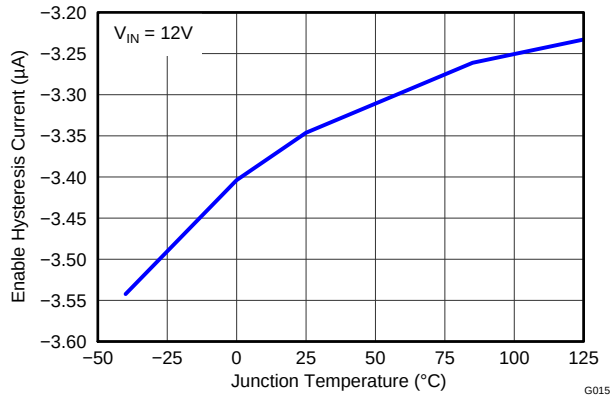


Figure 9. 使能引脚迟滞电流与温度间的关系

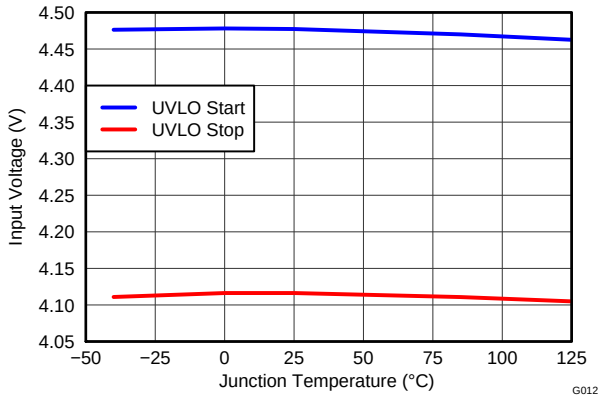


Figure 10. 输入电压 (UVLO) 与温度间的关系

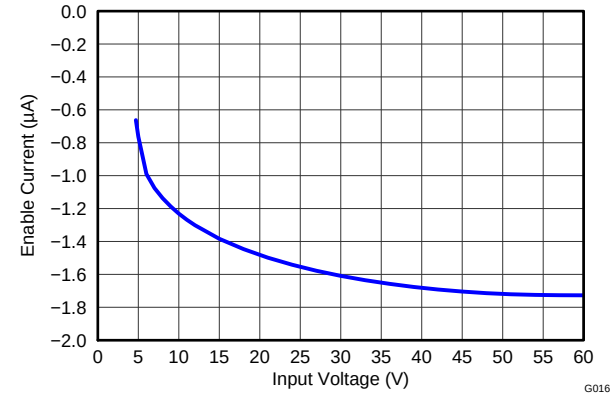


Figure 11. 使能引脚上拉电流与输入电压间的关系

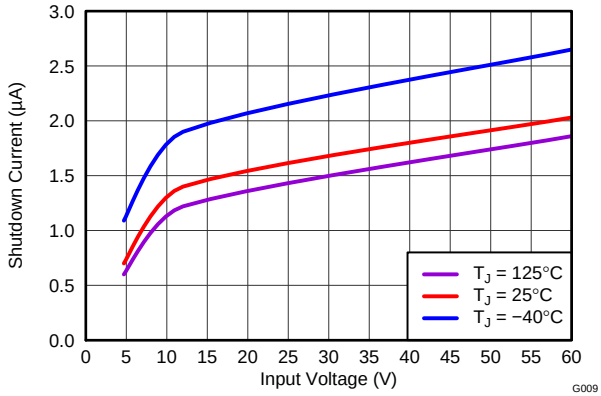


Figure 12. 关断电源电流 (VIN) 与输入电压间的关系

Copyright © 2011–2016, Texas Instruments Incorporated

典型特性 (continued)

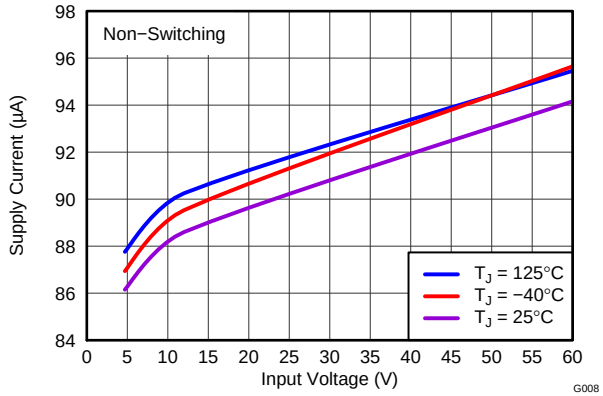


Figure 13. 电源电流（VIN 引脚）与输入电压间的关系

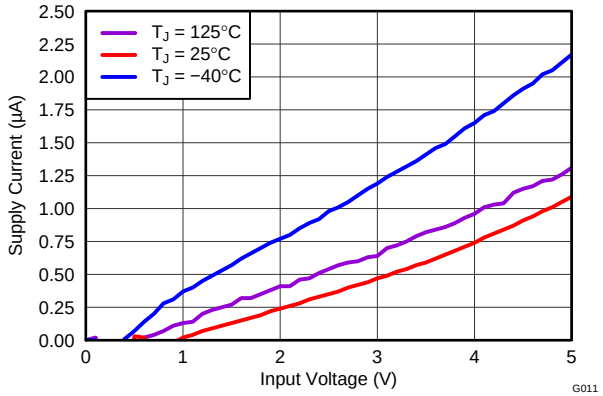


Figure 14. 电源电流（VIN 引脚）与输入电压（0V 至 VSTART）间的关系（EN 引脚处于低电平）

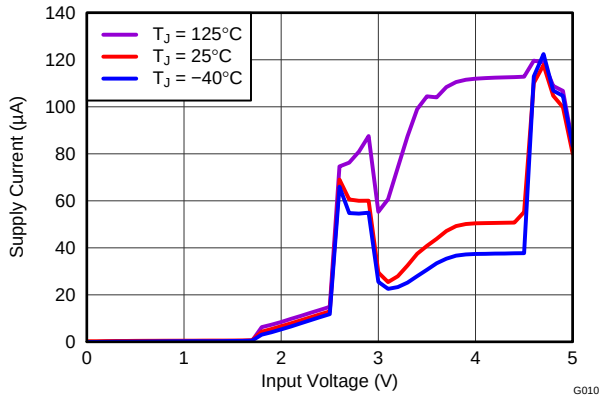


Figure 15. 电源电流（VIN 引脚）与输入电压（0V 至 V_{START}）间的关系（EN 引脚开路）

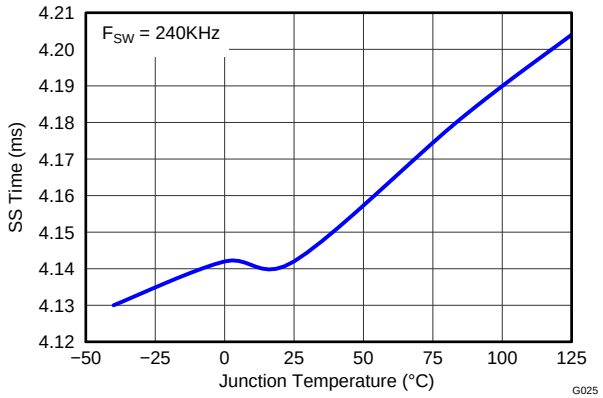


Figure 16. 缓慢启动时间与温度间的关系

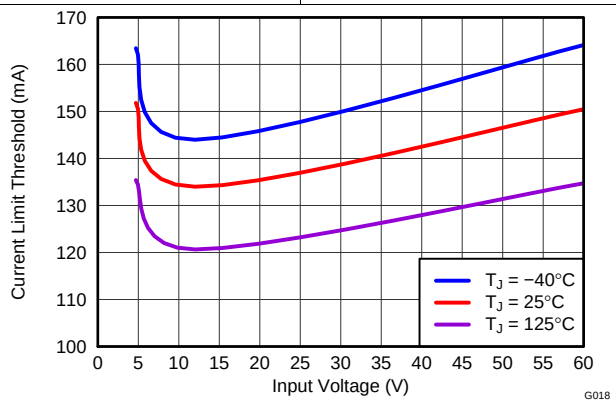


Figure 17. 电流限值与输入电压间的关系

Copyright © 2011–2016, Texas Instruments Incorporated

7 详细 说明

7.1 概述

TPS54062 器件是一款 60V、50mA 降压稳压器，集成了高侧和低侧 N 沟道 MOSFET。为了提高线路和负载瞬态性能，该器件实现了恒定频率、电流模式控制，降低了输出电容并简化了外部频率补偿设计。

在选择输出滤波器组件时，100kHz 至 400kHz 开关频率优化了效率和尺寸。开关频率通过 RT/CLK 引脚上的接地电阻进行调节。该器件的 RT/CLK 引脚具有一个内部锁相环 (PLL)，用于同步电源开关导通与外部系统时钟下降沿。

TPS54062 的默认启动电压约为 4.5V。EN 引脚提供一个内部上拉电流源，通过该电流源和 2 个外部电阻可调节输入电压欠压锁定 (UVLO) 阈值。此外，上拉电流提供一项默认条件。当 EN 引脚悬空时，器件将会工作。当未进行开关并处于空载条件下时，其工作电流为 89 μA。该器件禁用后，电源电流为 1.7 μA。

集成的 1.5Ω 高侧 MOSFET 和 0.8Ω 低侧 MOSFET 实现了高效电源设计，能够向负载持续输出 50mA 电流。

TPS54062 通过集成自举再充电二极管减少外部组件数量。BOOT-PH 引脚连接的电容为集成高侧 MOSFET 提供偏置电压。UVLO 电路监测自举电容电压，当其降至预设阈值以下时，高侧 MOSFET 随即关断。TPS54062 通过自举 UVLO 支持高占空比运行。输出电压可降至与 0.8V 基准电压等同的水平。

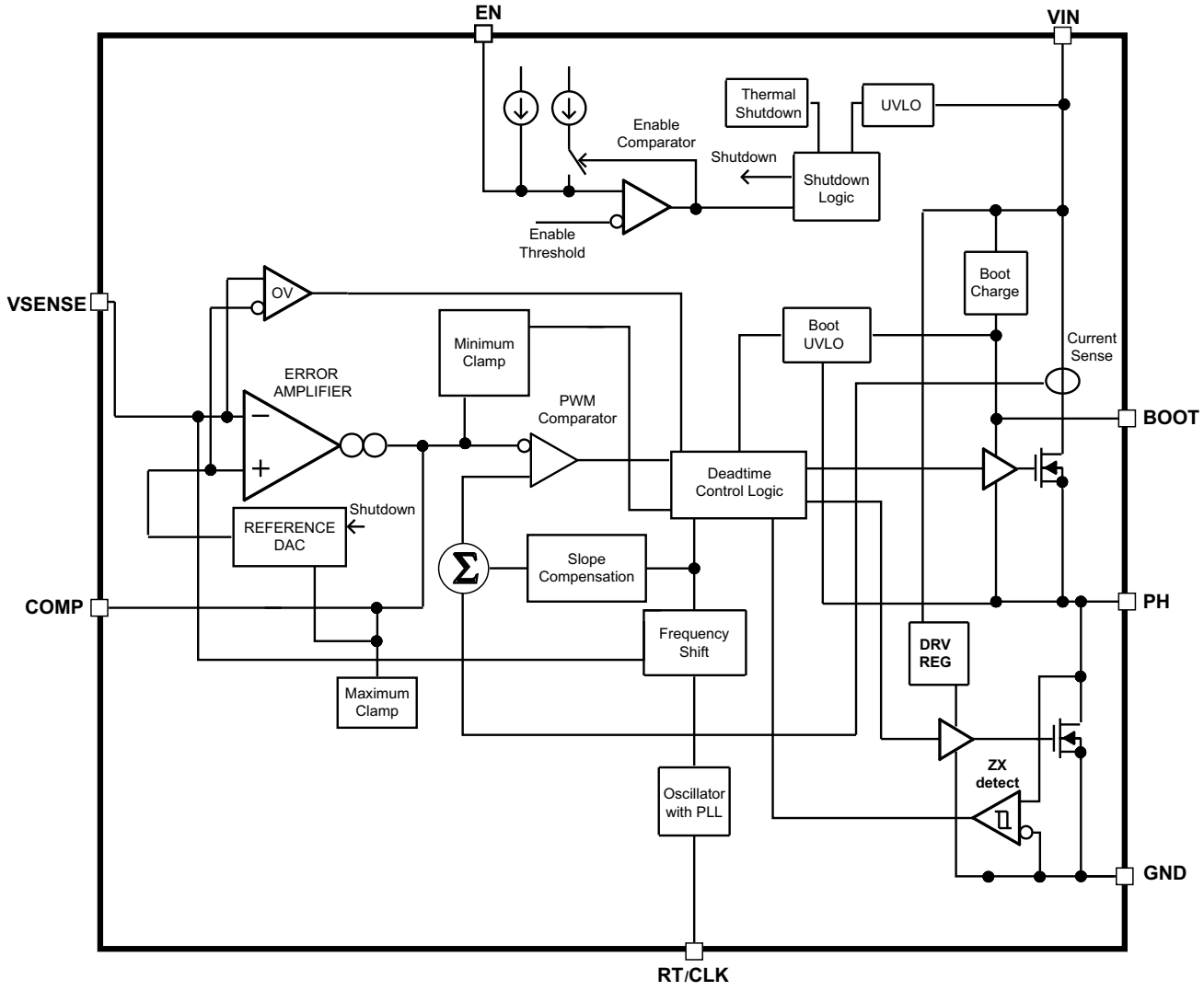
TPS54062 提供内部输出 OV 保护，如果输出电压达到标称输出电压的 109%，高侧 MOSFET 禁用。

TPS54062 通过集成使用基准 DAC 系统的缓慢启动时间减少外部组件数量。

在过载条件下，TPS54062 通过过载恢复电路重置缓慢启动时间。故障条件消除后，过载恢复电路将缓慢启动输出，使其由故障电压恢复至标称稳压电压。频率折返电路降低了启动过程中和过流故障条件下的开关频率，从而协助控制电感电流。

Copyright © 2011–2016, Texas Instruments Incorporated

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 描述

7.3.1 固定频率 PWM 控制

TPS54062 采用固定频率可以调节的峰值电流模式控制机制。驱动 COMP 引脚的误差放大器通过 VSENSE 引脚的外部电阻将输出电压与内部基准电压进行比较。内部振荡器开启高侧电源开关。误差放大器输出与高侧电源开关电流进行比较。当电源开关电流升至 COMP 电压设定的水平后，电源开关随即断开。COMP 引脚电压随输出电流的上升或下降而上升或下降。该器件通过将 COMP 引脚电压钳制于最高水平实现限流。

7.3.2 斜坡补偿输出电流

TPS54062 在开关电流信号中加入了补偿斜坡。该斜坡补偿可避免次谐波振荡。

7.3.3 误差放大器

TPS54062 为误差放大器提供了一个跨导放大器。误差放大器将 VSENSE 电压与内部缓慢启动电压和 0.8V 内部基准电压的较小者进行比较。误差放大器在正常运行过程中的跨导 (gm) 为 102μS。缓慢启动运行过程中的跨导等于正常运行跨导的一小部分。为 COMP 接地引脚添加频率补偿组件（电容、串联电阻和电容组合）。

Copyright © 2011–2016, Texas Instruments Incorporated

特性 描述 (continued)

7.3.4 电压基准

电压基准系统针对具有温度稳定性的带隙电路输出进行调节，从而在整个温度范围内生成 ±2V 精密电压基准

7.3.5 调节输出电压

输出电压可通过输出节点和 VSENSE 引脚间的电阻分压器进行设置。TI 建议采用 1% 容差或更优分压电阻。起始阶段采用 10kΩ R_{LS} 电阻并按照Equation 1 计算 R_{HS}。

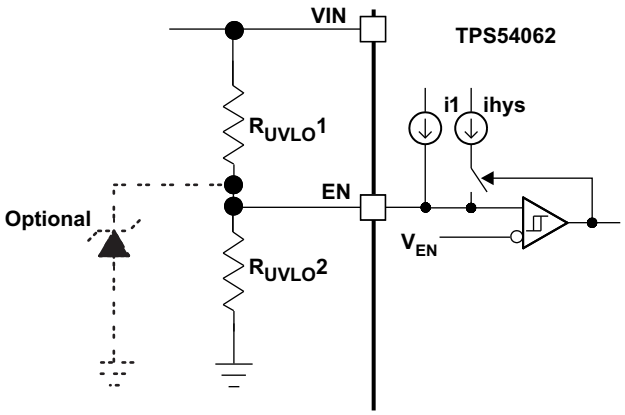
$$R_{HS} = R_{LS} \times \left(\frac{V_{OUT} - 0.8\ V}{0.8\ V} \right) \quad (1)$$

7.3.6 使能并调节欠压锁定

当 VIN 引脚电压升至 4.53V 以上且 EN 引脚电压超过 EN 上升阈值 (1.24V) 时，TPS54062 使能。EN 引脚提供 1.2μA 内部上拉电流源 I1。该电流源在 EN 引脚处于悬空状态时提供默认使能条件。

如果某一应用要求提高输入欠压锁定 (UVLO) 阈值，采用 Figure 18 所示电路通过两外部电阻调节输入电压 UVLO。EN 引脚电压超出 1.24V 后，将从 EN 引脚额外拉取 3.5μA 迟滞电流 (Ihys)。EN 引脚电压拉至 1.14V 以下后，3.5μA Ihys 电流消除。该附加电流有助于调节输入电压迟滞。为了获取所需输入起始和停止电压，根据 Equation 2 计算 R_{UVLO1}。同理，根据Equation 3 计算 R_{UVLO2}。

对于 设计为 以相对较低的输入电压（例如 4.7V 至 10V）启动并耐受高输入电压（例如 40V 至 60V）的应用，EN 引脚在高输入电压条件下承受的电压可能高于最大绝对电压 (8V)。TI 建议使用齐纳二极管将引脚电压钳制于绝对最大额定值以下。



Copyright © 2016, Texas Instruments Incorporated

Figure 18. 可调节欠压锁定

$$R_{UVLO}1 = \frac{V_{START}\left(\frac{V_{ENAFALLING}}{V_{ENARISING}}\right) - V_{STOP}}{I1 \times \left(1 - \frac{V_{ENAFALLING}}{V_{ENARISING}}\right) + I_{HYS}} \quad (2)$$

$$R_{UVLO}2 = \frac{R_{UVLO}1 \times V_{ENAFALLING}}{V_{STOP} - V_{ENAFALLING} + R_{UVLO}1 \times (I_1 + I_{HYS})} \quad (3)$$

7.3.7 恒定开关频率和定时电阻（RT/CLK 引脚）

通过在 RT/CLK 引脚连接一个电阻，TPS54062 的开关频率可以在 100kHz 至 400kHz 宽频范围内进行调节。RT/CLK 引脚电压通常为 0.53V，必须连接接地电阻以设置开关频率。为了确定给定开关频率的定时电阻，请使用 Equation 4。为了缩减解决方案尺寸，常用方法是尽量提升开关频率，但应考虑电源效率、最高输入电压与最短受控导通时间之间的平衡。最短受控导通时间通常为 130ns，最高运行输入电压因此受限。最高开关频率也将受到频移电路的限制。下文就最高开关频率的详细内容展开深入讨论。

特性 描述 (continued)

$$R_T(k\Omega) = \frac{116720}{f_{SW}(kHz)^{0.9967}} \quad (4)$$

7.3.8 选择开关频率

TPS54062 实现了电流模式控制机制，基于逐周期偏置，利用 COMP 引脚电压关断高侧 MOSFET。开关电流和 COMP 引脚电压在各周期内进行比较，当峰值开关电流与 COMP 电压相交后，高侧开关关断。输出电压在过流条件下拉低，误差放大器通过将 COMP 引脚驱动为高电平进行响应，以此提升开关电流。误差放大器输出受到内部钳制，此时用于限制开关电流。

为了提升高输入电压条件下的最高运行开关频率，TPS54062 实现了一种频移电路。随着 VSENSE 引脚电压由 0 升至 0.8V，开关频率进行 8 分频、4 分频、2 分频及无分频。该器件实现了数字频移，支持在正常启动和故障条件下与外部时钟同步。由于仅可对开关频率进行 8 分频，因此最高输入电压受限，该器件在此输入电压下正常运行并且仍然提供频移保护。在短路事件 过程中（尤其是高输入电压应用发生短路），控制回路的最短受控导通时间有限并输出低电压。在开关导通过程中，由于输入电压较高且导通时间最短，电感电流升至峰值电流限值。在开关关断过程中，电感的关断时间和输出电压通常不足，导致其电压无法恢复初始水平。频移电路有效延长了器件关断时间，允许电流逐步降低。

$$f_{SW}(maxskip) = \left(\frac{1}{t_{ON}}\right) \times \left(\frac{V_{OUT} + R_{LS} \times I_O + R_{DC} \times I_O}{V_{IN} - I_O \times R_{HS} + I_O \times R_{LS}}\right) \quad (5)$$

$$f_{SW}(shift) = \left(\frac{f div}{t_{ON}}\right) \times \left(\frac{V_{OUTSC} + R_{LS} \times I_{CL} + R_{DC} \times I_{CL}}{V_{IN} - I_{CL} \times R_{HS} + I_{CL} \times R_{LS}}\right) \quad (6)$$

其中：

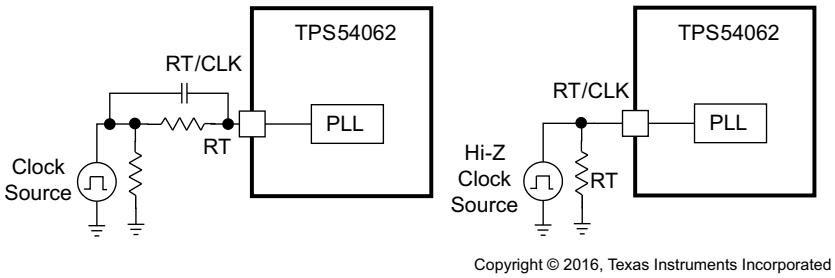
I_O = 输出电流
I_{CL} = 电流限值
V_{IN} = 输入电压
V_{OUT} = 输出电压
V_{OUTSC} = 短路状态下的输出电压
R_{DC} = 电感电阻
R_{HS} = 高侧 MOSFET 电阻
R_{LS} = 低侧 MOSFET 电阻
t_{on} = 受控导通时间
fdiv = 分频系数（等于 1、2、4 或 8）

7.3.9 如何连接 RT/CLK 引脚

可以使用 RT/CLK 引脚将稳压器与外部系统时钟同步。为了实现同步功能，按照Figure 19 所示的任一电路网络将方波信号与 RT/CLK 引脚相连。方波信号幅值必须在 RT/CLK 引脚电压低于 0.5V 和 高于 1.3V 时进行转换，导通时间和关断时间均超过 40ns。同步频率范围为 300kHz 至 400kHz。PH 的上升沿将与 RT/CLK 引脚信号的下降沿同步。外部同步电路设计应满足以下要求：器件在 RT/CLK 引脚与接地端之间默认连接频率设置电阻，同步信号应关断。对于在关断状态下不处于高阻抗状态或三态的时钟信号，TI 建议按Figure 19 所示连接频率设置电阻并通过另一电阻（例如 50Ω）进行接地。总电阻应将开关频率设置为接近外部 CLK 频率。TI 建议使用一个 10pF 陶瓷电容将同步信号交流耦合至 RT/CLK 引脚。当 CLK 第一次拉至 CLK 阈值以上后，该器件由 RT 电阻设定频率的模式切换至 PLL 模式。PLL 开始锁定外部信号后，0.5V 内部电压源断开，CLK 引脚呈高阻抗状态。由于稳压器提供一个 PLL，因此开关频率可以高于或低于通过外部电阻设定的频率。该器件由电阻模式转换为 PLL 模式，此后增大或降低开关频率，直至 PLL 在 100 毫秒内锁定 CLK 频率。当器件由 PLL 转换至电阻模式后，开关频率将由 CLK 频率缓慢降至 150kHz，然后重新施加 0.5V 电压，电阻随即设置开关频率。随着 VSENSE 引脚电压由 0 升至 0.8V，开关频率进行 8 分频、4 分频、2 分频及无分频。该器件实现了数字频移，支持在正常启动和故障条件下与外部时钟同步。

Copyright © 2011–2016, Texas Instruments Incorporated

特性 描述 (continued)



Copyright © 2016, Texas Instruments Incorporated

Figure 19. 与系统时钟同步

7.3.10 过压瞬态保护

TPS54062 采用过压瞬态保护 (OVTP) 电路，当器件由输出故障条件或强空载瞬态条件（出现于采用低值输出电容的电源设计）恢复时，可以最大程度削弱电压过冲。例如，电源输出发生过载后，误差放大器将实际输出电压与内部基准电压进行比较。如果 VSENSE 引脚电压长时间低于内部基准电压，误差放大器输出将钳制于一定高电压，以此进行响应。因此将请求最大输出电流。该条件消除后，稳压器输出上升，误差放大器输出转换至稳态占空比模式。在某些 应用中，电源输出电压的响应速度会超过误差放大器，进而可能导致输出过冲。

通过实现一款将 VSENSE 引脚电压与 OVTP 阈值（大小等于内部基准电压的 109%）进行比较的电路，OVTP 功能在使用低值输入电容时最大限度降低输出过冲。如果 VSENSE 引脚电压高于 OVTP 阈值，高侧 MOSFET 禁用，避免电流流入输出并最大程度降低输出过冲。当 VSENSE 电压降至 OVTP 阈值以下后，高侧 MOSFET 可在下一时钟周期导通。

7.3.11 过热保护

该器件实现内部热关断，在结温超过 146°C 时保护自身免于受损。当结温超出热跳变阈值后，热关断强制器件停止切换。芯片温度降至 146°C 以下后，该器件通过重启内部缓慢启动再次启动上电序列。

7.4 器件功能模式

7.4.1 在最低输入电压附近运行

建议 TPS54062 以超过 4.7V 的输入电压运行。VIN UVLO 阈值为 4.53V（典型值）。当输入电压降至 UVLO 电压后，该器件可以正常运行。当输入电压低于实际 UVLO 电压时，该器件不再进行切换。如果 EN 悬空或以外部方式上拉至 1.24V 上升阈值（典型值）以上，TPS54062 将在 $V_{(VIN)}$ 超出 UVLO 阈值时激活。切换功能启用，缓慢序列随之启动。在由开关频率设置的内部缓慢启动时间段内，内部基准 DAC 电压在 TPS54062 的作用下开始以线性方式由 0V 斜升至基准电压。

7.4.2 通过使能控制运行

使能启动阈值电压为 1.24V（典型值）。当 EN 持续低于上升阈值电压 1.24V（典型值），TPS54062 处于禁用状态并禁止进行切换，即使 VIN 高于器件的 UVLO 阈值同样如此。这种状态下的静态电流有所降低。如果 EN 电压升至上升阈值电压以上，同时 $V_{(VIN)}$ 高于 UVLO 阈值，该器件激活。切换功能启用，缓慢序列随之启动。在由开关频率设置的内部缓慢启动时间段内，内部基准 DAC 电压在 TPS54062 的作用下开始以线性方式由 0V 斜升至基准电压。如果 EN 下拉至下降阈值 1.14V（典型值）以下，TPS54062 将重新进入低静态电流状态。

8 应用 和实施

NOTE

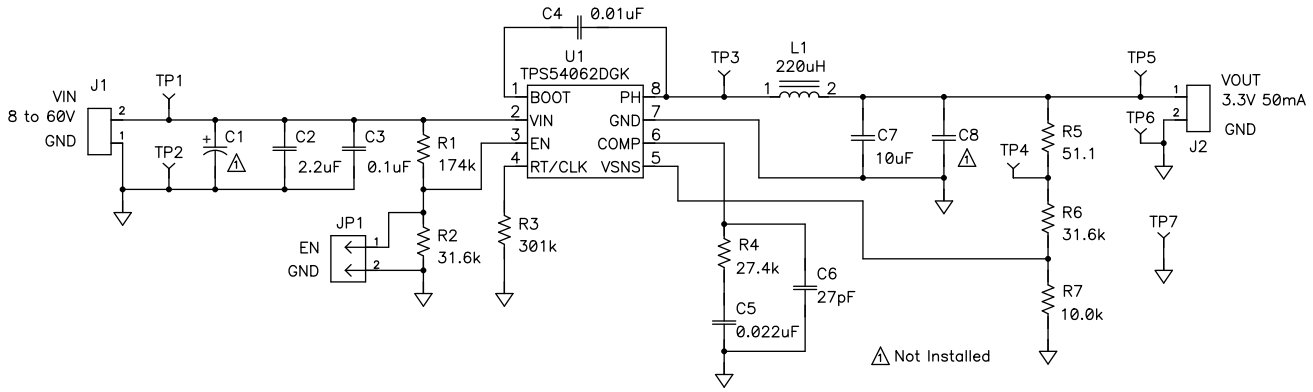
以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TPS54062 是一款 60V、50mA 降压稳压器，集成了高侧和低侧 MOSFET。该器件通常将较高的直流电压转换为低值直流电压，输出电流最高可达 50mA。示例 应用 包括：低功耗待机或偏置电压电源、由 4mA 至 20mA 电流回路供电的传感器、工业过程控制、计量以及安保系统或高效高压线性稳压器的替代设备。按照以下设计流程为 TPS54062 选择合适的组件值。该流程所示为高开关频率稳压器设计。上述计算可通过 Excel 电子表格工具 SLVC364 完成。此外，可以使用 WEBENCH 软件生成完整设计。WEBENCH 软件采用一种迭代设计过程，通过访问综合元件数据库生成设计。

8.2 典型 应用

8.2.1 连续导通模式 (CCM) 开关稳压器



Copyright © 2016, Texas Instruments Incorporated

Figure 20. 应用电路原理图

8.2.1.1 设计要求

本示例详细介绍了使用陶瓷输出电容的连续导通模式 (CCM) 开关稳压器设计过程。如果需要低输出电流设计，请参见 *DCM 应用*。在开始该设计过程前必须了解一些参数。这些参数通常在系统层面确定。对于该示例，我们将从下列已知参数入手：

输出电压	3.3V
0mA 至 50mA 负载阶跃瞬态响应	ΔV_{OUT} = 4%
最大输出电流	50mA
输入电压	24V（标称值）8V 至 60V
输出电压纹波	V_{OUT} 的 0.5%
启动输入电压（VIN 上升）	7.88V
停止输入电压（VIN 下降）	6.66V

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

8.2.1.2 详细设计流程

8.2.1.2.1 选择开关频率

第一步是确定稳压器开关频率。用户通常希望尽量选择最高开关频率，从而获得尺寸最小的解决方案。与开关频率较低的电源相比，较高的开关频率支持使用低值电感以及小型输出电容。可供选择的开关频率受到以下参数限制：内部电源开关的最短导通时间、输入电压和输出电压以及频移限制。

必须使用Equation 5 和Equation 6 找出稳压器的最高开关频率，选择两公式中的较小值。开关频率高于上述值将导致脉冲跳跃或在短路时缺乏过流保护。TPS54062 的最短导通时间 (t_{on}min) 为 130ns（典型值）。该示例的输出电压为 3.3V，最高输入电压为 60V，当包含Equation 5 或Equation 6 中的电感电阻、导通电阻和二极管电压时，支持的开关频率最高可达 400kHz。为了避免在设计过程中考虑发生短路时的过流失控问题，请根据Equation 6 确定最大开关频率。最高输入电压选择 60V，电感电阻为 3.7Ω，高侧开关电阻为 2.3Ω，低侧开关电阻为 1.1Ω，电流限值选择 120mA，短路输出电压等于 0.1V。

两种情况下的最高开关频率均为 400kHz，因此使用 400kHz 开关频率。请根据Equation 4 确定给定开关频率对应的定时电阻。开关频率通过Figure 20 所示的电阻 R3 进行设置。通过计算得出的 R3 为 298kΩ。使用阻值为 301kΩ 的标准电阻。

8.2.1.2.2 输出电感选择 (LO)

最小输出电感的计算：使用Equation 7。KIND 系数表示与最大输出电流相关的电感纹波电流。电感纹波电流将通过输出电容进行滤波。因此，选择高电感器纹波电流将影响输出电容的选择，原因是输出电容的额定纹波电流必须大于等于电感纹波电流。一般而言，设计人员可以自行决定电感纹波值，但应遵循以下准则。TI 通常建议使用介于 0.2 至 0.4 之间的 KIND。然而，对于使用低 ESR 输出电容（例如陶瓷电容）和低输出电流的设计，KIND 应为 1。在宽输入电压稳压器中，建议根据较大一侧选择电感纹波电流。这允许电感在最低输入电压条件下仍能提供可测量纹波电流。该设计示例采用的 KIND = 0.8，计算得出的最小电感为 195µH。本设计选择近似标准值 220µH。对于输出滤波电感而言，至关重要的是不得超出额定 RMS 电流和饱和电流。RMS 电流和峰值电感电流可根据Equation 9 和Equation 10 进行计算。

对于该设计，RMS 电感电流为 50mA，峰值电感电流为 68mA。选用 Coilcraft LPS4018-224ML 电感。该电感的额定饱和电流为 235mA，额定 RMS 电流为 200mA。如公式组所示，纹波电流较低将导致稳压器输出电压纹波下降，但需要使用数值更大的电感。选择较高纹波电流将提升稳压器的输出电压纹波，但允许使用低值电感。流经电感的电流为电感纹波电流外加输出电流。在上电、故障或瞬态负载条件下，电感电流可能超出上文计算得出的峰值。在瞬态条件下，电感电流能够升至器件的开关电流限值。基于该原因，最为保守的方法是规定电感的额定饱和电流（而非峰值电感电流）大于等于器件的开关电流限值。

$$L_O\text{min} \geq \left(\frac{V_{IN}\text{max} - V_{OUT}}{\text{Kind} \times I_O} \right) \times \frac{V_{OUT}}{V_{IN}\text{max} \times f_{SW}} \tag{7}$$

$$I_{RIPPLE} \geq \frac{V_{OUT} \times \left(V_{IN}\text{max} - V_{OUT}\right)}{V_{IN}\text{max} \times L_O \times f_{SW}} \tag{8}$$

$$I_L\text{rms} = \sqrt{I_O^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times \left(V_{IN}\text{max} - V_{OUT}\right)}{V_{IN}\text{max} \times L_O \times f_{SW}} \right)^2} \tag{9}$$

$$I_L\text{peak} = I_{OUT} + \frac{I_{RIPPLE}}{2} \tag{10}$$

8.2.1.2.3 输出电容

选择输出电容值时，主要考虑三点。输出电容将决定调制器极点、输出电压纹波以及稳压器响应负载电流显著变化的方式。输出电容应根据比上述三项指标更为严苛的标准进行选择。第一项标准是稳压器针对负载电流显著变化作出的相应。当稳压器不能为负载供电时，输出电容需要向负载提供电流。出现这种情况的条件是稳压器的保持时间符合要求，在此期间，移除输入电源后，输出电容必须在规定时间内使输出电压保持在某一水平之上。如果负载电流需要在短时间内显著提升（例如由空载状态转换至满载状态），稳压器也将暂时无法提供足够的输出电流。稳压

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

器通常需要在不少于两个控制回路时钟周期内观察负载电流和输出电压变化，进而通过调节占空比进行响应。选择输出电容值时应将以下注意事项纳入考量范围：输出电容在控制回路响应负载变化前需要向负载额外提供电流。输出电容必须足够大，从而填补 2 个时钟周期内的电流差，同时输出电压仅允许下降可容许值。Equation 14 所示为实现该目标所需的最小输出电容。其中 ΔIout 为输出电流增量，f_{sw} 为稳压器开关频率，ΔVout 为允许的输出电压增量。

对于该示例，当负载电流由 0A（空载）跃升至 50mA（满载）时，瞬态负载响应的额定变化量为 4%。该示例中的 ΔI_{OUT} = 0.05 - 0 = 0.05，而 ΔV_{OUT} = 0.04 × 3.3 = 0.132。

使用这些数值得出的最小电容为 1.89µF。该值未将输出电容 ESR 纳入输出电压变化的考量范围。对于陶瓷电容，其 ESR 足够小，在计算过程中可以忽略不计。铝制电解电容和钽电容的 ESR 较高，在计算过程中应纳入考量范围。稳压器的低侧 FET 模拟二极管，无法灌入电流，因此当负载电流快速下降后，电感储存的所有能量将产生输出电压过冲，请参见Figure 26。选择输出电容时还必须考虑当负载电流由高到低进行转换时，输出电容将吸收电感储存的能量。输出电容中储存的过剩能量将提升电容电压。选取的电容值必须保证稳压器所需的输出电压在这些瞬态过程中恒定不变。使用Equation 13 计算最小电容，从而保持输出电压过冲处于理想值。其中 L_O 为电感值，I_{OH} 为重载条件下的输出电流，I_{OL} 为轻载条件下的输出电流，VF 为最终峰值输出电压，Vi 为初始电容电压。对于该示例，极端条件下的负载电流由 50mA 骤降至 0A。在上述负载转换过程中，输出电压上升，技术规范中叙述的最大值为输出电压的 4%。得出的 VF = 1.04 × 3.3 = 3.432V。Vi 为初始电容电压，即 3.3V 标称输出电压。将上述数值带入Equation 14 得出的最小电容为 0.619µF。

Equation 12 计算必须符合输出电压纹波规范的最小输出电容。其中 f_{SW} 为开关频率，V_{RIPPLE} 为允许的最大输出电压纹波，I_{RIPPLE} 为电感纹波电流。根据Equation 13 计算得出的最小输出电容等于 0.671µF。根据Equation 15 计算最大 ESR 输出电容，其值必须符合输出电压纹波规范。Equation 15 指出 ESR 应该小于 0.466Ω。

输出电容最为严格的标准值为 1.89µF，以在负载瞬态过程中保持输出电压处于稳压状态。

因老化、温度及直流偏置而产生的附加电容降额应纳入考量范围，输出电容的最小值应在上述情况下有所提升。该示例中采用 ESR 为 0.003Ω 的 10µF、10V、X5R 陶瓷电容。电容一般将纹波电流限制在处理电流时不会导致故障或过热的范围内。必须指定一个支持电感纹波电流的输出电容。部分电容数据表指定了最大纹波电流的均方根 (RMS) 值。

根据Equation 11 可计算输出电容需要支持的 RMS 纹波电流。对于该应用，根据Equation 11 计算得出的结果为 10.23mA。

$$IC_O rms = \frac{1}{\sqrt{12}} \times \left(\frac{V_{OUT} \times (V_{IN}max - V_{OUT})}{V_{IN}max \times L_O \times f_{SW}} \right) \tag{11}$$

$$C_O 1 \geq \frac{I_{RIPPLE}}{V_{RIPPLE}} \times \left(\frac{1}{8 \times f_{SW}} \right) \tag{12}$$

$$C_O 2 \geq L_O \times \frac{\left(I_{OH}^2 - I_{OL}^2\right)}{VF^2 - Vi^2} \tag{13}$$

$$C_O 3 \geq \frac{I_O}{\Delta V} \frac{2}{f_{SW}} \tag{14}$$

$$R_C \leq \frac{V_{RIPPLE}}{I_{RIPPLE}} \tag{15}$$

8.2.1.2.4 输入电容

TPS54062 需要使用有效电容不低于 1µF 的 X5R 或 X7R 型优质陶瓷输入去耦电容，而在某些 应用中 需要使用大容量电容。有效电容包括所有直流偏置产生的影响。输入电容的额定电压必须高于最高输入电压。此外，电容的 RMS 电流额定值必须高于 TPS54062 的最大 RMS 输入电流。输入 RMS 电流可以根据Equation 16 进行计算。陶瓷电容值随温度和针对其施加的直流偏置的不同而显著变化。通过选用具有温度稳定性的介电材料能够最大程度降低温度变化导致的电容变化。电源稳压器的电容通常选用 X5R 和 X7R 陶瓷介电材料，原因是其电容体积比较高并具有极强温度稳定性。选择输出电容时还应考虑直流偏置电压产生的影响。电容值随电容两端直流偏置电压的上升而下降。该示例设计要求使用额定电压不低于 100V 的陶瓷电容，从而支持最高输入电压。输入电容值决定了稳压器的输入纹波电压。输入电压纹波可以根据Equation 17 的变形进行计算。

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

采用设计示例参数值，Ioutmax = 50mA、C_{IN} = 2.2μF、f_{SW} = 400kHz 计算得出的输入电压纹波为 14.2mV，RMS 输入纹波电流为 24.6mA。

$$IC_{IN}rms = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}min} \times \frac{(V_{IN}min - V_{OUT})}{V_{IN}Min}} \quad (16)$$

$$C_{IN} \geq \frac{I_O}{V_{IN}ripple} \times \left(\frac{0.25}{f_{SW}}\right) \quad (17)$$

8.2.1.2.5 自举电容选择

BOOT 和 PH 引脚之间必须连接一个 0.01μF 陶瓷电容，以确保正常运行。TI 建议使用 X5R 或更优等级电介质的陶瓷电容。电容的额定电压应不低于 10V。

8.2.1.2.6 欠压锁定设定值

欠压锁定 (UVLO) 可通过 TPS54062 EN 引脚上的外部分压器进行调节。UVLO 具有两个阈值：一个用于在输入电压升高时上电，另一个用于在输入电压下降时断电或节能。该示例设计中的电源处于开启状态并在输入电压升至 7.88V 以上（使能）后进行切换。稳压器在切换开始后应继续保持原状态，直至输入电压降至 6.66V 以下（UVLO 停止）。可编程 UVLO 和使能电压通过 Vin 和 EN 引脚接地端之间的电阻分压器进行设置。根据Equation 2 至 Equation 3 可计算所需电阻。该示例应用要求 Vin 与 EN 之间连接 174kΩ 电阻，EN 与接地端之间连接 31.6kΩ 电阻，旨在产生 7.88V 和 6.66V 启动和停止电压。

8.2.1.2.7 输出电压和反馈电阻选择

对于该示例设计，R_{LS} 选择 10kΩ。根据Equation 1 计算得出的 R_{HS} 等于 31.25kΩ。最为接近的 1% 标准电阻为 31.6kΩ。

8.2.1.2.8 关闭回路

提供多种方法补偿 DC-DC 稳压器。此处介绍的方法易于计算，忽略了器件内部的斜率补偿效果。由于忽略了斜率补偿，实际分频频率通常小于计算过程使用的值。该方法假设分频频率介于调制器极点和 ESR 零点之间，ESR 零点应至少为调制器极点的 10 倍。使用 SwitcherPro™软件进行更为精确的设计。

开始设计前，必须根据Equation 18 和Equation 19 计算调制器极点 (fpole) 以及 ESR 零点 (fzero)。对于 Cout，使用的降额值为 8.9μF。根据Equation 20 和Equation 21 估算分频频率的起始点 (fco)，从而设计补偿。该示例设计中的 fpole 等于 271Hz，fzero 等于 5960kHz。

Equation 20 为调制器极点和 ESR 零点的几何平均数，Equation 21 为调制器极点和开关频率的几何平均数。Equation 20 的计算结果为 40.29kHz，而Equation 21 的计算结果为 7.36kHz。使用接近Equation 20 或 Equation 21 二者中较小值的频率作为初始分频频率。

该示例中的 fco 等于 7.8kHz。下一步计算补偿组件值。使用一个与电容串联的电阻创建补偿零点。与两组件并联的电容构成补偿极点。

为了确定补偿电阻 R4，请使用Equation 22。假设功率级跨导 (gmps) 为 0.65 A/V。输出电压 (Vo)、基准电压 (V_{REF}) 和误差放大器跨导 (gmea) 分别为 3.3V、0.8V 和 102μs。

计算得出的 R4 为 27.1kΩ，选取最为接近的 27.4 标准电阻。根据Equation 23 设置调制器极点频率的零点补偿。根据Equation 23 得出的补偿电容 C5 等于 0.0214μF，因此电路板中应用 0.022μF 电容。使用Equation 24 和 Equation 25 中的较大值计算设置补偿极点的 C6。根据Equation 25 得出 C6 等于 29pF，因此使用最为接近的 27pF 标准值。

$$f\text{pole(Hz)} = \frac{1}{\frac{V_O}{I_O} \times C_O \times 2 \times \pi} \quad (18)$$

$$f\text{zero(Hz)} = \frac{1}{R_C \times C_O \times 2 \times \pi} \quad (19)$$

$$f\text{co1(Hz)} = \left(f\text{zero} \times f\text{pole}\right)^{0.5} \quad (20)$$

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

$$fco2(Hz) = \left(\frac{fsw}{2} \times fpole\right)^{0.5} \quad (21)$$

$$R4 = \frac{2 \times \pi \times f_{CO} \times C_O}{gmps} \times \frac{V_O}{V_{REF} \times gmea} \quad (22)$$

$$C5 = \frac{1}{2 \times \pi \times R4 \times f_{POLE}} \quad (23)$$

$$C6 = \frac{R_C \times C_O}{R4} \quad (24)$$

$$C6 = \frac{1}{R4 \times f_{SW} \times \pi} \quad (25)$$

8.2.1.3 应用曲线

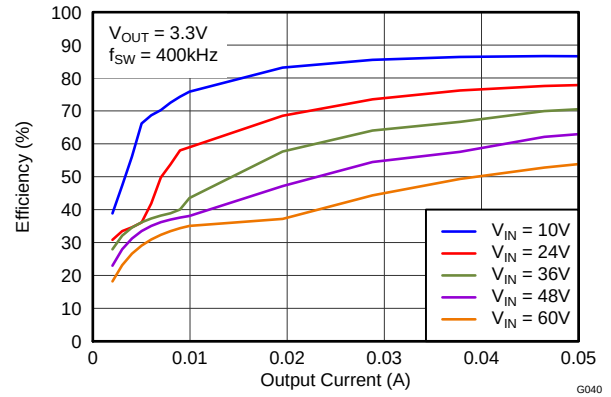


Figure 21. 效率与输出电流间的关系

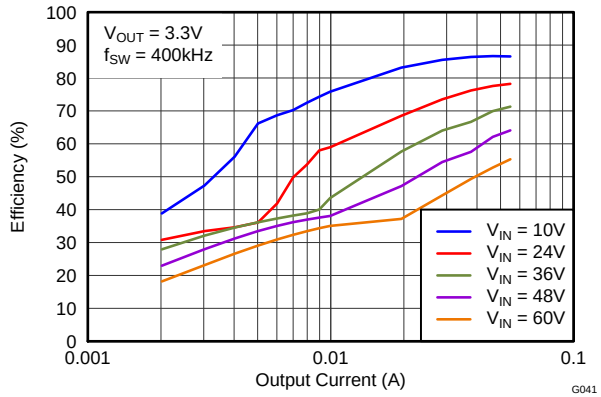


Figure 22. 效率与输出电流间的关系

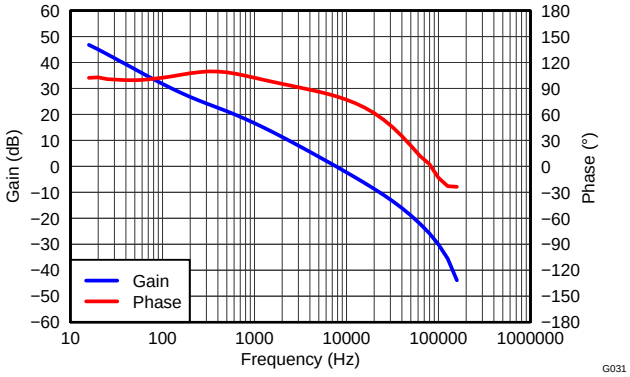


Figure 23. 增益与相位间的关系

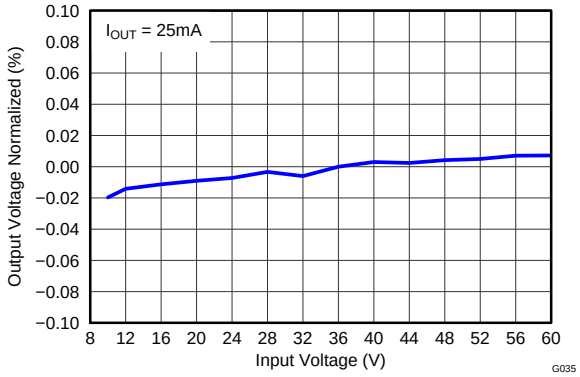


Figure 24. 静态电流与输入电压间的关系

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

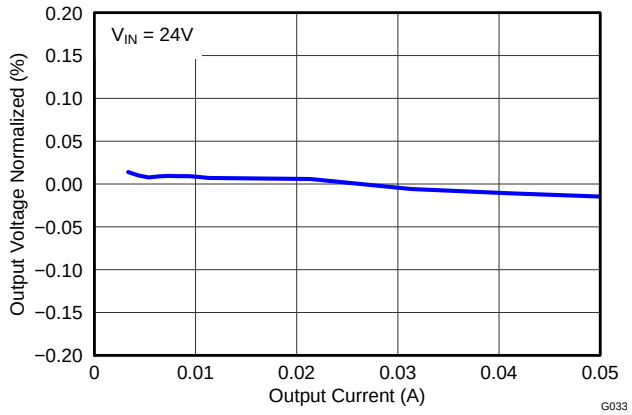


Figure 25. 输出电压与输出电流间的关系

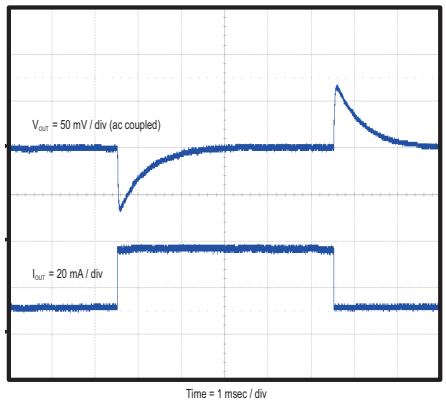


Figure 26. 负载瞬态

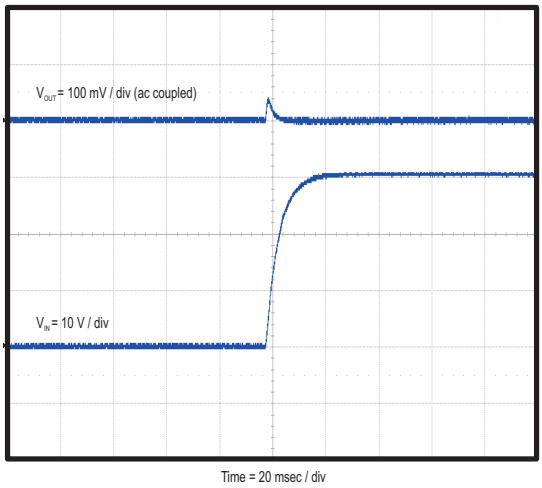


Figure 27. 线路瞬态

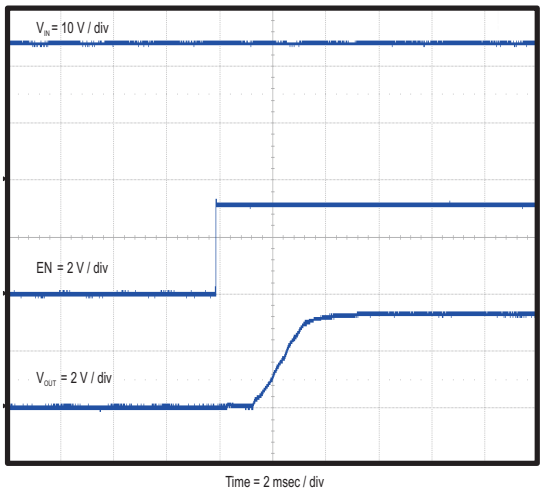


Figure 28. 以 ENA 启动

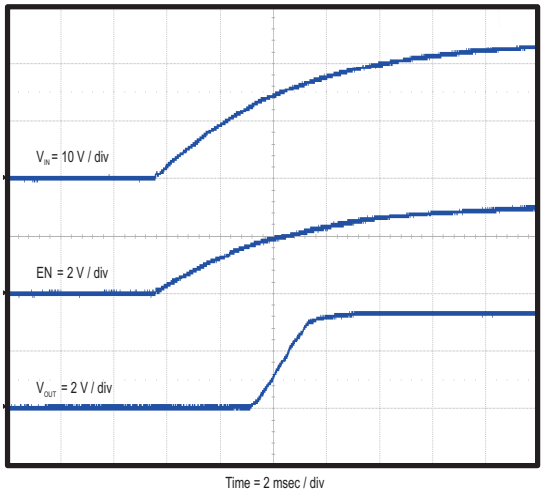


Figure 29. 以 V_{IN} 启动

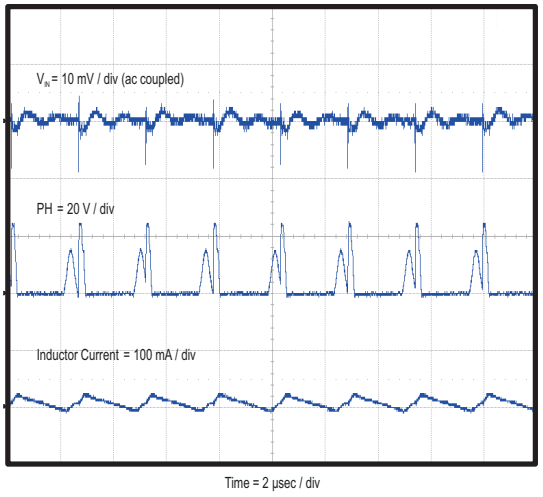


Figure 30. DCM 中的输入纹波

典型 应用 (continued)

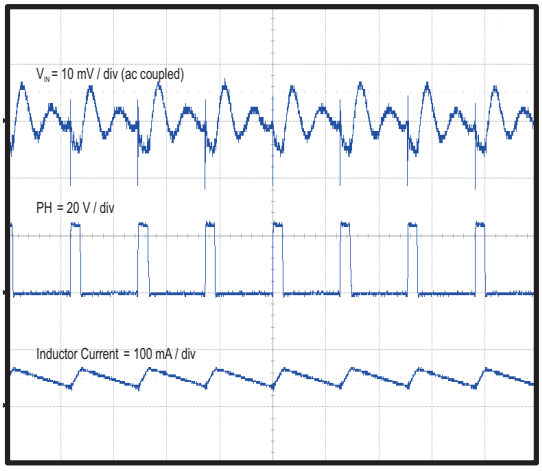


Figure 31. CCM 中的输入纹波

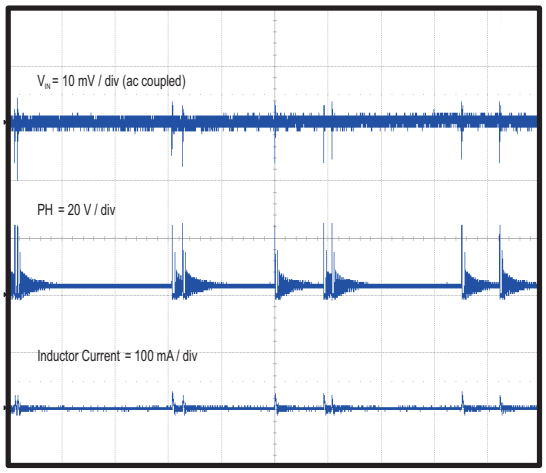


Figure 32. 输入纹波跳跃

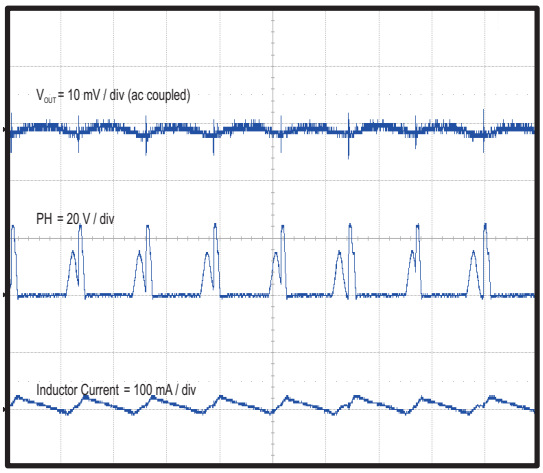


Figure 33. DCM 中的输出纹波

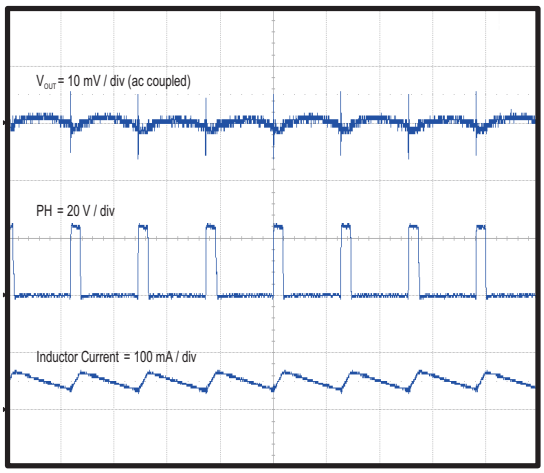


Figure 34. CCM 中的输出纹波

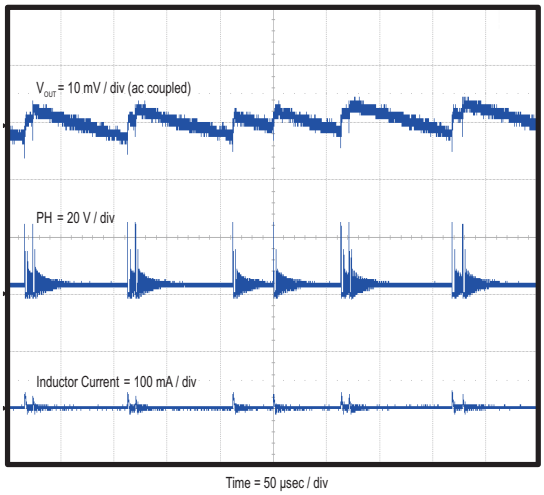


Figure 35. 输出纹波跳跃

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

8.2.2 DCM 应用

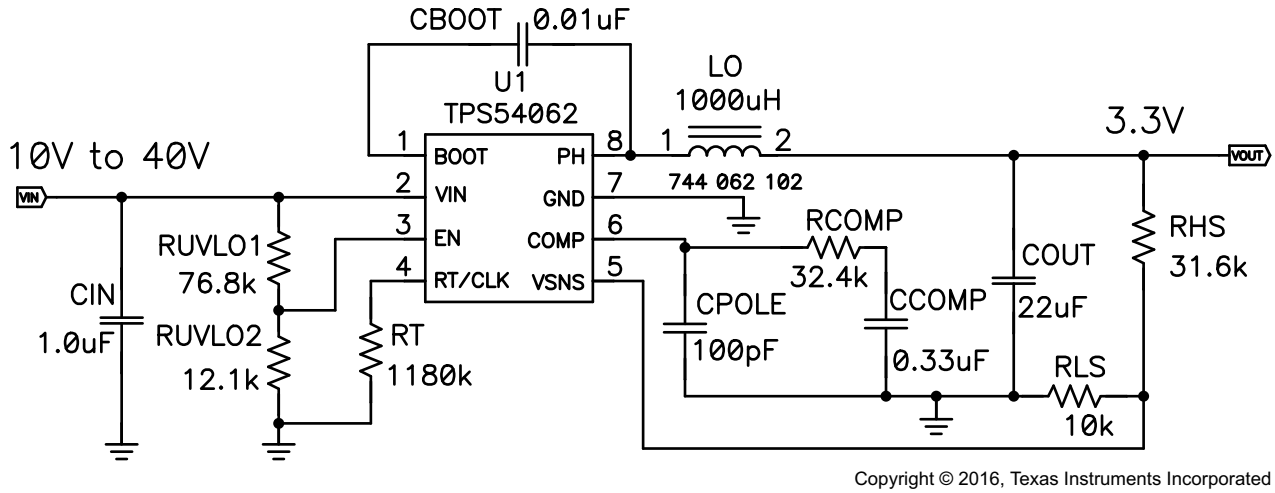


Figure 36. DCM 应用原理图

8.2.2.1 设计要求

本示例详细介绍了使用陶瓷输出电容的低输出电流、固定开关稳压器设计过程。在开始该设计过程前必须了解一些参数。这些参数通常在系统层面确定。对于该示例，我们将从下列已知参数入手：

输出电压	3.3V
0mA 至 15mA 负载阶跃瞬态响应	ΔV_{OUT} = 4%
最大输出电流	10mA
最小输出电流	3mA
输入电压	24V（标称值）10V 至 40V
输出电压纹波	V_{OUT} 的 0.5%
开关频率	100kHz
启动输入电压（VIN 上升）	9V
停止输入电压（VIN 下降）	8V

8.2.2.2 详细设计流程

最理想的情况是电源高效运行并且其开关频率在输出电流较低时恒定不变。开关频率固定的电源提供可以预测的输出电压纹波及噪声。对于低输出电流源，按照传统连续导通模式 (CCM) 设计方法计算得出的输出电感较大。采用 CCM 电感将导致电源尺寸较大或影响高值直流电阻效率，替代方法是电源采用断续导通模式 (DCM)。按照以下流程计算组件值，从而设计一款以断续导通模式运行的电源。电源以 DCM 运行产生低输出电流的优势包括：开关频率固定、输出电感较低以及电感的直流电阻较低。使用频移和跳频公式估计最高开关频率。

TPS54062 设计 用于 需要工作频率固定不变且输出电压纹波在低输出电流条件下较低的应用，因此 TPS54062 在轻载条件下不支持脉冲跳跃模式。由于该器件提供的受控导通时间最短，因此电源在一定输出电流条件下将发生脉冲跳跃。为了确保电源在应用的输出电流处不发生脉冲跳跃，选取的电感值应大于最小值。根据Equation 26 的计算结果，在最低负载条件下维持固定开关频率所需的最小电感为 0.9mH。由于该公式基于理想状态，未考虑损耗，因此假设最短受控轻载导通时间 (tonminll) 为 350ns。为了维持以 DCM 运行，电感大小和输出电流应保持在最大值以下。使用Equation 27 计算得出的最大电感为 1.42mH。选择伍尔特电子 (Wurth Elektronik) 的 744062102 电感。如果需要以 CCM 运行，使用先前的设计流程。

典型 应用 (continued)

使用Equation 28，确保在输出电流最大时不超出高侧电源开关的最小电流限值。计算得出的峰值电流为 23.9mA，低于 134mA 电流限制。为了确定电感和输出电容的 RMS 电流，需要计算占空比。降压稳压器在 DCM 状态下的占空比 (D1) 根据Equation 29 进行计算。D1 属于高侧电源开关导通时开关周期的一部分，计算结果为 0.1153。D2 属于低侧电源开关导通时开关周期的一部分，计算结果为 0.7253。

根据Equation 31 和Equation 32 计算得出的电感和输出电容 RMS 电流分别为 12.8mA 和 7.6mA。选择额定值高于 RMS 计算值的组件。使用Equation 33 至Equation 35 计算输出电容并选取最大值，V_{RIPPLE} 为稳态电压纹波，而 ΔV 为瞬态电压变化。计算得出的最低输出电容为 1.5µF。因老化、温度及直流偏置而产生的附加电容降额应纳入考量范围，输出电容的最小值应在上述情况下有所提升。该示例中采用 ESR 为 5mΩ 的 22µF、6.3V、X7R 陶瓷电容。为了提供低输出纹波电源，请使用 ESR 较低的电容。根据Equation 36 估算输入电容的最大 ESR。根据Equation 37 和Equation 38 估算输入电容的 RMS 电流和电容。计算得出的 RMS 电流为 3.7mA，电容为 0.2µF。该示例使用 1µF 100V/X7R 陶瓷电容。

$$L_O\text{min} \geq \left(\frac{V_S\text{max} - V_O}{V_O}\right) \times \left(\frac{V_S\text{max}}{2}\right) \times \frac{t_O\text{nmin}^2}{I_O\text{min}} \; x \, f_{SW} \tag{26}$$

$$L_O\text{max} \leq \left(\frac{V_S\text{min} - V_O}{2}\right) \times \left(\frac{V_O}{V_S\text{min}}\right) \times \frac{1}{f_{SW} \times I_O} \tag{27}$$

$$I_L\text{peak} = \left(\frac{2 \times V_O \times I_O\text{max} \times (V_S\text{max} - V_O)}{V_S\text{max} \times L_O \times f_{SW}}\right)^{0.5} \tag{28}$$

$$D1 = \left(\frac{2 \times V_O \times I_O \times L_O \times f_{SW}}{V_S \times (V_S - V_O)}\right)^{0.5} \tag{29}$$

$$D2 = \left(\frac{V_S - V_O}{V_O}\right) \times D1 \tag{30}$$

$$I_L\text{rms} = I_L\text{peak} \times \left(\frac{D1 + D2}{3}\right)^{0.5} \tag{31}$$

$$I_{CO}\text{rms} = I_L\text{peak} \times \left(\left(\frac{D1 + D2}{3}\right) - \left(\frac{D1 + D2}{4}\right)^2\right)^{0.5} \tag{32}$$

$$C_O1 \leq \frac{I_L\text{peak}}{V_{RIPPLE}} \times \left(\frac{D1 + D2}{8 \times f_{SW}}\right) \tag{33}$$

$$C_O2 \geq L_O \times \frac{\left(Io^2 - 0^2\right)}{(V_O + \Delta V)^2 - V_O{}^2} \tag{34}$$

$$C_O3 \geq \frac{I_O}{\Delta V} \frac{1}{f_{CO}} \tag{35}$$

$$R_C \leq \frac{V_{RIPPLE}}{I_L\text{peak}} \tag{36}$$

$$I_{CIN}\text{rms} = I_L\text{peak} \times \left(\left(\frac{D1}{3}\right) - \left(\frac{D1}{4}\right)^2\right)^{0.5} \tag{37}$$

$$C_{IN} \geq \frac{I_O}{V_{IN}\text{RIPPLE}} \times \left(\frac{0.25}{f_{SW}}\right) \tag{38}$$

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

8.2.2.2.1 关闭反馈回路

此处介绍的方法易于计算，涵盖器件内部的斜率补偿效果。该方法假设分频频率介于调制器极点和 ESR 零点之间，ESR 零点应至少为调制器极点的 10 倍。输出组件确定后，使用以下公式关闭反馈回路。当电流模式受控的电源以 DCM 模式运行时，其传递函数含有一个 ESR 零点和极点，如Equation 39 所示。为了计算电流模式功率级增益，分别根据Equation 40 和Equation 41 先后计算 Kdcm（DCM 增益）与 Fm（调制器增益）。Kdcm 和 Fm 分别为 26.3 和 1.34。根据Equation 42 和Equation 43 计算极点和 ESR 零点。极点和零点分别为 67Hz 和 2MHz。使用Equation 44 或Equation 45 二者中的较小值作为分频频率起始点。Equation 44 为功率级极点和 ESR 零点的几何平均数，Equation 45 为功率级极点和开关频率的几何平均数。根据Equation 45 选定的分频频率选为 2.5kHz。

为了确定补偿电阻 R_{COMP}，请使用Equation 46。假设功率级跨导 (gmps) 为 0.65A/V。输出电压 (V_O)、基准电压 (V_{REF}) 和误差放大器跨导 (gmea) 分别为 3.3V、0.8V 和 102μs。计算得出的 R_{COMP} 为 32.7kΩ，选取最为接近的 32.4kΩ 标准电阻。根据Equation 47 设置调制器极点频率的零点补偿。根据Equation 47 得出的补偿电容 C_{COMP} 等于 139nF，因此电路板中应用 330nF 电容。使用Equation 48 和Equation 49 中的较大值计算设置补偿极点的 C_{POLE}。根据Equation 49 得出 C6 等于 98pF，因此使用最为接近的 100pF 标准值。

$$Gdcm(s) \approx Fm \times Kdcm \times \frac{1 + \frac{s}{2 \times \pi \times f_{ZERO}}}{1 + \frac{s}{2 \times \pi \times f_{POLE}}} \tag{39}$$

$$Kdcm = \frac{2}{D1} \times \frac{V_O \times (V_S - V_O)}{V_S \times \left(2 + \frac{Rdc}{\frac{V_O}{I_O}}\right) - V_O} \tag{40}$$

$$Fm = \frac{gmps}{\left(\frac{V_S - V_O}{L_O \times f_{SW}}\right) + 0.277} \tag{41}$$

$$f_{POLE}(Hz) = \frac{1}{\frac{V_O}{I_O} \times C_O \times 2 \times \pi} \times \left(\frac{2 - \frac{V_O}{V_S}}{1 - \frac{V_O}{V_S}}\right) \tag{42}$$

$$f_{ZERO}(Hz) = \frac{1}{R_C \times C_O \times 2 \times \pi} \tag{43}$$

$$f_{CO1}(Hz) = \left(f_{ZERO} \times f_{POLE}\right)^{0.5} \tag{44}$$

$$f_{CO2}(Hz) = \left(f_{SW} \times f_{POLE}\right)^{0.5} \tag{45}$$

$$R_{COMP} = \frac{f_{CO}}{Kdcm \; x \; Fm \; x \; f_{POLE}} \; x \; \frac{V_O}{V_{REF} \; x \; gmea} \tag{46}$$

$$C_{COMP} = \frac{1}{2 \times \pi \times R_{COMP} \times Kdcm \times Fm} \tag{47}$$

$$C_{POLE1} = \frac{R_C \times C_O}{R_{COMP}} \tag{48}$$

$$C_{POLE2} = \frac{1}{R_{COMP} \times f_{SW} \times \pi} \tag{49}$$

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

8.2.2.3 应用曲线

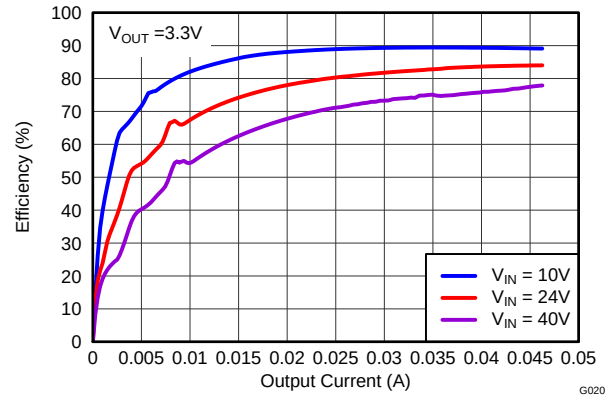


Figure 37. 效率与输出电流间的关系

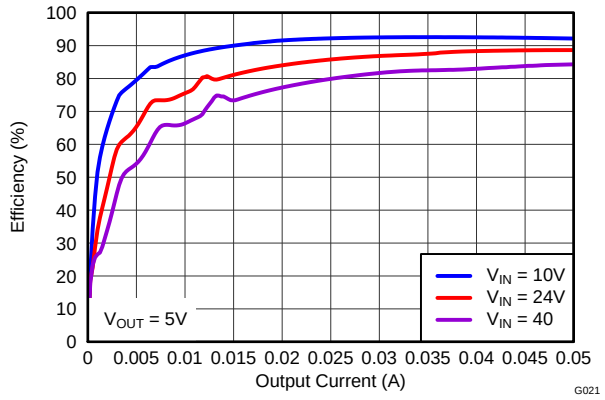


Figure 38. 效率与输出电流间的关系

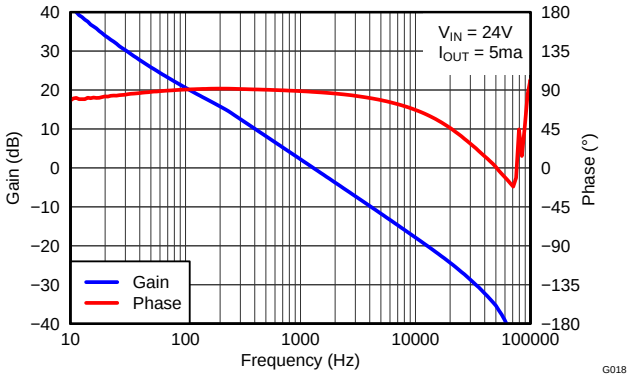


Figure 39. 增益与相位间的关系

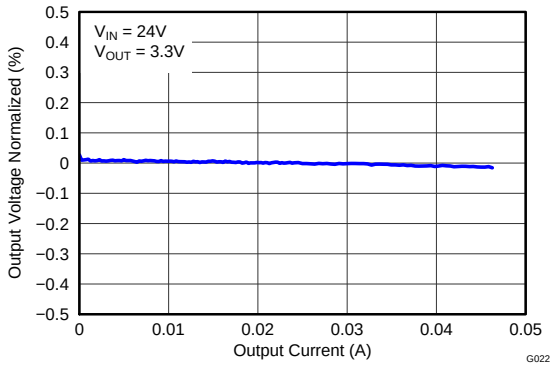


Figure 40. 输出电压与输出电流间的关系

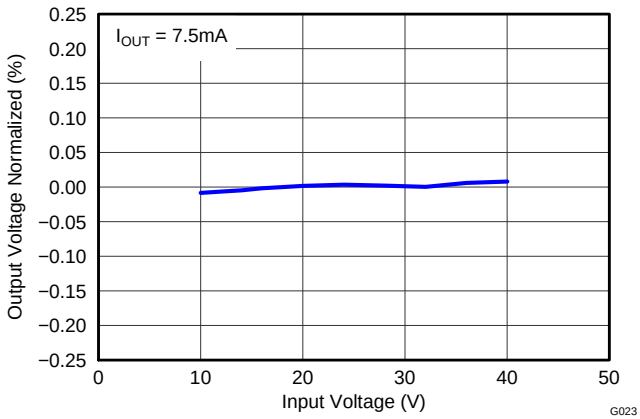


Figure 41. 静态电流与输入电压间的关系

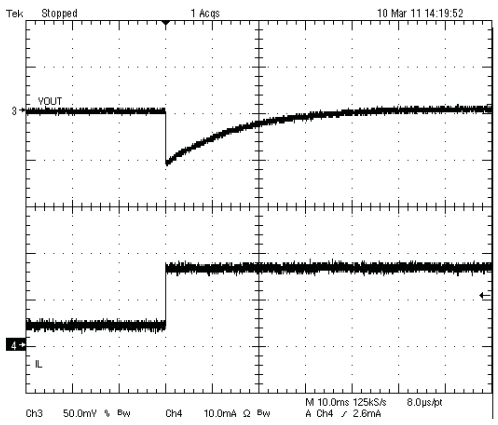


Figure 42. 负载瞬态

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

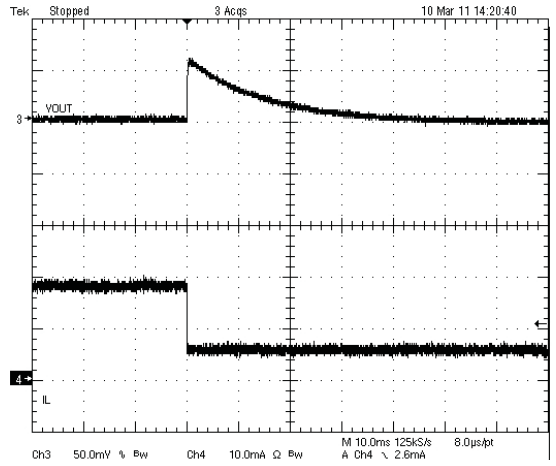


Figure 43. 空载瞬态

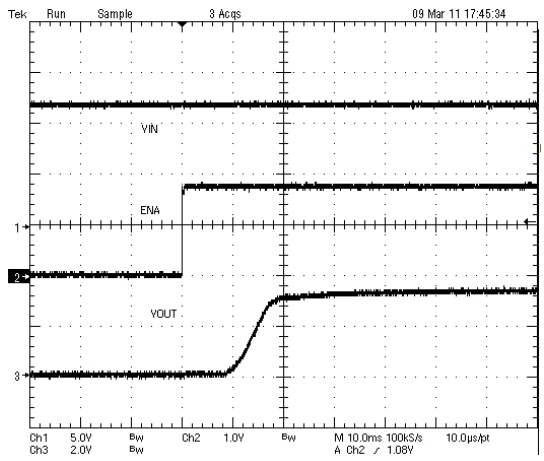


Figure 44. 以 ENA 启动

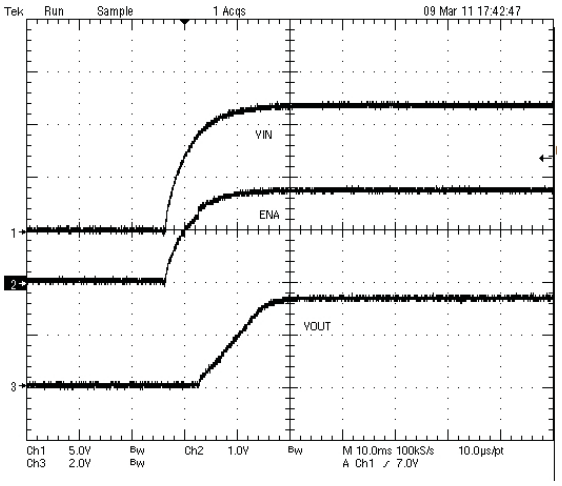


Figure 45. 以 V_{IN} 启动

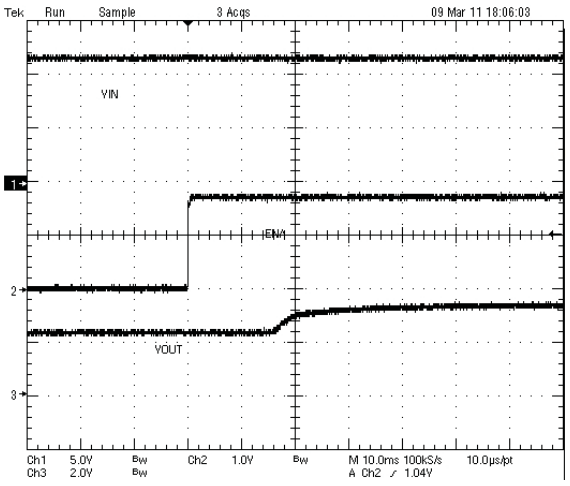


Figure 46. 以 ENA 预偏置启动

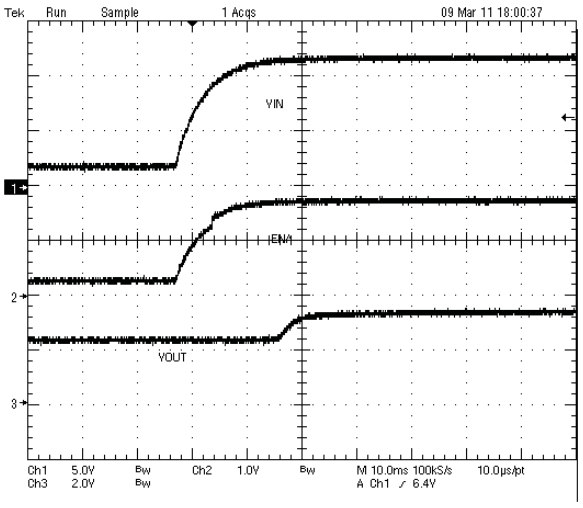


Figure 47. 以 V_{IN} 预偏置启动

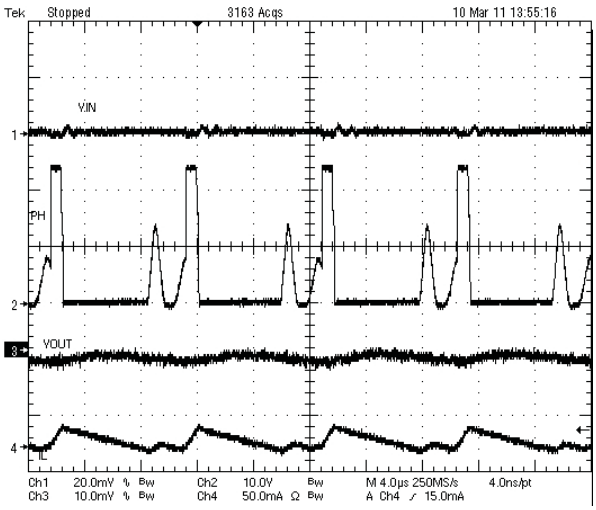


Figure 48. DCM 下的输入和输出纹波

Copyright © 2011–2016, Texas Instruments Incorporated

典型 应用 (continued)

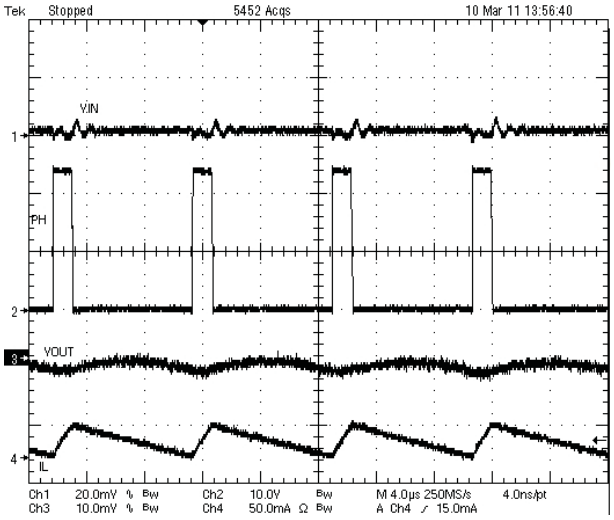


Figure 49. CCM 下的输入和输出纹波

Copyright © 2011–2016, Texas Instruments Incorporated

9 电源相关建议

TPS54062 设计为由 4.7V 至 60V 的输入电压源供电。该输入电源的电压应始终处于正常范围内。如果输入电源与 TPS54062 转换器的间距超过几英寸，除陶瓷旁路电容外，可能还需要使用大容量电容。

10 布局布线

10.1 布局布线指南

布局布线是实现良好电源设计的重要组成部分。多条信号路径的电流或电压快速变化并与杂散电感和寄生电容相互作用，导致产生噪声或电源性能降低。为了协助消除上述问题，应通过采用 X5R 或 X7R 介电材料的低 ESR 陶瓷旁路电容使 VIN 引脚避开接地端。请注意，应最大程度缩减由旁路电容连接电路、VIN 引脚和 GND 引脚组成的回路面积。请参见Figure 50 的 PCB 布局示例。由于 PH 连接是开关节点，输出电感应尽量靠近 PH 引脚放置，PCB 导体面积也应最大程度缩减，避免电容过度耦合。RT/CLK 引脚对噪声敏感。因此 RT 电阻应尽可能放置于靠近 IC 的位置并且走线长度最短。大致按如图所示方式放置附加外部组件。使用备选 PCB 布局也许同样能够获得可接受性能，然而该布局经验证效果良好，可以作为指南进行参考。

所有敏感模拟走线和组件（例如 VSENSE、RT/CLK 和 COMP）应远离高压开关接点（例如 PH、BOOT 和电感）放置，避免发生耦合。反馈分压器的顶层电阻应与 VOUT 电容的正节点相连或置于 VOUT 电容之后。

10.2 布局示例

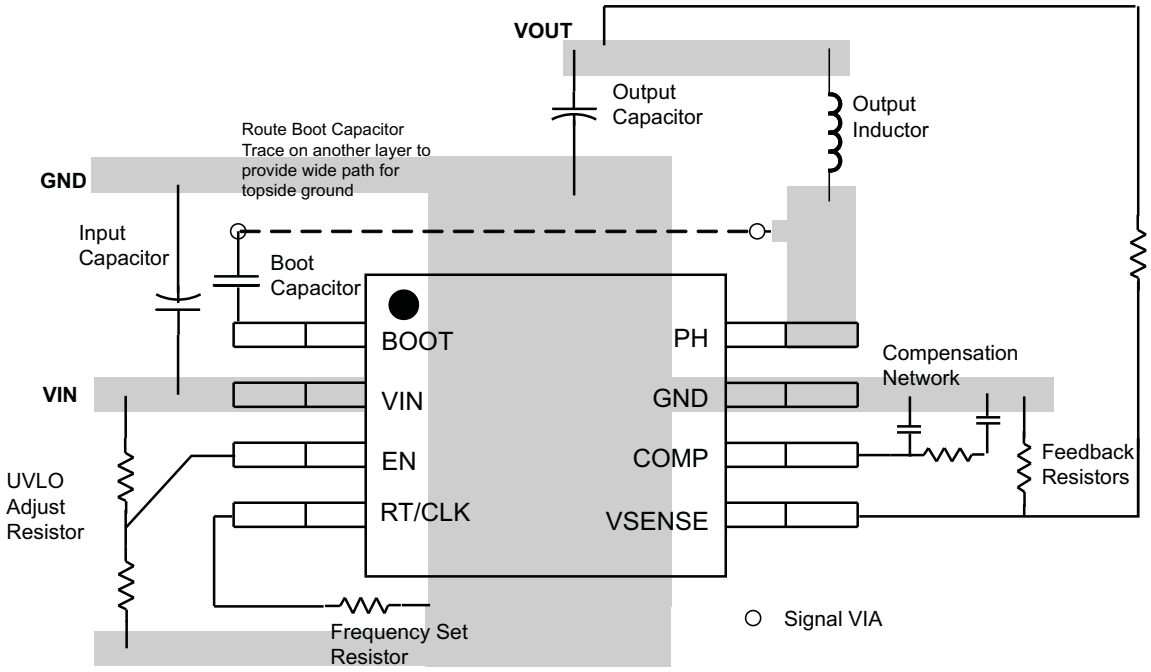


Figure 50. PCB 布局示例

11 器件和文档支持

11.1 接收文档更新通知

如需接收文档更新通知，请访问 www.ti.com.cn 网站上的器件产品文件夹。点击右上角的*提醒我* (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查阅已修订文档中包含的修订历史记录。

11.2 社区资源

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

TI E2E™ Online Community ***TI's Engineer-to-Engineer (E2E) Community.*** Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support ***TI's Design Support*** Quickly find helpful E2E forums along with design support tools and contact information for technical support.

11.3 商标

SwitcherPro, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

11.4 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.5 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

版权 © 2011–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS54062DGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	54062	Samples
TPS54062DRBR	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	062	Samples
TPS54062DRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	062	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

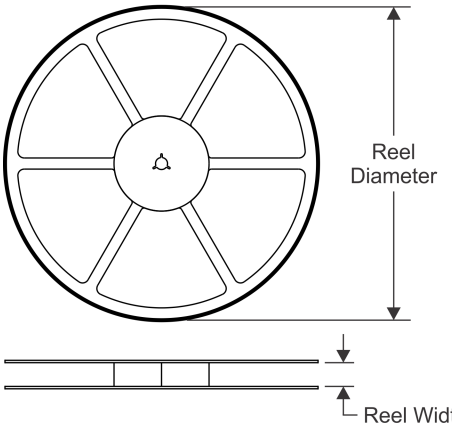
(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

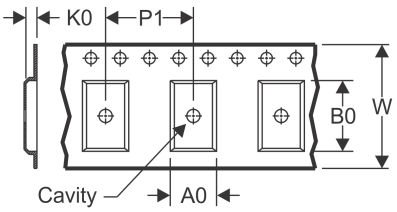
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

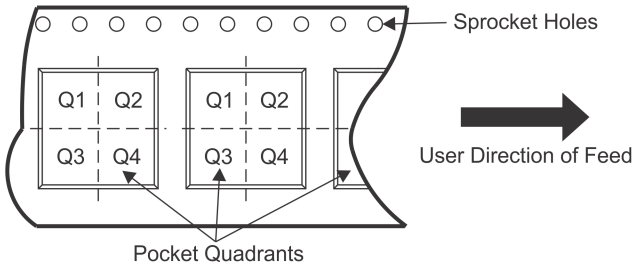


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

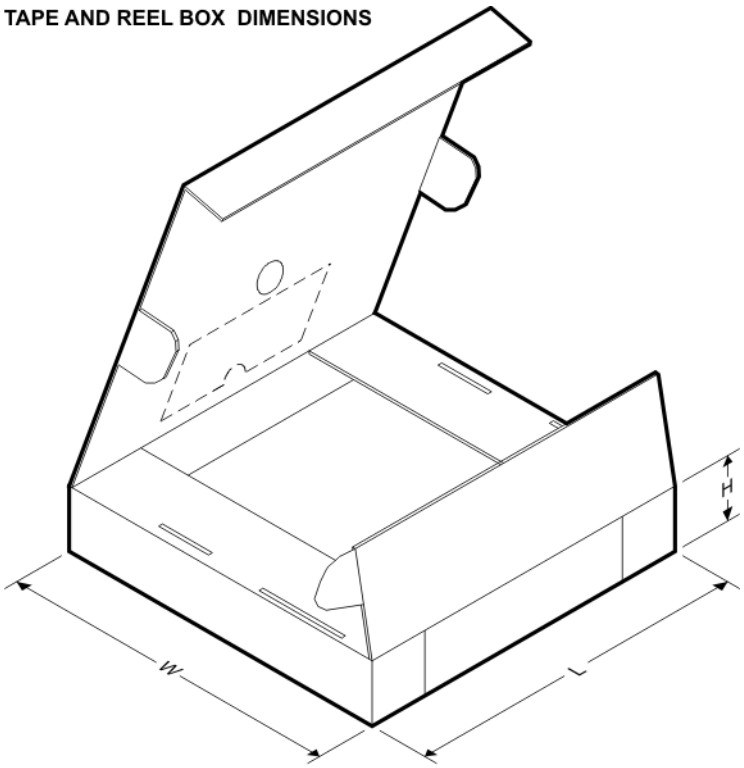
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54062DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS54062DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS54062DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54062DGKR	VSSOP	DGK	8	2500	370.0	355.0	55.0
TPS54062DRBR	SON	DRB	8	3000	367.0	367.0	35.0
TPS54062DRBT	SON	DRB	8	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

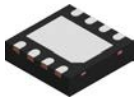
PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

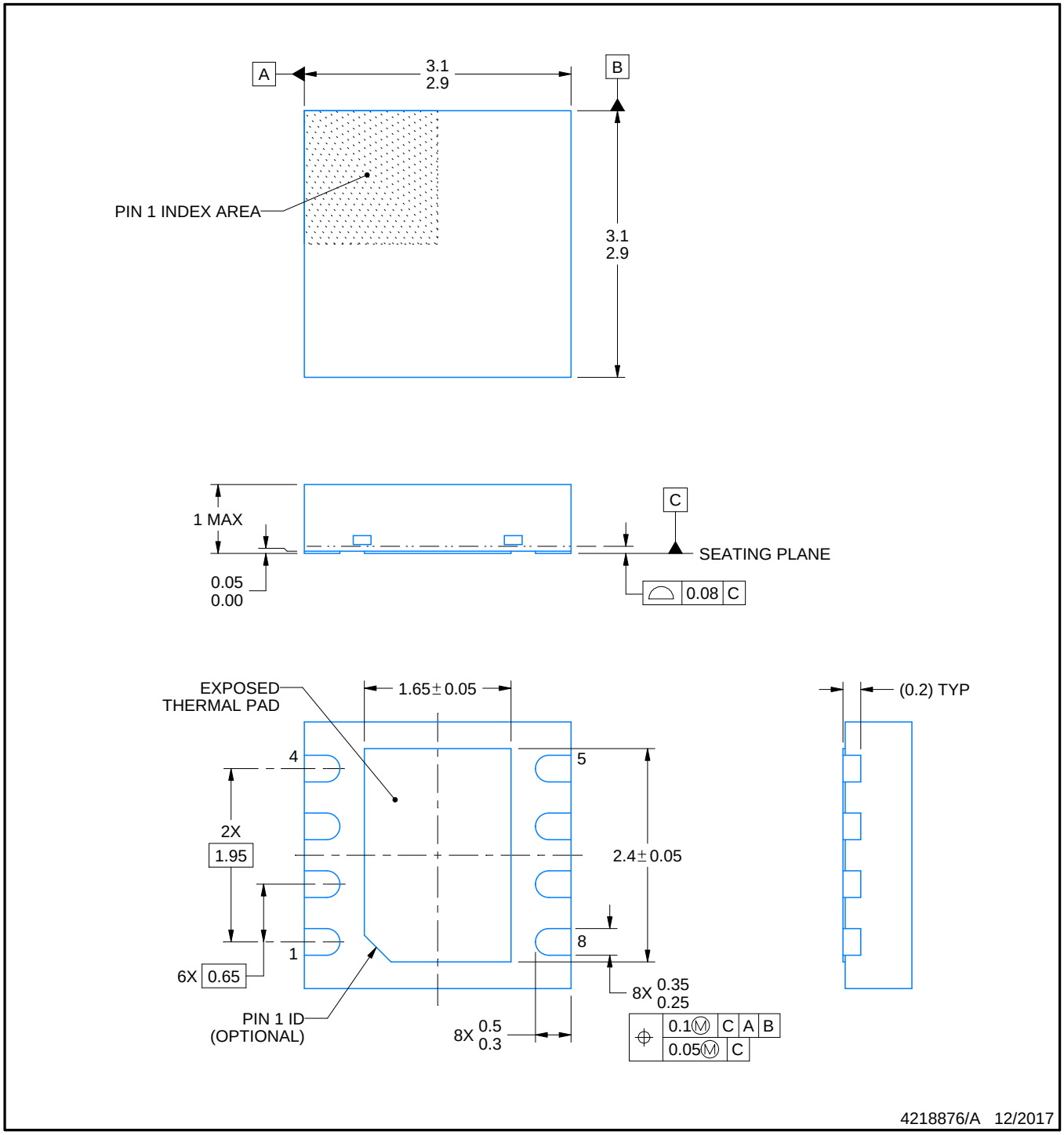
DRB0008B



PACKAGE OUTLINE

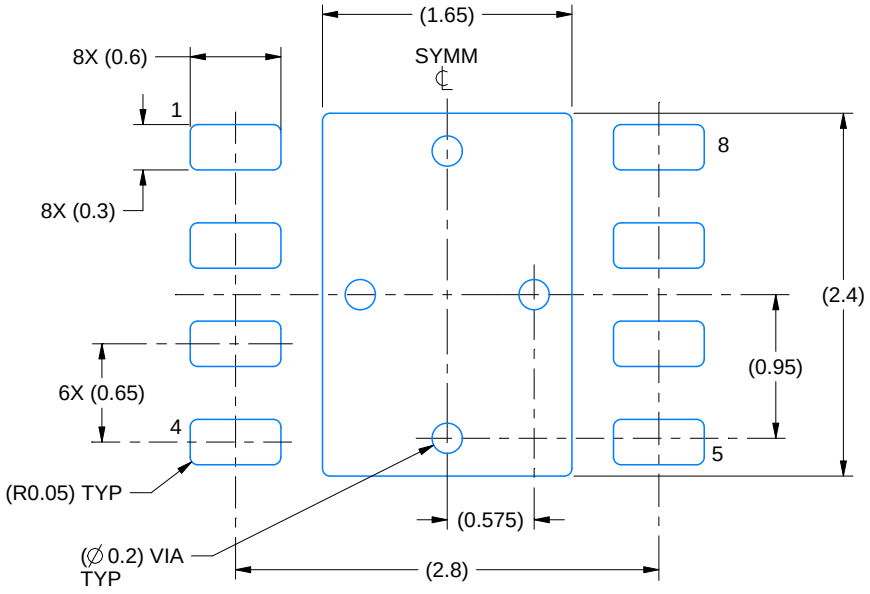
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

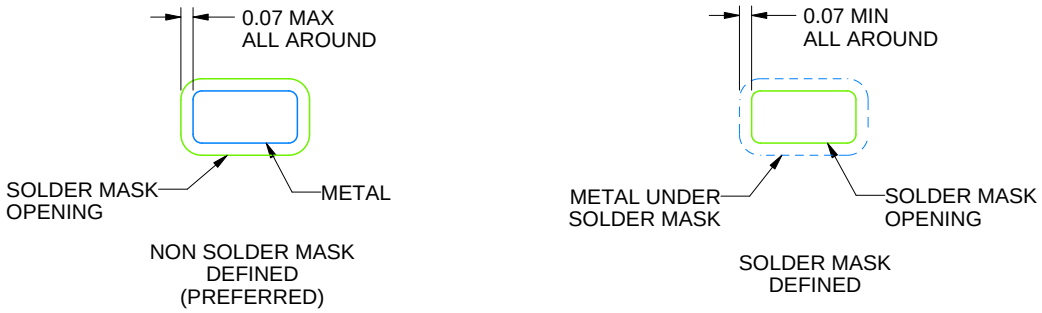


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

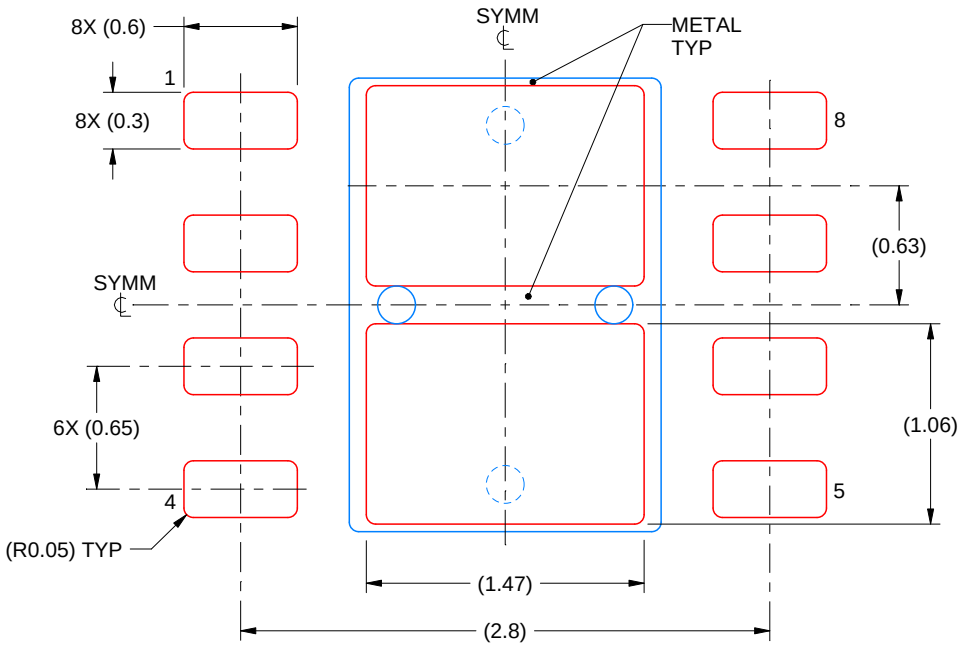


SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

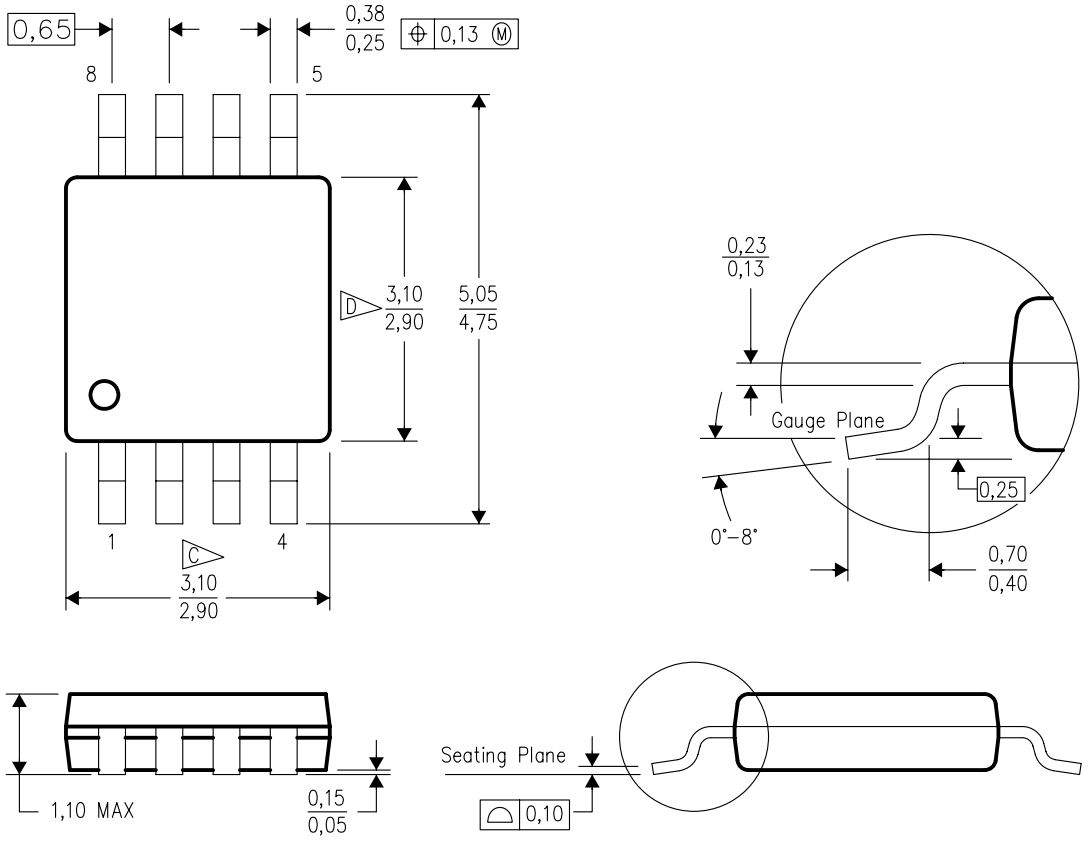
EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

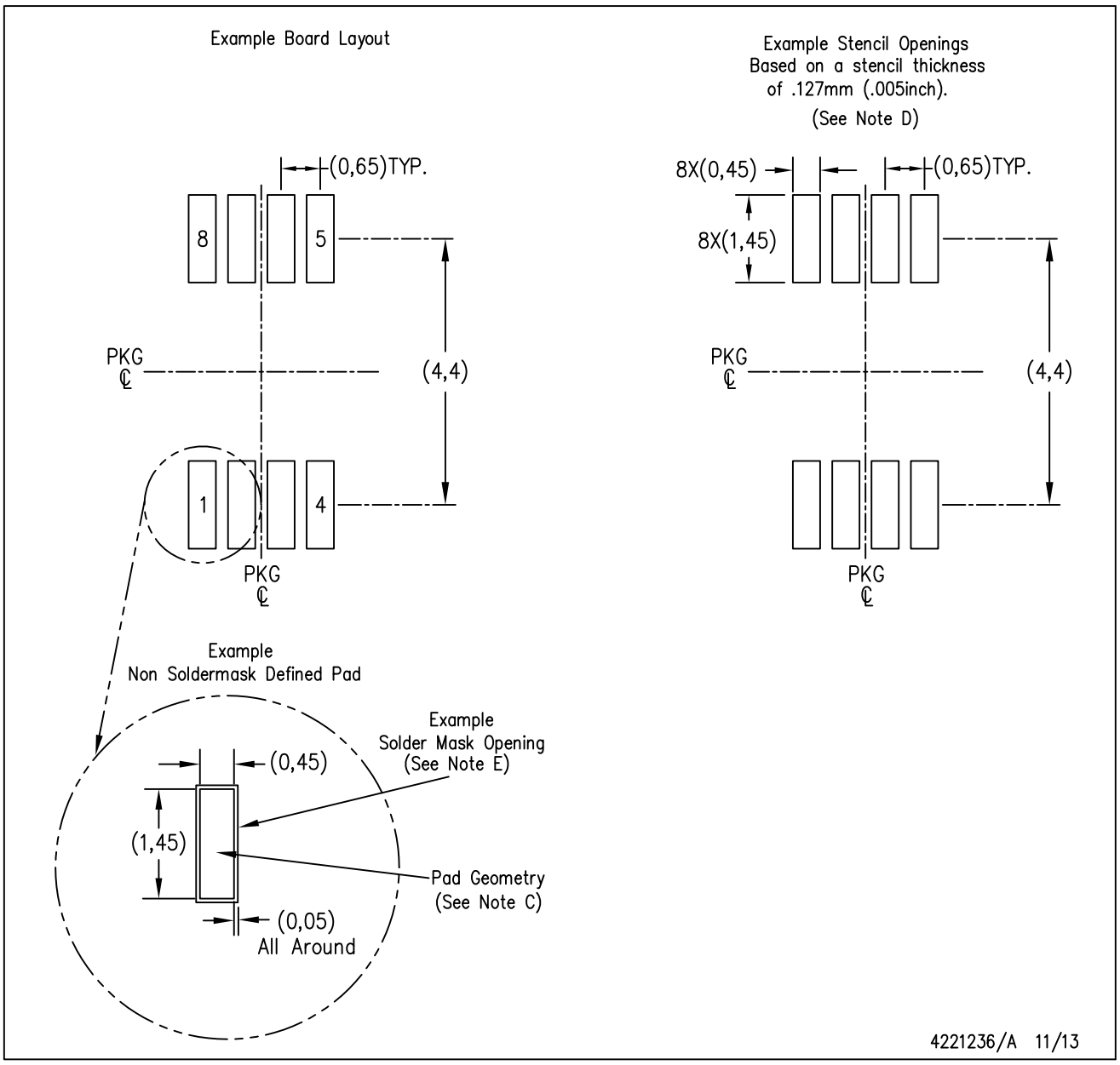
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司