混合信号微控制器

特性

- 低电源电压范围，**1.8V** 至 **3.6V**
- 超低功耗
  - 激活模式：**270μA**（在 **1MHz** 频率和 **2.2V** 电压条件下）
  - 待机模式 **(VLO)**：**0.3μA**
  - 关闭模式（**RAM** 保持）：**0.1μA**
- 可在不到 **1μs** 的时间里超快速地从待机模式唤醒
- **16** 位精简指令集 **(RISC)** 架构，**62.5ns** 指令周期时间
- 基本时钟模块配置：
  - 内部频率高达 **16MHz**
  - 内部极低功耗低频 **(LF)** 振荡器
  - **32kHz** 晶振
  - 具有 **4** 个精度为 **±1%** 校准频率且高达 **16MHz** 的内部频率
  - 谐振器
  - 外部数字时钟源
  - 外部电阻器
- 带内部基准、采样与保持以及自动扫描功能的 **12** 位模数 **(A/D)** 转换器
- 具有 **3** 个捕获/比较寄存器的 **16** 位 **Timer_A**
- 具有 **7** 个捕获/比较寄存器（带有影子寄存器）的 **16** 位 **Timer_B**
- **4** 个通用串行通信接口 **(USCI)**
  - **USCI_A0** 和 **USCI_A1**
  - 支持自动波特率检测的增强型通用异步接收发器 **(UART)**
  - **IrDA** 编码器和解码器
  - 同步串行外设接口 **(SPI)**
  - **USCI_B0** 和 **USCI_B1**
  - **I^2C**
  - 同步串行外设接口 **(SPI)**
- 片载比较器
- 具有可编程电平检测功能的电源电压监控器/监视器
- 欠压检测器
- 引导加载程序
- 串行板上编程、无需外部编程电压、由安全熔丝 实现的可编程代码保护
- 系列产品包括：
  - **MSP430F233**
    - **8KB+256B** 闪存存储器，
    - **1KB RAM**
  - **MSP430F235**
    - **16KB+256B** 闪存存储器
    - **2KB RAM**
  - **MSP430F247，MSP430F2471** (1)
    - **32KB+256B** 闪存存储器
    - **4KB RAM**
  - **MSP430F248，MSP430F2481**
    - **48KB+256B** 闪存存储器
    - **4KB RAM**
  - **MSP430F249，MSP430F2491**
    - **60KB+256B** 闪存存储器
    - **2KB RAM**
  - **MSP430F2410**
    - **56KB+256B** 闪存存储器
    - **4KB RAM**
- 采用 **64** 引脚四方扁平 **(QFP)** 和 **64** 引脚四方扁平无引线 **(QFN)** 封装（请见可用选项）
- 如需了解完整的模块说明，请查阅《***MSP430x2xx 系列用户指南***》，文献编号：**SLAU144**

(1) 除了 ADC12 模块不在 MSP430F24x1 上执行外，MSP430F24x1 器件与 MSP430F24x 器件完全一样。

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

MSP430 is a trademark of Texas Instruments.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2007–2011, Texas Instruments Incorporated

这些装置包含有限的内置 ESD 保护。

存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

说明

德州仪器 （TI） MSP430™ 系列超低功耗微控制器包含几个器件，这些器件特有针对多种应用的不同外设集。 这种架构与 5 种低功耗模式相组合，专为在便携式测量应用中延长电池使用寿命而优化。 该器件具有一个强大的 16 位 RISC CPU，16 位寄存器和有助于获得最大编码效率的常数发生器。 数控振荡器 (DCO) 可在不到 1μs 的时间里从低功耗模式唤醒至运行模式。

MSP430F23x/24x(1)/2410 系列微控制器，配置有两个内置 16 位定时器、一个快速 12 位模数 (A/D) 转换器（MSP430F24x1 上无此器件）、一个比较器、四个（在 MSP430F23x 上有两个）通用串行通信接口 (USCI) 模块、和高达 48 个 I/O 引脚。 除了不执行 ADC12 模块之外，MSP430F24x1 器件与 MSP430F24x 器件完全一样。除了集成了一个精简的 Timer_B，一个 USCI 模块，和较少的 RAM 之外，MSP430F23x 器件与 MSP430F24x 器件完全一样。

典型应用包括传感器系统、工业控制应用、手持仪表等。

表 1. 提供的选项

T_A	封装的器件(1)(2)	
	塑料 64 引脚薄型四方扁平 (LQFP) (PM) 封装	塑料 64 引脚四方扁平无引线封装 (QFN)(RGC)
-40°C 至 105°C	MSP430F233TPM	MSP430F233TRGC
	MSP430F235TPM	MSP430F235TRGC
	MSP430F247TPM	MSP430F247TRGC
	MSP430F2471TPM	MSP430F2471TRGC
	MSP430F248TPM	MSP430F248TRGC
	MSP430F2481TPM	MSP430F2481TRGC
	MSP430F249TPM	MSP430F249TRGC
	MSP430F2491TPM	MSP430F2491TRGC
	MSP430F2410TPM	MSP430F2410TRGC

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的封装选项附录，或者浏览 TI 网站www.ti.com。
(2) 封装图样、热数据和符号可从网站www.ti.com/packaging中获取。

开发工具支持

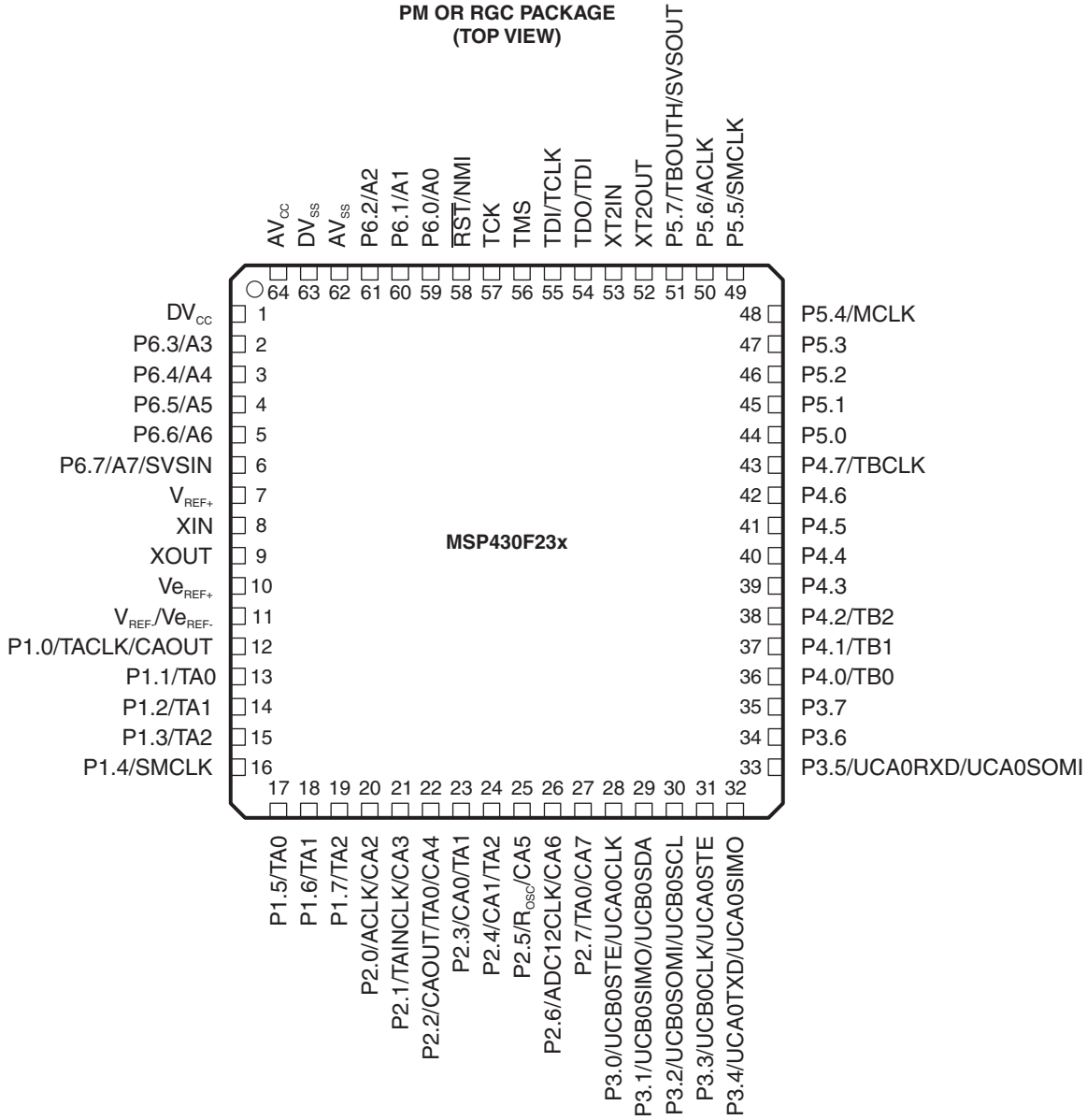
所有 MSP430 微控制器包含一个嵌入式仿真模块 (EEM)，此模块可实现通过易于使用的开发工具进行高级调试和编程。 推荐下列硬件选项：

- 调试和编程接口
  - MSP-FET430UIF (USB)
  - MSP-FET430PIF（并口）
- 与目标板的调试和编程接口
  - MSP-FET430U64（PM 封装）
- 独立运行的目标板
  - MSP-TS430PM64（PM 封装）
- 生产编程器
  - MSP-GANG430

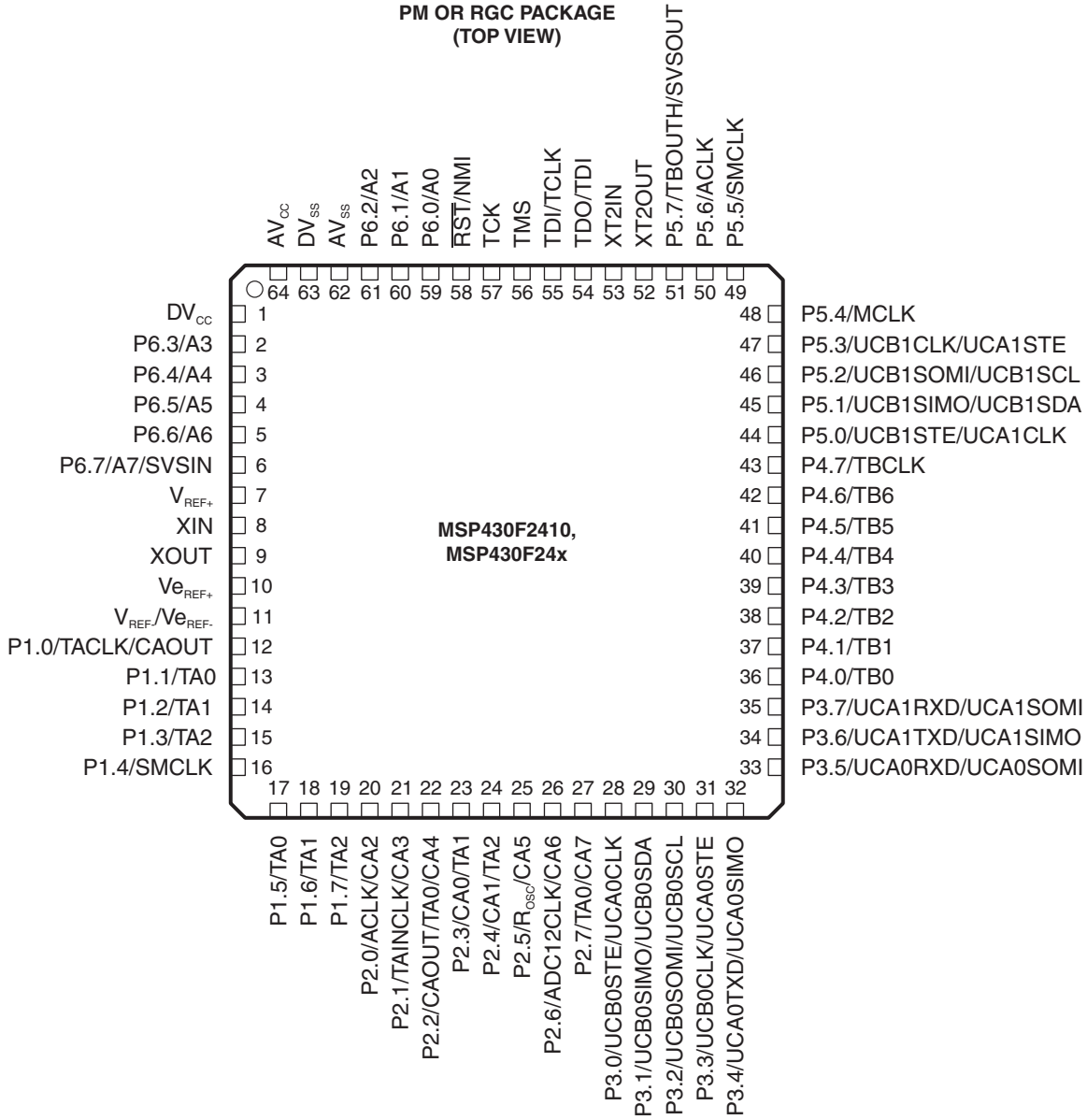
版权 © 2007–2011, Texas Instruments Incorporated

器件引脚分配，**MSP430F23x**

PM OR RGC PACKAGE
(TOP VIEW)



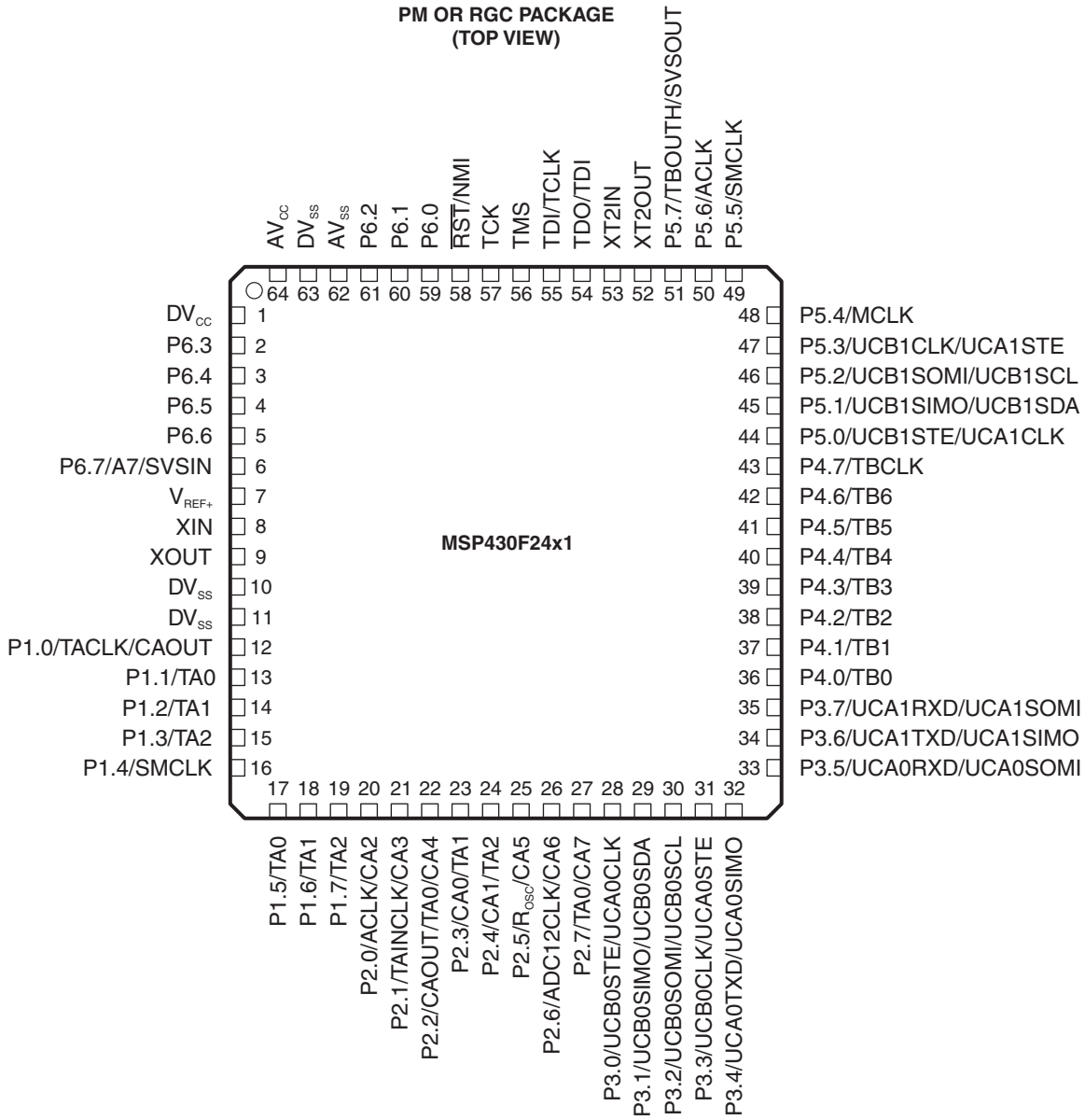
器件引脚分配，MSP430F24x，MSP430F2410



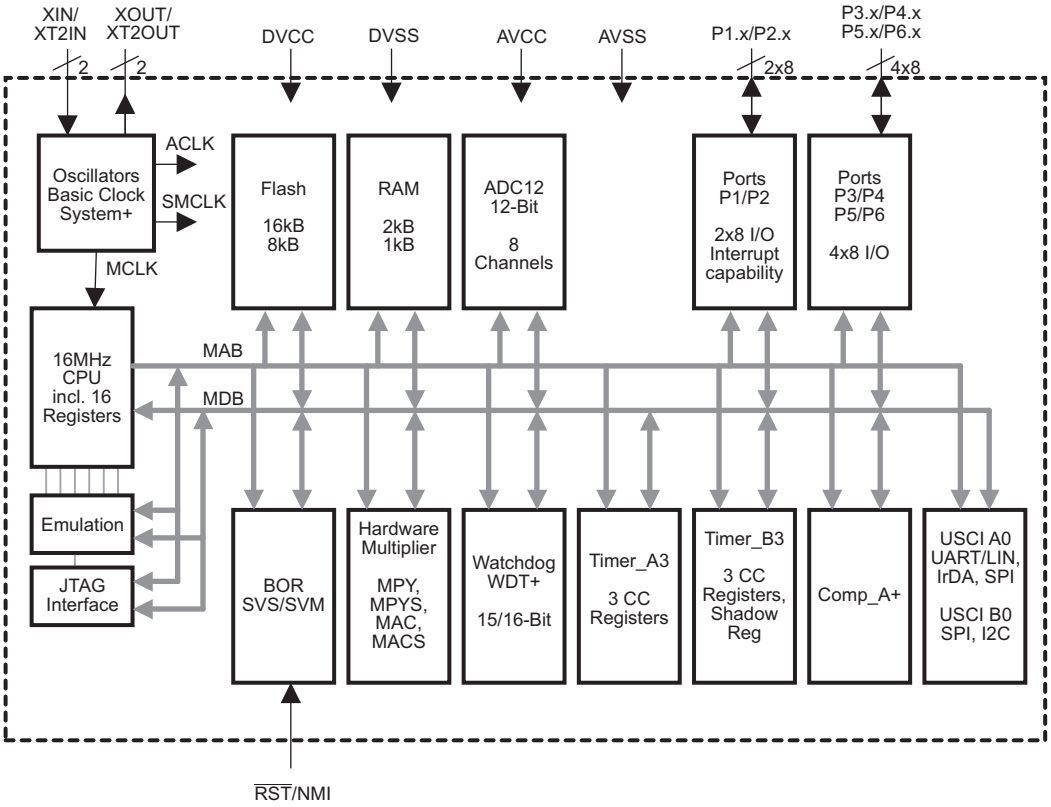
版权 © 2007–2011, Texas Instruments Incorporated

器件引脚分配，**MSP430F24x1**

PM OR RGC PACKAGE
(TOP VIEW)

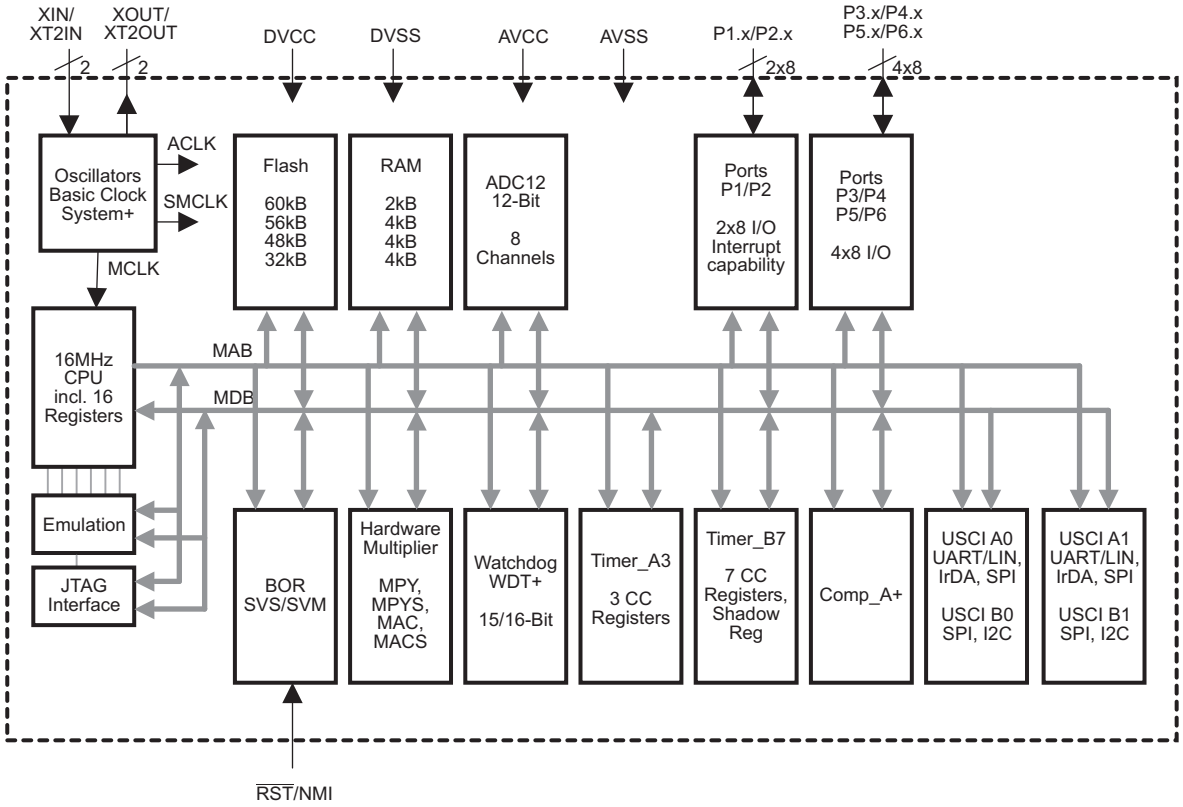


功能方框图，**MSP430F23x**

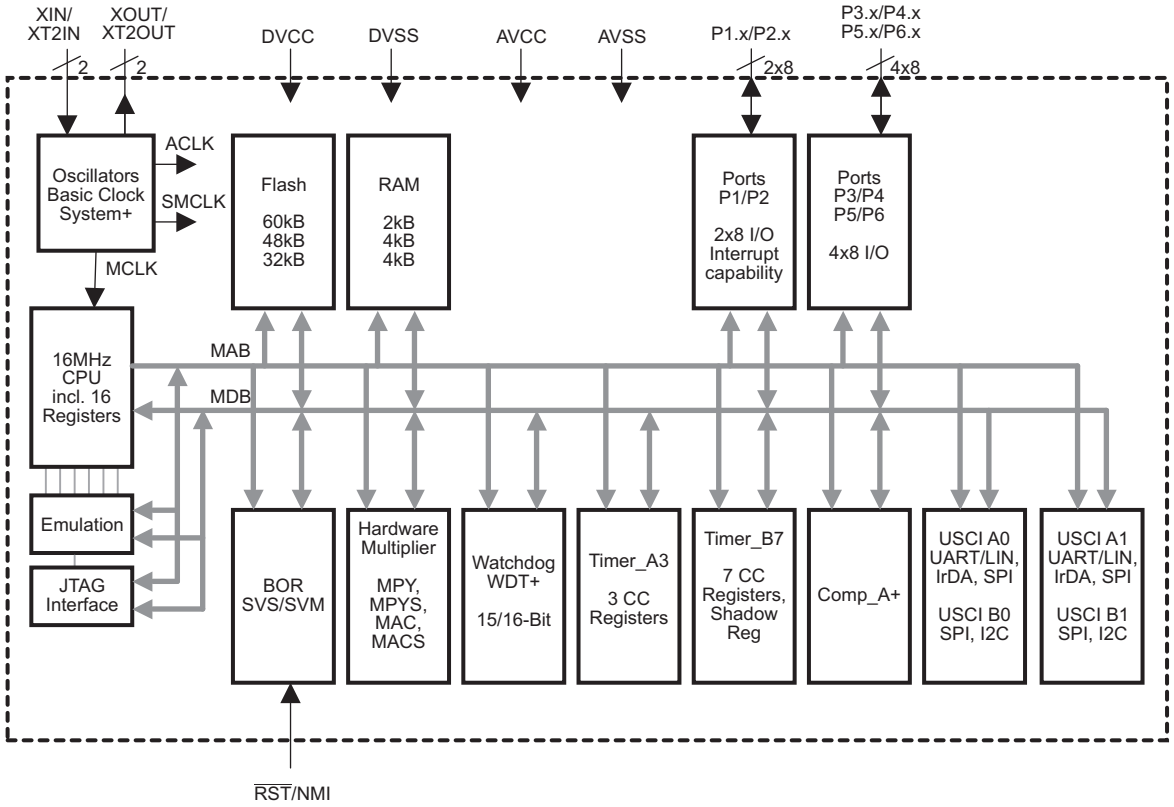


版权 © 2007–2011, Texas Instruments Incorporated

功能方框图，MSP430F24x，MSP430F2410



功能方框图，**MSP430F24x1**



版权 © 2007–2011, Texas Instruments Incorporated

表 **2.** 端子功能，**MSP430F23x**

端子		I/O	说明
名称	编号		
AV_{CC}	64		模拟电源电压，正端子。 只为 ADC12 模拟部分供电。
AV_{SS}	62		模拟电源电压，负端子。 只为 ADC12 模拟部分供电。
DV_{CC}	1		数字电源电压，正端子。 为所有数字部件供电。
DV_{SS}	63		数字电源电压，负端子. 为所有数字部件供电。
P1.0/TACLK/CAOUT	12	I/O	通用数字 I/O / Timer_A，时钟信号 TACLK 输入 / Comparator_A 输入
P1.1/TA0	13	I/O	通用型数字 I/O / Timer_A， 捕捉：CCI0A 输入，比较：Out0 输出 / BSL 发送
P1.2/TA1	14	I/O	通用型数字 I/O / Timer_A，捕获：CCI1A 输入，比较：Out1 输出
P1.3/TA2	15	I/O	通用数字 I/O / Timer_A，捕捉：CCI2A 输入，比较：Out2 输出
P1.4/SMCLK	16	I/O	通用数字 I/O / SMCLK 信号输出
P1.5/TA0	17	I/O	通用数字 I/O Timer_A，比较：Out0 输出
P1.6/TA1	18	I/O	通用数字 I/O / Timer_A，比较：Out1 输出
P1.7/TA2	19	I/O	通用数字 I/O / Timer_A，比较：Out2 输出
P2.0/ACLK/CA2	20	I/O	通用数字 I/O / ACLK 输出 / Comparator_A 输入
P2.1/TAINCLK/CA3	21	I/O	通用数字 I/O / Timer_A，INCLK 上的时钟信号
P2.2/CAOUT/TA0/CA4	22	I/O	通用数字 I/O / Timer_A，捕捉：CCI0B 输入 / Comparator_A 输出 / BSL 接收 / Comparator_A 输入
P2.3/CA0/TA1	23	I/O	通用数字 I/O / Timer_A，捕捉：Out1 输出 / Comparator_A 输入
P2.4/CA1/TA2	24	I/O	通用数字 I/O / Timer_A，捕捉：Out2 输出 / Comparator_A 输入
P2.5/R_{OSC}/CA5	25	I/O	针对外部电阻器（定义了 DCO 标称频率）的通用数字 I/O 输入 / Comparator_A 输入
P2.6/ADC12CLK/CA6	26	I/O	通用数字 I/O 转换时钟 - 12 位 ADC/Comparator_A 输入
P2.7/TA0/CA7	27	I/O	通用数字 I/O / Timer_A，捕捉：Out0 输出 / Comparator_A 输入
P3.0/UCB0STE/UCA0CLK	28	I/O	通用数字 I/O / USCI_B0 从器件发送启用 / USCI_A0 时钟输入/输出
P3.1/UCB0SIMO/UCB0SDA	29	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输入/主器件输出，I^2C 模式下的 SDA I^2C 数据
P3.2/UCB0SOMI/UCB0SCL	30	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输出/主器件输入，I^2C 模式中的 SCL I^2C 时钟
P3.3/UCB0CLK/UCA0STE	31	I/O	通用数字 I/O/USCI_B0 时钟输入/输出，USCI_A0 从器件发送启用
P3.4/UCA0TXD/UCA0SIMO	32	I/O	通用数字 I/O / UART 模式下的 USCI_A0 发送数据输出，SPI 模式下的从器件数据输入/主器件输出
P3.5/UCA0RXD/UCA0SOMI	33	I/O	通用数字 I/O / UART 模式下 USCI_A0 接收数据输入，SPI 模式下从器件数据输出/主器件输入
P3.6	34	I/O	通用数字 I/O
P3.7	35	I/O	通用数字 I/O
P4.0/TB0	36	I/O	通用数字 I/O / Timer_B，捕捉：CCI0A/B 输入，比较：Out0 输出
P4.1/TB1	37	I/O	通用数字 I/O / Timer_B，捕捉：CCI1A/B 输入，比较：Out1 输出
P4.2/TB2	38	I/O	通用数字 I/O / Timer_B，捕捉：CCI2A/B 输入，比较：Out2 输出
P4.3	39	I/O	通用数字 I/O
P4.4	40	I/O	通用数字 I/O
P4.5	41	I/O	通用数字 I/O
P4.6	42	I/O	通用数字 I/O
P4.7/TBCLK	43	I/O	通用数字 I/O / Timer_B，时钟信号 TBCLK 输入
P5.0	44	I/O	通用数字 I/O
P5.1	45	I/O	通用数字 I/O
P5.2	46	I/O	通用数字 I/O
P5.3	47	I/O	通用数字 I/O
P5.4/MCLK	48	I/O	通用数字 I/O / 主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用数字 I/O / 子系统时钟 SMCLK 输出
P5.6/ACLK	50	I/O	通用数字 I/O / 辅助时钟 ACLK 输出
P5.7/TBOUTH/SVSOUT	51	I/O	通用数字 I/O / 将所有 PWM 数字输出端口切换至高阻抗 - Timer_B TB0 至 TB6/SVS 比较器输出
P6.0/A0	59	I/O	通用数字 I/O / 模拟输入 A0-12 位 ADC
P6.1/A1	60	I/O	通用数字 I/O / 模拟输入 A1-12 位 ADC
P6.2/A2	61	I/O	通用数字 I/O / 模拟输入 A2-12 位 ADC
P6.3/A3	2	I/O	通用数字 I/O / 模拟输入 A3-12 位 ADC
P6.4/A4	3	I/O	通用数字 I/O / 模拟输入 A4-12 位 ADC
P6.5/A5	4	I/O	通用数字 I/O / 模拟输入 A5-12 位 ADC

版权 © 2007–2011, Texas Instruments Incorporated

表 **2.** 端子功能，**MSP430F23x (**接下页**)**

端子		I/O	说明
名称	编号		
P6.6/A6	5	I/O	通用数字 I/O / 模拟输入 A6-12 位 ADC
P6.7/A7/SVSIN	6	I/O	通用数字 I/O / 模拟输入 A7-12 位 ADC/SVS 输入
XT2OUT	52	O	晶体振荡器 XT2 的输出端子
XT2IN	53	I	晶体振荡器 XT2 的输入端子
RST/NMI	58	I	复位输入、非屏蔽中断输入、或者引导加载程序启动（在闪存器件内）
TCK	57	I	测试时钟 (JTAG)。 TCK 是针对器件编程测试和引导加载程序启动的时钟输入端口。
TDI/TCLK	55	I	测试数据输入或者测试时钟输入。 器件保护熔丝被连接至 TDI/TCLK 上。
TDO/TDI	54	I/O	测试数据输出。 TDO/TDI 数据输出或者编程数据输入端子。
TMS	56	I	测试模式选择。 TMS 用作一个器件编程和测试的输入端口。
V_{eREF+}	10	I	针对外部基准电压的输入
V_{REF+}	7	O	ADC12 基准电压正端子的输出
V_{REF-}/V_{eREF-}	11	I	针对两个源基准电压，即内部基准电压，或者外部施加的基准电压的负端子
XIN	8	I	用于晶振振荡器 XT1 的输入。 可连接标准或者手表晶振。
XOUT	9	O	用于晶体振荡器 XT1 的输出。 可连接标准或者手表晶振。
QFN 封装焊盘	不可用	不可用	建议将 QFN 封装焊盘连接至 DV_{SS}

版权 © 2007–2011, Texas Instruments Incorporated

表 **3.** 端子功能，**MSP430F24x**，**MSP430F2410**

端子		I/O	说明
名称	编号		
AV_{CC}	64		模拟电源电压，正端子。 只为 ADC12 的模拟部分供电。
AV_{SS}	62		模拟电源电压，负端子。 只为 ADC12 的模拟部分供电。
DV_{CC}	1		数字电源电压，正端子。 为所有数字部件供电。
DV_{SS}	63		数字电源电压，负端子。 为所有数字部件供电。
P1.0/TACLK/CAOUT	12	I/O	通用数字 I/O / Timer_A，时钟信号 TACLK 输入 / Comparator_A 输入
P1.1/TA0	13	I/O	通用数字 I/O / Timer_A， 捕捉：CCI0A 输入，比较：Out0 输出 / BSL 发送
P1.2/TA1	14	I/O	通用数字 I/O / Timer_A，捕获：CCI1A 输入，比较：Out1 输出
P1.3/TA2	15	I/O	通用数字 I/O / Timer_A，捕捉：CCI2A 输入，比较：Out2 输出
P1.4/SMCLK	16	I/O	通用数字 I/O / SMCLK 信号输出
P1.5/TA0	17	I/O	通用数字 I/O / Timer_A，比较：Out0 输出
P1.6/TA1	18	I/O	通用数字 I/O / Timer_A，比较：Out1 输出
P1.7/TA2	19	I/O	通用数字 I/O / Timer_A，比较：Out2 输出
P2.0/ACLK/CA2	20	I/O	通用数字 I/O / ACLK 输出 / Comparator_A 输入
P2.1/TAINCLK/CA3	21	I/O	通用数字 I/O / Timer_A，INCLK 上的时钟信号
P2.2/CAOUT/TA0/CA4	22	I/O	通用数字 I/O / Timer_A，捕捉：CCI0B 输入 / Comparator_A 输出 / BSL 接收 / Comparator_A 输入
P2.3/CA0/TA1	23	I/O	通用数字 I/O / Timer_A，比较：Out1 输出 / Comparator_A 输入
P2.4/CA1/TA2	24	I/O	通用数字 I/O / Timer_A，比较：Out2 输出 / Comparator_A 输入
P2.5/R_{OSC}/CA5	25	I/O	通用数字 I/O / 针对外部电阻器（定义了 DCO 标称频率）的输入 / Comparator_A 输入
P2.6/ADC12CLK/CA6	26	I/O	通用数字 I/O / 转换时钟 - 12 位 ADC / Comparator_A 输入
P2.7/TA0/CA7	27	I/O	通用数字 I/O / Timer_A，比较：Out0 输出 / Comparator_A 输入
P3.0/UCB0STE/UCA0CLK	28	I/O	通用数字 I/O / USCI_B0 从器件发送启用 / USCI_A0 时钟输入/输出
P3.1/UCB0SIMO/UCB0SDA	29	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输入/主器件输出，I^2C 模式下的 SDA I^2C 数据
P3.2/UCB0SOMI/UCB0SCL	30	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输出/主器件输入，I^2C 模式下的 SCL I^2C 时钟
P3.3/UCB0CLK/UCA0STE	31	I/O	通用数字 I/O / USCI_B0 时钟输入/输出，USCI_A0 从器件发送启用
P3.4/UCA0TXD/UCA0SIMO	32	I/O	通用数字 I/O / UART 模式下的 USCI_A 发送数据输出，SPI 模式下的从器件数据输入/主器件输出
P3.5/UCA0RXD/UCA0SOMI	33	I/O	通用数字 I/O / UART 模式下 USCI_A0 接收数据输入，SPI 模式下从器件数据输出/主器件输入
P3.6/UCA1TXD/UCA1SIMO	34	I/O	通用数字 I/O / UART 模式下的 USCI_A1 发送数据输出，SPI 模式下的从器件数据输入/主器件输出
P3.7/UCA1RXD/UCA1SOMI	35	I/O	通用数字 I/O / UART 模式下 USCI_A1 接收数据输入，SPI 模式下从器件数据输出/主器件输入
P4.0/TB0	36	I/O	通用数字 I/O / Timer_B，捕捉：CCI0A/B 输入，比较：Out0 输出
P4.1/TB1	37	I/O	通用数字 I/O / Timer_B，捕捉：CCI1A/B 输入，比较：Out1 输出
P4.2/TB2	38	I/O	通用数字 I/O / Timer_B，捕捉：CCI2A/B 输入，比较：Out2 输出
P4.3/TB3	39	I/O	通用数字 I/O / Timer_B，捕捉：CCI3A/B 输入，比较：Out3 输出
P4.4/TB4	40	I/O	通用数字 I/O / Timer_B，捕捉：CCI4A/B 输入，比较：Out4 输出
P4.5/TB5	41	I/O	通用数字 I/O / Timer_B，捕捉：CCI5A/B 输入，比较：Out5 输出
P4.6/TB6	42	I/O	通用数字 I/O 引脚 / Timer_B，捕捉：CCI6A 输入，比较：Out6 输出
P4.7/TBCLK	43	I/O	通用数字 I/O / Timer_B，时钟信号 TBCLK 输入
P5.0/UCB1STE/ UCA1CLK	44	I/O	通用数字 I/O 引脚 / USCI_B1 从器件发送启用 / USCI_A1 时钟输入/输出
P5.1/UCB1SIMO/UCB1SDA	45	I/O	通用数字 I/O / SPI 模式下的 USCI_B1 从器件输入/主器件输出，I^2C 模式下的 SDA I^2C 数据
P5.2/UCB1SOMI/UCB1SCL	46	I/O	通用数字 I/O / SPI 模式下的 USCI_B1 从器件输出/主器件输入， I^2C 模式下的 SCL I^2C 数据
P5.3/UCB1CLK/UCA1STE	47	I/O	通用数字 I/O / USCI_B1 时钟输入/输出，USCI_A1 从器件发送启用
P5.4/MCLK	48	I/O	通用数字 I/O / 主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用数字 I/O / 子系统时钟 SMCLK 输出
P5.6/ACLK	50	I/O	通用数字 I/O / 辅助时钟 ACLK 输出
P5.7/TBOUTH/SVSOUT	51	I/O	通用数字 I/O / 将所有 PWM 数字输出端口切换至高阻抗 - Timer_B TB0 至 TB6/SVS 比较器输出
P6.0/A0	59	I/O	通用数字 I/O / 模拟输入 A0-12 位 ADC
P6.1/A1	60	I/O	通用数字 I/O / 模拟输入 A1-12 位 ADC
P6.2/A2	61	I/O	通用数字 I/O / 模拟输入 A2-12 位 ADC
P6.3/A3	2	I/O	通用数字 I/O / 模拟输入 A3-12 位 ADC
P6.4/A4	3	I/O	通用数字 I/O / 模拟输入 A4-12 位 ADC
P6.5/A5	4	I/O	通用数字 I/O / 模拟输入 A5-12 位 ADC

版权 © 2007–2011, Texas Instruments Incorporated

表 **3.** 端子功能，**MSP430F24x**，**MSP430F2410 (**接下页**)**

端子		I/O	说明
名称	编号		
P6.6/A6	5	I/O	通用数字 I/O / 模拟输入 A6-12 位 ADC
P6.7/A7/SVSIN	6	I/O	通用数字 I/O / 模拟输入 A7-12 位 ADC/
XT2OUT	52	O	晶体振荡器 XT2 的输出
XT2IN	53	I	晶体振荡器 XT2 的输入
RST/NMI	58	I	复位输入、非屏蔽中断输入、或者引导加载程序启动（在闪存器件内）。
TCK	57	I	测试时钟 (JTAG)。 TCK 是针对器件编程测试和引导加载程序启动的时钟输入端口。
TDI/TCLK	55	I	测试数据输入或者测试时钟输入。 器件保护熔丝被连接至 TDI/TCLK 上。
TDO/TDI	54	I/O	测试数据输出。 TDO/TDI 数据输出或者编程数据输入端子。
TMS	56	I	测试模式选择。 TMS 用作一个器件编程和测试的输入端口。
V_{eREF+}	10	I	针对外部基准电压的输入
V_{REF+}	7	O	ADC12 基准电压的正输出
V_{REF-}/V_{eREF-}	11	I	针对两个源基准电压，即内部基准电压，或者外部施加的基准电压的负端子
XIN	8	I	针对晶振振荡器 XT1 的输入。 可连接标准或者手表晶振。
XOUT	9	O	针对晶体振荡器 XT1 的输出。 可连接标准或者手表晶振。
QFN 封装焊盘	不可用	不可用	建议将 QFN 封装焊盘连接至 DV_{SS}（只适用于 RGC 封装）

版权 © 2007–2011, Texas Instruments Incorporated

表 **4.** 端子功能，**MSP430F24x1**

端子		I/O	说明
名称	编号		
AV_{CC}	64		模拟电源电压，正端子。 只为 ADC12 的模拟部分供电。
AV_{SS}	62		模拟电源电压，负端子。 只为 ADC12 的模拟部分供电。
DV_{CC}	1		数字电源电压，正端子。 为所有数字部件供电。
DV_{SS}	63		数字电源电压，负端子。 为所有数字部件供电。
P1.0/TACLK/CAOUT	12	I/O	通用数字 I/O / Timer_A，时钟信号 TACLK 输入 / Comparator_A 输入
P1.1/TA0	13	I/O	通用数字 I/O / Timer_A，捕捉：CCI0A 输入，比较：Out0 输出 / BSL 发送
P1.2/TA1	14	I/O	通用数字 I/O / Timer_A，捕获：CCI1A 输入，比较：Out1 输出
P1.3/TA2	15	I/O	通用数字 I/O / Timer_A，捕捉：CCI2A 输入，比较：Out2 输出
P1.4/SMCLK	16	I/O	通用数字 I/O / SMCLK 信号输出
P1.5/TA0	17	I/O	通用数字 I/O / Timer_A，比较：Out0 输出
P1.6/TA1	18	I/O	通用数字 I/O / Timer_A，比较：Out1 输出
P1.7/TA2	19	I/O	通用数字 I/O / Timer_A，比较：Out2 输出
P2.0/ACLK/CA2	20	I/O	通用数字 I/O / ACLK 输出 / Comparator_A 输入
P2.1/TAINCLK/CA3	21	I/O	通用数字 I/O / Timer_A，INCLK 上的时钟信号
P2.2/CAOUT/TA0/CA4	22	I/O	通用数字 I/O / Timer_A，捕捉：CCI0B 输入 / Comparator_A 输出 / BSL 接收 / Comparator_A 输入
P2.3/CA0/TA1	23	I/O	通用数字 I/O / Timer_A，捕捉：Out1 输出 / Comparator_A 输入
P2.4/CA1/TA2	24	I/O	通用数字 I/O / Timer_A，比较：Out2 输出 / Comparator_A 输入
P2.5/R_{OSC}/CA5	25	I/O	通用数字 I/O / 针对外部电阻器（定义了 DCO 标称频率）的输入 / Comparator_A 输入
P2.6/ADC12CLK/CA6	26	I/O	通用数字 I/O / 转换时钟 - 12 位 ADC / Comparator_A 输入
P2.7/TA0/CA7	27	I/O	通用数字 I/O / Timer_A，比较：Out0 输出 / Comparator_A 输入
P3.0/UCB0STE/UCA0CLK	28	I/O	通用数字 I/O / USCI_B0 从器件发送启用 / USCI_A0 时钟输入/输出
P3.1/UCB0SIMO/UCB0SDA	29	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输入/主器件输出，I^2C 模式下的 SDA I^2C 数据
P3.2/UCB0SOMI/UCB0SCL	30	I/O	通用数字 I/O / SPI 模式下的 USCI_B0 从器件输出/主器件输入，I^2C 模式下的 SCL I^2C 时钟
P3.3/UCB0CLK/UCA0STE	31	I/O	通用数字 I/O / USCI_B0 时钟输入/输出，USCI_A0 从器件发送启用
P3.4/UCA0TXD/UCA0SIMO	32	I/O	通用数字 I/O / UART 模式下的 USCI_A0 发送数据输出，SPI 模式下的从器件数据输入/主器件输出
P3.5/UCA0RXD/UCA0SOMI	33	I/O	通用数字 I/O / UART 模式下 USCI_A0 接收数据输入，SPI 模式下从器件数据输出/主器件输入
P3.6/UCA1TXD/UCA1SIMO	34	I/O	通用数字 I/O / UART 模式下的 USCI_A1 发送数据输出，SPI 模式下的从器件数据输入/主器件输出
P3.7/UCA1RXD/UCA1SOMI	35	I/O	通用数字 I/O / UART 模式下 USCI_A1 接收数据输入，SPI 模式下从器件数据输出/主器件输入
P4.0/TB0	36	I/O	通用数字 I/O / Timer_B，捕捉：CCI0A/B 输入，比较：Out0 输出
P4.1/TB1	37	I/O	通用数字 I/O / Timer_B，捕捉：CCI1A/B 输入，比较：Out1 输出
P4.2/TB2	38	I/O	通用数字 I/O / Timer_B，捕捉：CCI2A/B 输入，比较：Out2 输出
P4.3/TB3	39	I/O	通用数字 I/O / Timer_B，捕捉：CCI3A/B 输入，比较：Out3 输出
P4.4/TB4	40	I/O	通用数字 I/O / Timer_B，捕捉：CCI4A/B 输入，比较：Out4 输出
P4.5/TB5	41	I/O	通用数字 I/O / Timer_B，捕捉：CCI5A/B 输入，比较：Out5 输出
P4.6/TB6	42	I/O	通用数字 I/O / Timer_B，捕捉：CCI6A 输入，比较：Out6 输出
P4.7/TBCLK	43	I/O	通用数字 I/O / Timer_B，时钟信号 TBCLK 输入
P5.0/UCB1STE/ UCA1CLK	44	I/O	通用数字 I/O / USCI_B1 从器件发送启用 / USCI_A1 时钟输入/输出
P5.1/UCB1SIMO/UCB1SDA	45	I/O	通用数字 I/O / SPI 模式下的 USCI_B1 从器件输入/主器件输出，I^2C 模式下的 SDA I^2C 数据
P5.2/UCB1SOMI/UCB1SCL	46	I/O	通用数字 I/O / SPI 模式下的 USCI_B1 从器件输出/主器件输入， I^2C 模式下的 SCL I^2C 数据
P5.3/UCB1CLK/UCA1STE	47	I/O	通用数字 I/O / USCI_B1 时钟输入/输出，USCI_A1 从器件发送启用
P5.4/MCLK	48	I/O	通用数字 I/O / 主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用数字 I/O / 子系统时钟 SMCLK 输出
P5.6/ACLK	50	I/O	通用数字 I/O / 辅助时钟 ACLK 输出
P5.7/TBOUTH/SVSOUT	51	I/O	通用数字 I/O / 将所有 PWM 数字输出端口切换至高阻抗 - Timer_B TB0 至 TB6/SVS 比较器输出
P6.0	59	I/O	通用数字 I/O
P6.1	60	I/O	通用数字 I/O
P6.2	61	I/O	通用数字 I/O
P6.3	2	I/O	通用数字 I/O
P6.4	3	I/O	通用数字 I/O
P6.5	4	I/O	通用数字 I/O

版权 © 2007–2011, Texas Instruments Incorporated

表 **4.** 端子功能，**MSP430F24x1 (**接下页**)**

端子		I/O	说明
名称	编号		
P6.6	5	I/O	通用数字 I/O
P6.7/SVSIN	6	I/O	通用数字 I/O / SVS 输入
XT2OUT	52	O	针对晶体振荡器 XT2 的输出端子
XT2IN	53	I	针对晶体振荡器 XT2 的输入端口
RST/NMI	58	I	复位输入、非屏蔽中断输入、或者引导加载程序启动（在闪存器件内）。
TCK	57	I	测试时钟 (JTAG)。 TCK 是针对器件编程测试和引导加载程序启动的时钟输入端口。
TDI/TCLK	55	I	测试数据输入或者测试时钟输入。 器件保护熔丝被连接至 TDI/TCLK 上。
TDO/TDI	54	I/O	测试数据输出。 TDO/TDI 数据输出或者编程数据输入端子。
TMS	56	I	测试模式选择。 TMS 用作一个器件编程和测试的输入端口。
DV_{SS}	10	I	被连接至 DV_{SS}
被保留	7	O	被保留，不用于外部连接
DV_{SS}	11	I	被连接至 DV_{SS}
XIN	8	I	针对晶振振荡器 XT1 的输入。 可连接标准或者手表晶振。
XOUT	9	O	针对晶体振荡器 XT1 的输出。 可连接标准或者手表晶振。
QFN 封装焊盘	不可用	不可用	建议将 QFN 封装焊盘连接至 DV_{SS}（只适用于 RGC 封装）

版权 © 2007–2011, Texas Instruments Incorporated

简式说明

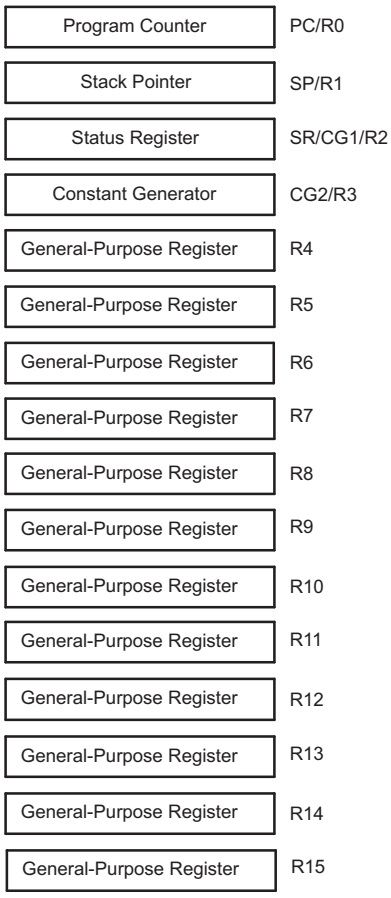
CPU

MSP430 CPU 具有一个对于应用高度透明的 16 位精简指令集 (RISC) 架构。 所有的操作（程序流指令除外）均作为寄存器操作与用于源操作数的 7 种寻址模式和用于目的操作数的 4 种寻址模式一起执行。

CPU 与 16 个寄存器进行了集成，从而提供精简指令执行时间。 寄存器至寄存器操作执行时间为 CPU 时钟的一个周期。

其中的 4 个寄存器（R0 至 R3）分别专门用作程序计数器、栈指针、状态寄存器和常数发生器。 其余的寄存器为通用型寄存器。

采用数据、地址和控制总线将外设连接至 CPU，并可利用所有的指令对外设进行控制。



指令集

该指令集包括具有 3 种格式和 7 种寻址模式的 51 条指令 。 每条指令均可在字和字节数据上操作。表 5给出了 3 种指令格式的示例；表 6显示了寻址模式。

表 **5.** 指令字格式

指令格式	示例	工作方式
双操作数，源操作数-目的操作数	加上 R4，R5	R4 + R5 → R5
单操作数，仅目的操作数	调用 R8	PC → (TOS)，R8 → PC
相对跳转，无条件/有条件	JNE	等于则跳转位 = 0

表 **6.** 寻址模式说明

寻址模式	S (1)	D(2)	句法	示例	操作
寄存器	✓	✓	MOV Rs，Rd	MOV R10,R11	R10→R11
加索引的	✓	✓	MOV X(Rn)，Y(Rm)	MOV 2(R5)，6(R6)	M(2+R5)→M(6+R6)
有符号的（PC 相关）	✓	✓	MOV EDE，TONI		M(EDE)→M(TONI)
绝对	✓	✓	MOV &MEM，&TCDAT		M(MEM)→M(TCDAT)
间接	✓		MOV @Rn，Y(Rm)	MOV @R10，Tab(R6)	M(R10)→M(Tab+R6)
间接自动增量	✓		MOV @Rn+，Rm	MOV @R10+，R11	M(R10)→R11 R10+2→R10
立即	✓		MOV #X,TONI	MOV #45，TONI	#45→M(TONI)

(1) S = 源
(2) D = 目的

版权 © 2007–2011, Texas Instruments Incorporated

操作模式

MSP430 具有一个激活模式及 5 种软件可选的低功耗操作模式。 一个中断事件能够将器件从五个低功耗模式的任一个模式中唤醒、处理请求，并在接收到来自中断程序的返回信号时恢复至低功耗模式。

以下 6 种操作模式可利用软件来配置：

- 激活模式 (AM)
  - 所有时钟处于激活状态.
- 低功耗模式 0 (LPM0)
  - CPU 被禁用。
  - ACLK 和 SMCLK 保持激活。 MCLK 被禁用。
- 低功耗模式 1 (LPM1)
  - CPU 被禁用 ACLK 和 SMCLK 保持激活。 MCLK 被禁用。
  - 如果 DCO 未在激活模式使用，DCO dc 生成器被禁用。
- 低功耗模式 2 (LPM2)
  - CPU 被禁用。
  - MCLK 和 SMCLK 被禁用。
  - DCO dc 生成器保持启用。
  - ACLK 保持激活。
- 低功耗模式 3 (LPM3)
  - CPU 被禁用。
  - MCLK 和 SMCLK 被禁用。
  - DCO dc 生成器被禁用。
  - ACLK 保持激活。
- 低功耗模式 4 (LPM4)
  - CPU 被禁用。
  - ACLK 被禁用。
  - MCLK 和 SMCLK 被禁用。
  - DCO dc 生成器被禁用。
  - 晶体振荡器被停止。

版权 © 2007–2011, Texas Instruments Incorporated

中断矢量地址

中断矢量和加电起动地址位于 0FFFFh 至 0xFFC0 的地址范围内。 该矢量包含适当中断处理程序指令序列的 16 位地址。 如果中断矢量 (0xFFFE) 包含 0xFFFF（例如，如果闪存未被编辑），CPU 在加电后进入 LPM4。

表 **7.** 中断矢量地址

中断源	中断标志	系统中断	字地址	优先级
加电 外部复位 安全装置 闪存密钥冲突 PC 超范围(1)	PORIFG WDTIFG RSTIFG KEYV （请见(2)）	复位	0xFFFE	31，最高
NMI 振荡器故障 闪存存储器访问冲突	NMIIFG OFIFG ACCVIFG(2)(3)	(不)可屏蔽 (不)可屏蔽 (不)可屏蔽	0xFFFC	30
Timer_B7(4)	TBCCR0 CCIFG(5)	可屏蔽	0xFFFA	29
Timer_B7(4)	TBCCR1 至 TBCCR6 CCIFG，TBIFG(2)(5)	可屏蔽	0xFFF8	28
Comparator_A+	CAIFG	可屏蔽	0xFFF6	27
安全装置定时器 +	WDTIFG	可屏蔽	0xFFF4	26
Timer_A3	TACCR0 CCIFG(5)	可屏蔽	0xFFF2	25
Timer_A3	TACCR1 CCIFG TACCR2 CCIFG TAIFG(2)(5)	可屏蔽	0xFFF0	24
USCI_A0/USCI_B0 接收 USCI_B0 I2C 状态	UCA0RXIFG，UCB0RXIFG(2)(6)	可屏蔽	0xFFEE	23
USCI_A0/USCI_B0 发送 USCI_B0 I2C 接收/发送	UCA0TXIFG，UCB0TXIFG(2)(7)	可屏蔽	0xFFEC	22
ADC12(8)	ADC12IFG(2)(5)	可屏蔽	0xFFEA	21
			0xFFE8	20
I/O 端口 P2（8 个标志）	P2IFG.0 至 P2IFG.7(2)(5)	可屏蔽	0xFFE6	19
I/O 端口 P1（8 个标志）	P1IFG.0 至 P1IFG.7(2)(5)	可屏蔽	0xFFE4	18
USCI_A1/USCI_B1 接收 USCI_B1 I2C 状态	UCA1RXIFG，UCB1RXIFG(2)(6)	可屏蔽	0xFFE2	17
USCI_A1/USCI_B1 发送 USCI_B1 I2C 接收/发送	UCA1TXIFG，UCB1TXIFG(2)(7)	可屏蔽	0xFFE0	16
被保留(9)(10)	被保留		0xFFDE 至 0xFFC0	15 至 0，最低

(1) 如果 CPU 试图从模块寄存器内存地址范围（0x0000 至 0x01FFh）或未使用的地址范围内读取指令，则生成一个复位。
(2) 多源标志
(3) (不)可屏蔽：独立的中断使能位可禁用一个中断事件，但通用型中断启用则不能。
(4) MSP430F24x(1)/MSP430F2410 系列产品中的 TImer_B7 有 7 个 CCR，MSP430F23x 系列产品中的 Timer_B3 有 3 个 CCR。 在 Timer_B3 中，只有中断标志 TBCCR0 CCIFG，TBCCR1 CCIFG，和 TBCCR2 CCIFG，以及中断使能位 TBCCTL0 CCIE，TBCCTL1 CCIE，和 TBCCTL2 CCIE。
(5) 中断标志位于模块之中。
(6) 在 SPI 模式中：UCB0RXIFG。 在 I2C 模式中：UCALIFG，UCNACKIFG，ICSTTIFG，UCSTPIFG。
(7) 在 UART/SPI 模式中：UCB0TXIFG。 在 I2C 模式中：UCB0RXIFG、UCB0TXIFG。
(8) MSP430F24x1 系列产品不执行 ADC12。
(9) 地址 0xFFDE 被用作引导加载程序安全密钥 (BSLKEY)。 这个位置上的一个 0xAA55 将完全禁用 BSL。 如果提供了一个无效的密码，则一个零将禁止闪存的擦除。
(10) 位于地址 0xFFDE 至 0xFFC0 的中断矢量在该器件中未使用，可在需要时用于常规程序代码。

版权 © 2007–2011, Texas Instruments Incorporated

特殊功能寄存器

大多数中断使能位聚集在最低的地址空间里。 未分配给某种特殊用途的特殊功能寄存器位本身未在器件中出现。 这样的安排提供了简单软件访问。

图例

rw	可以对位进行读写操作。
rw-0，1	可以对位进行读写操作。 由 PUC 对其进行复位或置位。
rw-(0)，(1)	可以对位进行读写操作。 由 POR 对其进行复位或置位。
	器件中不存在 SFR 位。

表 8. 中断使能 1

地址	7	6	5	4	3	2	1	0
00h			ACCVIE	NMIIE			OFIE	WDTIE
			rw-0	rw-0			rw-0	rw-0

WDTIE	安全装置定时器中断使能。 如果选择的是安全装置模式，则其处于未激活状态。 如果安全装置定时器被配置成间隔定时器模式，则其处于激活状态。
OFIE	振荡器故障中断使能
NMIIE	(不)可屏蔽中断使能
ACCVIE	闪存访问冲突中断使能

表 9. 中断使能 2

地址	7	6	5	4	3	2	1	0
01h					UCB0TXIE	UCB0RXIE	UCA0TXIE	UCA0RXIE
					rw-0	rw-0	rw-0	rw-0

UCA0RXIE	USCI_A0 接收中断使能
UCA0TXIE	USCI_A0 发送中断使能
UCB0RXIE	USCI_B0 接收中断使能
UCB0TXIE	USCI_B0 发送中断使能

表 10. 中断标志寄存器 1

地址	7	6	5	4	3	2	1	0
02h				NMIIFG	RSTIFG	PORIFG	OFIFG	WDTIFG
				rw-0	rw-(0)	rw-(1)	rw-1	rw-(0)

WDTIFG	安全装置定时器溢出（在安全装置模式中）或安全密钥冲突上的设置。 在$\overline{\text{RST}}$/NMI 引脚处于复位模式上的 V_{CC}加电复位或者一个复位条件。
OFIFG	振荡器故障的标志设定
RSTIFG	外部复位中断标志。 在处于复位模式中的$\overline{\text{RST}}$/NMI 引脚上设定一个复位条件。 V_{CC}加电复位。
PORIFG	加电复位中断标志。 V_{CC}加电设定。
NMIIFG	通过$\overline{\text{RST}}$/NMI 引脚进行设定

表 11. 中断标志寄存器 2

地址	7	6	5	4	3	2	1	0
03h					UCB0TXIFG	UCB0RXIFG	UCA0TXIFG	UCA0RXIFG
					rw-1	rw-0	rw-1	rw-0

UCA0RXIFG	USCI_A0 接收中断使能
UCA0TXIFG	USCI_A0 发送中断使能
UCB0RXIFG	USCI_B0 接收中断使能
UCB0TXIFG	USCI_B0 发送中断使能

版权 © 2007–2011, Texas Instruments Incorporated

内存组织

表 **12.** 内存组织

		MSP430F233	MSP430F235	MSP430F249 MSP430F2491
内存 主内存：中断矢量 主内存：代码内存	大小 闪存 闪存	8KB 0xFFFF 至 0xFFC0 0xFFFF 至 0xE000	16KB 0xFFFF 至 0xFFC0 0xFFFF 至 0xC000	60kB 0xFFFF 至 0xFFC0 0xFFFF 至 0x1100
RAM（全部）	尺寸	1KB 0x05FF 至 0x0200	2KB 0x09FF 至 0x0200	2KB 0x09FF 至 0x0200
信息内存	大小 闪存	256 字节 0x10FF 至 0x1000	256 字节 0x10FF 至 0x1000	256 字节 0x10FF 至 0x1000
引导内存	尺寸 ROM	1KB 0x0FFF 至 0x0C00	1KB 0x0FFF 至 0x0C00	1KB 0x0FFF 至 0x0C00
RAM	大小	1KB 0x05FF 至 0x0200	2KB 0x09FF 至 0x0200	2KB 0x09FF 至 0x0200
外设	16 位 8 位 SFR	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000

		MSP430F247 MSP430F2471	MSP430F248 MSP430F2481	MSP430F2410
内存 主内存：中断矢量 主内存：代码内存	大小 闪存 闪存	32KB 0xFFFF 至 0xFFC0 0xFFFF 至 0x8000	48KB 0xFFFF 至 0xFFC0 0xFFFF 至 0x4000	56KB 0xFFFF 至 0xFFC0 0xFFFF 至 0x2100
RAM（全部）	尺寸	4KB 0x20FF 至 0x1100	4KB 0x20FF 至 0x1100	4KB 0x20FF 至 0x1100
扩展的	尺寸	2KB 0x20FF 至 0x1900	2KB 0x20FF 至 0x1900	2KB 0x20FF 至 0x1900
镜像的	尺寸	2KB 0x18FF 至 0x1100	2KB 0x18FF 至 0x1100	2KB 0x18FF 至 0x1100
信息内存	大小 闪存	256 字节 0x10FF 至 0x1000	256 字节 0x10FF 至 0x1000	256 字节 0x10FF 至 0x1000
引导内存	尺寸 ROM	1KB 0x0FFF 至 0x0C00	1KB 0x0FFF 至 0x0C00	1KB 0x0FFF 至 0x0C00
RAM（在 0x18FF 至 0x1100 上镜像）	尺寸	2KB 0x09FF 至 0x0200	2KB 0x09FF 至 0x0200	2KB 0x09FF 至 0x0200
外设	16 位 8 位 SFR	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000	0x01FF 至 0x0100 0x00FF 至 0x0010 0x000F 至 0x0000

引导加载程序 (BSL)

MSP430 引导加载程序 (BSL) 使用户能够用一个 UART 串行接口编辑闪存存储器或 RAM。 通过 BSL 对 MSP430 内存的访问由用户规定的密码保护。 如需了解 BSL 及其实现方案的完整说明和特性，请查阅 *《借助引导加载程序来进行 MSP430 编程用户指南》*（文献编号：SLAU319）。

表 **13. BSL** 功能引脚

BSL 功能	PM，PN 封装引脚
数据发送	13-P1.1
数据接收	22-P2.2

闪存

闪存存储器可通过 JTAG 端口、引导加载程序进行编程，或由 CPU 进行系统内编程。 CPU 能执行到闪存存储器的单字节和单字写入操作。 闪存存储器的特性包括：

- 闪存具有 n 个主内存段和 4 个各为 64 字节的信息内存段（A 至 D）。 主内存中每一段的大小为 512 字节。

版权 © 2007–2011, Texas Instruments Incorporated

- 0 至 n 段可以一步擦除，也可以独立地擦除每一段。
- A 至 D 段可以单独擦除，也可将 0 至 n 段作为一个组进行擦除。
  A 至 D 段也被称为*信息内存*。
- 段 A 包含校准数据。 在复位之后，提供的保护防止对 A 段进行编程及擦除操作。 可以将其解锁，但如果需要器件专用的校准数据，应注意不要将该段擦除。

版权 © 2007–2011, Texas Instruments Incorporated

外设

通过数据、地址和控制总线将外设连接至 CPU，并可采用所有的指令对外设进行处理。 如需了解完整的模块说明，请查阅《*MSP430x2xx 系列用户指南*》（文献编号：SLAU144）。

振荡器和系统时钟

时钟系统由基本时钟模块提供支持，此时钟模块包括对一个 32768Hz 手表晶体振荡器、一个内部超低功耗低频振荡器、一个内部数字控制振荡器 (DCO)、和一个高频晶体振荡器的支持。 基本时钟模块设计用于同时满足低系统成本及低功耗的要求。 内部 DCO 提供了一个快速接通时钟源并可在不到 1μs 的时间里实现稳定。 基本时钟模块提供了以下时钟信号：

- 辅助时钟 (ACLK)，由一个 32768Hz 手表晶振、一个高频晶振、或者是内部极低功耗 LF 振荡器提供时钟源。
- 主时钟 (MCLK)，CPU 所采用的系统时钟。
- 子系统时钟 (SMCLK)，外设模块所采用的子系统时钟。

校准数据被存储于信息内存的段 A 中

存储的脚注数据用于 DCO 和 ADC12。 它的组织结构为一个标签类型长度值 (TLV) 结构。

表 14. ADC 校准标志所采用的标志

名称	地址	值	说明
TAG_DCO_30	0x10F6	0x01	V_{CC}=3V 和 T_A=25°C 校准时的 DCO 频率校准
TAG_ADC12_1	0x10DA	0x10	ADC12_1 校准标志
TAG_EMPTY	-	0xFE	空内存区的标识符

表 15. ADC 校准标志所采用的标签

标签	校准时的条件/说明	大小	地址偏移
CAL_ADC_25T85	INCHx=0x1010，REF2_5=1，T_A=85°C	字	0x000E
CAL_ADC_25T30	INCHx=0x1010，REF2_5=1，T_A=30°C	字	0x000C
CAL_ADC_25VREF_FACTOR	REF2_5=1，T_A=30°C，I_{VREF+}=1.0mA	字	0x000A
CAL_ADC_15T85	INCHx=0x1010，REF2_5=0，T_A=85°C	字	0x0008
CAL_ADC_15T30	INCHx=0x1010，REF2_5=0，T_A=30°C	字	0x0006
CAL_ADC_15VREF_FACTOR	REF2_5=0，T_A=30°C，I_{VREF+}=0.5mA	字	0x0004
CAL_ADC_OFFSET	外部 VREF=1.5V，$f_{ADC12CLK}$=5MHz	字	0x0002
CAL_ADC_GAIN_FACTOR	外部 VREF=1.5V，$f_{ADC12CLK}$= 5MHz	字	0x0000
CAL_BC1_1MHZ	-	字节	0x0007
CAL_DCO_1MHZ	-	字节	0x0006
CAL_BC1_8MHZ	-	字节	0x0005
CAL_DCO_8MHZ	-	字节	0x0004
CAL_BC1_12MHZ	-	字节	0x0003
CAL_DCO_12MHZ	-	字节	0x0002
CAL_BC1_16MHZ	-	字节	0x0001
CAL_DCO_16MHZ	-	字节	0x0000

欠压，电源电压监控器 (SVS)

建立欠压电路的目的是在加电及断电期间向器件提供正确的内部复位信号。 SVS 电路对电源电压是否下降至低于一个用户可选电平进行检测并支持电源电压监控（器件被自动复位）和电源电压监视 (SVM，不对器件进行自动复位）。

版权 © 2007–2011, Texas Instruments Incorporated

在欠压电路发出器件复位信号后，CPU 开始代码执行。 然而，此时 V_{CC}有可能还未斜升至 V_{CC}（最小值）。 在 V_{CC}达到 V_{CC}（最小值）之前，用户必须确保缺省 DCO 设置没有被改变。 如果需要的话，SVS 电路可被用于确定何时 V_{CC}达到 V_{CC}（最小值）。

数字 I/O

有多达 6 个 8 位 I/O 端口被执行-端口 P1 到 P8。

- 所有单独的 I/O 位均可进行独立编程。
- 输入、输出、和中断条件可进行任一组合。
- 用于端口 P1 和端口 P2 的所有 8 个位的边沿可选中断输入功能。
- 所有指令均支持到端口控制寄存器的读/写访问。
- 每个 I/O 具有一个可单独编程的上拉/下拉电阻器。

安全装置定时器 (WDT+)

安全装置定时器 (WDT+) 模块的主要功能是在软件问题发生后执行受控的系统重启。 如果选定的时间间隔结束，则产生一个系统复位。 如果在一个应用中不需要安全装置功能，则该模块可被禁用或配置为一个间隔定时器，并能在选定的时间间隔上产生中断。

硬件乘法器

硬件乘法器运算由一个专用外设模块支持。 此模块执行 16x16，16x8，8x16，和 8x8 位运算。 模块能够支持信号的或者非信号的倍乘以及信号和非信号的乘法和累加运算。 在操作数已经被载入到外设寄存器之后，可立即访问一个运算的结果。 无需额外的时钟周期。

Timer_A3

Timer_A3 是具有 3 个捕获/比较寄存器的 16 位定时器/计数器。 Timer_A3 能支持多个捕获/比较寄存器、PWM 输出和间隔时序。 Timer_A3 也具有丰富的中断功能。 计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。

表 16. Timer_A3 信号接线

输入引脚编号	器件输入信号	模块输入名称	模块区块	模块输出信号	输出引脚编号
12-P1.0	TACLK	TACLK	定时器	不可用	
	ACLK	ACLK			
	SMCLK	SMCLK			
21-P2.1	TAINCLK	INCLK			
13-P1.1	TA0	CCI0A	CCR0	TA0	13-P1.1
22-P2.2	TA0	CCI0B			17-P1.5
	DV_{SS}	GND			27-P2.7
	DV_{CC}	V_{CC}			
14-P1.2	TA1	CCI1A	CCR1	TA1	14-P1.2
	CAOUT（内部）	CCI1B			18-P1.6
	DV_{SS}	GND			23-P2.3
	DV_{CC}	V_{CC}			ADC12(1)（内部）
15-P1.3	TA2	CCI2A	CCR2	TA2	15-P1.3
	ACLK（内部）	CCI2B			19-P1.7
	DV_{SS}	GND			24-P2.4
	DV_{CC}	V_{CC}			

(1) 在 MSP430F24x1 器件中不可用。

版权 © 2007–2011, Texas Instruments Incorporated

Timer_B7（MSP430F24x(1) 和 MSP430F2410 器件）

Timer_B7 是一个带有 7 个捕捉/比较寄存器的 16 位定时器/计数器。 Timer_B7 能支持多个捕获/比较寄存器，PWM 输出和间隔定时。 Timer_A7 也具有丰富的中断功能。 计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。

表 **17. Timer_B7** 信号连线

输入引脚编号	器件输入信号	模块输入名称	模块区块	模块输出信号	输出引脚编号
43-P4.7	TBCLK	TBCLK	定时器	不可用	
	ACLK	ACLK			
	SMCLK	SMCLK			
43-P4.7	TBCLK	INCLK			
36-P4.0	TB0	CCI0A	CCR0	TB0	36-P4.0
36-P4.0	TB0	CCI0B			ADC12(1)（内部）
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
37-P4.1	TB1	CCI1A	CCR1	TB1	37-P4.1
37-P4.1	TB1	CCI1B			ADC12(1)（内部）
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
38-P4.2	TB2	CCI2A	CCR2	TB2	38-P4.2
38-P4.2	TB2	CCI2B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
39-P4.3	TB3	CCI3A	CCR3	TB3	39-P4.3
39-P4.3	TB3	CCI3B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
40-P4.4	TB4	CCI4A	CCR4	TB4	40-P4.4
40-P4.4	TB4	CCI4B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
41-P4.5	TB5	CCI5A	CCR5	TB5	41-P4.5
41-P4.5	TB5	CCI5B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
42-P4.6	TB6	CCI6A	CCR6	TB6	42-P4.6
	ACLK（内部）	CCI6B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			

(1) 在 MSP430F24x1 器件上不可用。

Timer_B3（MSP430F23x 器件）

Timer_B3 是一个带有 7 个捕捉/比较寄存器的 16 位定时器/计数器。 Timer_B3 能支持多个捕获/比较寄存器，PWM 输出和间隔定时。 Timer_A3 也具有丰富的中断功能。 计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。

表 **18. Timer_B3** 信号连线

输入引脚编号	器件输入信号	模块输入名称	模块区块	模块输出信号	输出引脚编号
43-P4.7	TBCLK	TBCLK	定时器	不可用	
	ACLK	ACLK			
	SMCLK	SMCLK			
43-P4.7	TBCLK	INCLK			
36-P4.0	TB0	CCI0A	CCR0	TB0	36-P4.0
36-P4.0	TB0	CCI0B			ADC12（内部）
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
37-P4.1	TB1	CCI1A	CCR1	TB1	37-P4.1
37-P4.1	TB1	CCI1B			ADC12（内部）
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			
38-P4.2	TB2	CCI2A	CCR2	TB2	38-P4.2
38-P4.2	TB2	CCI2B			
	DV_{SS}	GND			
	DV_{CC}	V_{CC}			

通用串行通信接口 (USCI)

USCI 模块用于串行数据通信。 USCI 模块支持同步通信协议，如 SPI（3 引脚或 4 引脚）或者 I^2C，以及异步通信协议，如 UART，具有自动波特率检测 (LIN) 功能的增强型 UART，和 IrDA。

USCI_A 模块可支持 SPI（3 引脚或 4 引脚），UART，增强型 UART，和 IrDA。

USCI_B 模块可支持 SPI（3 引脚或 4 引脚）及 I^2C。

比较器_A+ (Comparator_A+)

comparator_A+ 模块的主要功能是支持高精度的斜坡模数转换、电池电压监控及外部模拟信号的监视。

ADC12（MSP430F23x，MSP430F24x，和 MSP430F2410 器件）

ADC12 模块支持快速、12 位模数转换。 此模块运行一个 12 位逐次逼近 (SAR) 内核、样本选择控制、基准生成器、和一个 16 字转换和控制缓冲器。 在无需 CPU 干预的情况下，转换和控制缓冲器可转换并存储多达 16 个独立的 ADC 样本。

版权 © 2007–2011, Texas Instruments Incorporated

外设文件映射

表 **19.** 外设文件映射

模块	寄存器名称	简氏	地址
ADC12（MSP430F24x，MSP430F2410，和 MSP430F23x）	中断矢量字寄存器	ADC12IV	0x01A8
	中断使能寄存器	ADC12IE	0x01A6
	中断标志寄存器	ADC12IFG	0x01A4
	控制寄存器 1	ADC12CTL1	0x01A2
	控制寄存器 0	ADC12CTL0	0x01A0
	转换内存 15	ADC12MEM15	0x015E
	转换内存 14	ADC12MEM14	0x015C
	转换内存 13	ADC12MEM13	0x015A
	转换内存 12	ADC12MEM12	0x0158
	转换内存 11	ADC12MEM11	0x0156
	转换内存 10	ADC12MEM10	0x0154
	转换内存 9	ADC12MEM9	0x0152
	转换内存 8	ADC12MEM8	0x0150
	转换内存 7	ADC12MEM7	0x014E
	转换内存 6	ADC12MEM6	0x014C
	转换内存 5	ADC12MEM5	0x014A
	转换内存 4	ADC12MEM4	0x0148
	转换内存 3	ADC12MEM3	0x0146
	转换内存 2	ADC12MEM2	0x0144
	转换内存 1	ADC12MEM1	0x0142
	转换内存 0	ADC12MEM0	0x0140
	ADC 内存控制寄存器 15	ADC12MCTL15	0x008F
	ADC 内存控制寄存器 14	ADC12MCTL14	0x008E
	ADC 内存控制寄存器 13	ADC12MCTL13	0x008D
	ADC 内存控制寄存器 12	ADC12MCTL12	0x008C
	ADC 内存控制寄存器 11	ADC12MCTL11	0x008B
	ADC 内存控制寄存器 10	ADC12MCTL10	0x008A
	ADC 内存控制寄存器 9	ADC12MCTL9	0x0089
	ADC 内存控制寄存器 8	ADC12MCTL8	0x0088
	ADC 内存控制寄存器 7	ADC12MCTL7	0x0087
	ADC 内存控制寄存器 6	ADC12MCTL6	0x0086
	ADC 内存控制寄存器 5	ADC12MCTL5	0x0085
	ADC 内存控制寄存器 4	ADC12MCTL4	0x0084
	ADC 内存控制寄存器 3	ADC12MCTL3	0x0083
	ADC 内存控制寄存器 2	ADC12MCTL2	0x0082
	ADC 内存控制寄存器 1	ADC12MCTL1	0x0081
	ADC 内存控制寄存器 0	ADC12MCTL0	0x0080

版权 © 2007–2011, Texas Instruments Incorporated

表 **19.** 外设文件映射 **(**接下页**)**

模块	寄存器名称	简氏	地址
Timer_B7（MSP430F24x(1) 和 MSP430F2410）	捕获/比较寄存器 6	TBCCR6	0x019E
	捕获/比较寄存器 5	TBCCR5	0x019C
	捕获/比较寄存器 4	TBCCR4	0x019A
	捕获/比较寄存器 3	TBCCR3	0x0198
	捕获/比较寄存器 2	TBCCR2	0x0196
	捕获/比较寄存器 1	TBCCR1	0x0194
	捕获/比较寄存器 0	TBCCR0	0x0192
	Timer_B 寄存器	TBR	0x0190
	捕获/比较控制 6	TBCCTL6	0x018E
	捕获/比较控制 5	TBCCTL5	0x018C
	捕获/比较控制 4	TBCCTL4	0x018A
	捕获/比较控制 3	TBCCTL3	0x0188
	捕获/比较控制 2	TBCCTL2	0x0186
	捕获/比较控制 1	TBCCTL1	0x0184
	捕获/比较控制 0	TBCCTL0	0x0182
	Timer_B 控制	TBCTL	0x0180
	Timer_B 中断矢量	TBIV	0x011E
Timer_B3 (MSP430F23x)	捕获/比较寄存器 2	TBCCR2	0x0196
	捕获/比较寄存器 1	TBCCR1	0x0194
	捕获/比较寄存器 0	TBCCR0	0x0192
	Timer_B 寄存器	TBR	0x0190
	捕获/比较控制 2	TBCCTL2	0x0186
	捕获/比较控制 1	TBCCTL1	0x0184
	捕获/比较控制 0	TBCCTL0	0x0182
	Timer_B 控制	TBCTL	0x0180
	Timer_B 中断矢量	TBIV	0x011E
Timer_A3	捕获/比较寄存器 2	TACCR2	0x0176
	捕获/比较寄存器 1	TACCR1	0x0174
	捕获/比较寄存器 0	TACCR0	0x0172
	Timer_A 寄存器	TAR	0x0170
	被保留		0x016E
	被保留		0x016C
	被保留		0x016A
	被保留		0x0168
	捕获/比较控制 2	TACCTL2	0x0166
	捕获/比较控制 1	TACCTL1	0x0164
	捕获/比较控制 0	TACCTL0	0x0162
	Timer_A 控制	TACTL	0x0160
	Timer_A 中断矢量	TAIV	0x012E
硬件乘法器	总和扩展	SUMEXT	0x013E
	结果高字	RESHI	0x013C
	结果低字	RESLO	0x013A
	第二操作数	OP2	0x0138
	符号倍乘 + 累加/操作数 1	MACS	0x0136
	倍乘 + 累加/操作数 1	MAC	0x0134
	符号倍乘/操作数 1	MPYS	0x0132
	无符号倍乘/操作数 1	MPY	0x0130

版权 © 2007–2011, Texas Instruments Incorporated

表 **19.** 外设文件映射 **(**接下页**)**

模块	寄存器名称	简氏	地址
闪存	闪存控制 4	FCTL4	0x01BE
	闪存控制 3	FCTL3	0x012C
	闪存控制 2	FCTL2	0x012A
	闪存控制 1	FCTL1	0x0128
安全装置	安全装置定时器控制	WDTCTL	0x0120
USCI A0/B0	USCI_A0 自动波特率控制	UCA0ABCTL	0x005D
	USCI_A0 发送缓冲器	UCA0TXBUF	0x0067
	USCI_A0 接收缓冲器	UCA0RXBUF	0x0066
	USCI_A0 状态	UCA0STAT	0x0065
	USCI_A0 调制控制	UCA0MCTL	0x0064
	USCI A0 波特率控制 1	UCA0BR1	0x0063
	USCI A0 波特率控制 0	UCA0BR0	0x0062
	USCI A0 控制 1	UCA0CTL1	0x0061
	USCI A0 控制 0	UCA0CTL0	0x0060
	USCI A0 IrDA 接收控制	UCA0IRRCTL	0x005F
	USCI A0 IrDA 发送控制	UCA0IRTCLT	0x005E
	USCI B0 发送缓冲器	UCB0TXBUF	0x006F
	USCI B0 接收缓冲器	UCB0RXBUF	0x006E
	USCI B0 状态	UCB0STAT	0x006D
	USCI B0 I2C 中断启用	UCB0CIE	0x006C
	USCI B0 波特率控制 1	UCB0BR1	0x006B
	USCI B0 波特率控制 0	UCB0BR0	0x006A
	USCI B0 控制 1	UCB0CTL1	0x0069
	USCI B0 控制 0	UCB0CTL0	0x0068
	USCI B0 I2C 从器件地址	UCB0SA	0x011A
	USCI B0 I2C 自身地址	UCB0OA	0x0118

版权 © 2007–2011, Texas Instruments Incorporated

表 **19.** 外设文件映射 **(**接下页**)**

模块	寄存器名称	简氏	地址
USCI A1/B1（MSP430F24x(1) 和 MSP430F2410）	USCI A1 自动波特率控制	UCA1ABCTL	0x00CD
	USCI A1 发送缓冲器	UCA1TXBUF	0x00D7
	USCI A1 接收缓冲器	UCA1RXBUF	0x00D6
	USCI A1 状态	UCA1STAT	0x00D5
	USCI A1 调制控制	UCA1MCTL	0x00D4
	USCI A1 波特率控制 1	UCA1BR1	0x00 D3
	USCI A1 波特率控制 0	UCA1BR0	0x00D2
	USCI A1 控制 1	UCA1CTL1	0x00D1
	USCI A1 控制 0	UCA1CTL0	0x00D0
	USCI A1 IrDA 接收控制	UCA1IRRCTL	0x00CF
	USCI A1 IrDA 发送控制	UCA1IRTCLT	0x00CE
	USCI B1 发送缓冲器	UCB1TXBUF	0x00DF
	USCI B1 接收缓冲器	UCB1RXBUF	0x00DE
	USCI B1 状态	UCB1STAT	0x00DD
	USCI B1 I2C 中断启用	UCB1CIE	0x00DC
	USCI B1 波特率控制 1	UCB1BR1	0x00DB
	USCI B1 波特率控制 0	UCB1BR0	0x00DA
	USCI B1 控制I 1	UCB1CTL1	0x00D9
	USCI B1 控制 0	UCB1CTL0	0x00D8
	USCI B1 I2C 从器件地址	UCB1SA	0x017E
	USCI B1 I2C 自身地址	UCB1OA	0x017C
	USCI A1/B1 中断启用	UC1IE	0x0006
	USCI A1/B1 中断标志	UC1IFG	0x0007
Comparator_A+	Comparator_A+ 端口禁用	CAPD	0x005B
	Comparator_A 控制 2	CACTL2	0x005A
	Comparator_A 控制 1	CACTL1	0x0059
基本时钟	基本时钟系统控制 3	BCSCTL3	0x0053
	基本时钟系统控制 2	BCSCTL2	0x0058
	基本时钟系统控制 1	BCSCTL1	0x0057
	DCO 时钟频率控制	DCOCTL	0x0056
欠压，**SVS**	SVS 控制寄存器（由欠压信号复位）	SVSCTL	0x0055
端口 **P6**	端口 P6 电阻器启用	P6REN	0x0013
	端口 P6 选择	P6SEL	0x0037
	端口 P6 方向	P6DIR	0x0036
	端口 P6 输出	P6OUT	0x0035
	端口 P6 输入	P6IN	0x0034
端口 **P5**	端口 P5 电阻器使能	P5REN	0x0012
	端口 P5 选择	P5SEL	0x0033
	端口 P5 方向	P5DIR	0x0032
	端口 P5 输出	P5OUT	0x0031
	端口 P5 输入	P5IN	0x0030
端口 **P4**	端口 P4 电阻器启用	P4REN	0x0011
	端口 P4 选择	P4SEL	0x001F
	端口 P4 方向	P4DIR	0x001E
	端口 P4 输出	P4OUT	0x001D
	端口 P4 输入	P4IN	0x001C

版权 © 2007–2011, Texas Instruments Incorporated

表 **19.** 外设文件映射 **(**接下页**)**

模块	寄存器名称	简氏	地址
端口 **P3**	端口 P3 电阻器使能	P3REN	0x0010
	端口 P3 选择	P3SEL	0x001B
	端口 P3 方向	P3DIR	0x001A
	端口 P3 输出	P3OUT	0x0019
	端口 P3 输入	P3IN	0x0018
端口 **P2**	端口 P2 电阻器启用	P2REN	0x002F
	端口 P2 选择	P2SEL	0x002E
	端口 P2 中断使能	P2IE	0x002D
	端口 P2 中断边沿选择	P2IES	0x002C
	端口 P2 中断标志	P2IFG	0x002B
	端口 P2 方向	P2DIR	0x002A
	端口 P2 输出	P2OUT	0x0029
	端口 P2 输入	P2IN	0x0028
端口 **P1**	端口 P1 电阻器启用	P1REN	0x0027
	端口 P1 选择	P1SEL	0x0026
	端口 P1 中断使能	P1IE	0x0025
	端口 P1 中断边沿选择	P1IES	0x0024
	端口 P1 中断标志	P1IFG	0x0023
	端口 P1 方向	P1DIR	0x0022
	端口 P1 输出	P1OUT	0x0021
	端口 P1 输入	P1IN	0x0020
特殊功能	SFR 中断标志 2	IFG2	0x0003
	SFR 中断标志 1	IFG1	0x0002
	SFR 中断使能 2	IE2	0x0001
	SFR 中断使能 1	IE1	0x0000

版权 © 2007–2011, Texas Instruments Incorporated

最大绝对额定值(1)

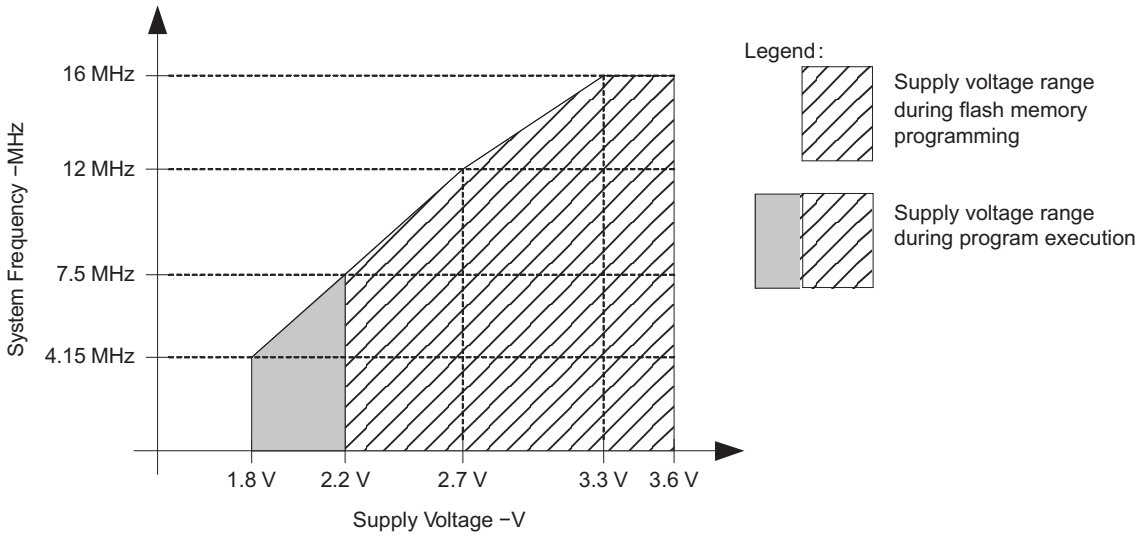
施加在 V_{CC}至 V_{SS}上的电压		-0.3V 至 4.1V
施加在任一引脚上的电压 (2)		-0.3V 至 V_{CC}+0.3V
任一器件引脚上的二极管电流		±2mA
存储温度，T_{stg} (3)	未编程器件	-55°C 至 150°C
	已编程器件	-55°C 至 150°C

(1) 超出那些*最大绝对额定值*下列出的应力值可能会对器件造成永久损坏。 这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的运行条件*下标明的任何其它条件下的操作，在此并未说明。 长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 所有电压值均以 V_{SS}为基准。 JTAG 熔丝烧断电压，V_{FB}，可以超过最大绝对额定值。 当 JTAG 熔丝烧断时将此电压被施加至 TEST 引脚。
(3) 在电路板焊接期间可以采用较高的温度（需遵循现行的 JEDEC J-STD-020 规范），峰值回流焊温度不得超过器件装运包装盒或卷盘上标注的等级。

建议的运行条件(1)(2)

				最小值	标称值	最大值	单位
V_{CC}	电源电压(3)	AV_{CC}=DV_{CC}=V_{CC}	在程序执行期间	1.8		3.6	V
			编程/擦除闪存存储器期间	2.2		3.6	V
V_{SS}	电源电压	AV_{SS}=DV_{SS}=V_{SS}			0		V
T_A	自然通风工作温度范围		I 版本	-40		85	°C
			T 版本	-40		105	
$f_{系统}$	处理器频率（最大 MCLK 频率）(1)(2)（请见图 1）	V_{CC}=1.8V，占空比 = 50% ± 10%		DC		4.15	MHz
		V_{CC}=2.7V，占空比 = 50% ± 10%		DC		12	
		V_{CC}≥3.3V，占空比 = 50% ±10%		DC		16	

(1) MSP430 CPU 直接采用 MCLK 进行计时。 MCLK 的高相位及低相位均不得超过额定最大频率的脉冲宽度。
(2) 模块可能具有一个不同的最大输入时钟技术规格。 查看本数据表中各个模块的技术规格。
(3) 建议用同一个电源为 AV_{CC}和 DV_{CC}供电。 加电时，AV_{CC}和 DV_{CC}间可耐受的最大压差为 0.3V。



NOTE: 最小处理器频率由系统时钟来限定。 闪存编程或擦除操作需要一个 2.2V 的最小 V_{CC}。

图 1. 运转区域

版权 © 2007–2011, Texas Instruments Incorporated

不包括外部电流在内的有源模式电源电流（流入 $DV_{CC}+AV_{CC}$）(1)(2)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$I_{AM，1MHz}$	激活模式 (AM) 电流 (1MHz)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=1MHz，$f_{ACLK}$ = 32768 Hz，程序在闪存中执行，BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，CPUOFF=0，SCG0=0，SCG1=0，OSCOFF=0	-40°C 至 85°C	2.2V		275	312	μA
			105°C			295	318	
			-40°C 至 85°C	3V		386	445	
			105°C			417	449	
$I_{AM，1MHz}$	有源模式 (AM) 电流 (1MHz)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=1MHz，$f_{ACLK}$ =32768Hz，程序在 RAM 中执行，BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，CPUOFF=0，SCG0=0，SCG1=0，OSCOFF=0	-40°C 至 85°C	2.2V		230	261	μA
			105°C			248	267	
			-40°C 至 85°C	3.3V		321	366	
			105°C			344	370	
$I_{AM,4kHz}$	有源模式电流 (AM) 电流 (4kHz)	$f_{MCLK}=f_{SMCLK}=f_{ACLK}$ =32768Hz/8=4096Hz，f_{DCO}= 0Hz，程序在闪存内执行，SELMx=11，SELS=1，DIVMx=DIVSx=DIVAx= 11，CPUOFF=0，SCG0=1，SCG1=0，OSCOFF=0	-40°C 至 85°C	2.2V		1.5	3.8	μA
			105°C			6	10.5	
			-40°C 至 85°C	3V		2	4.7	
			105°C			7	12.2	
$I_{AM，100kHz}$	有源模式 (AM) 电流 (100kHz)	$f_{MCLK}=f_{SMCLK}=f_{DCO(0，0)}$≈100kHz，$f_{ACLK}$=0Hz，程序在闪存内执行，RSELx=0，DCOx=0，CPUOFF=0，SCG0=0，SCG1=0，OSCOFF=1	-40°C 至 85°C	2.2V		55	72	μA
			105°C			70	81	
			-40°C 至 85°C	3V		67	89	
			105°C			84	100	

(1) 所有输入均连接至 0V 或 V_{CC}。 输出不供应或吸收任何电流。
(2) 利用一个带有 9pF 负载电容的 Micro Crystal CC4V-T1A SMD 晶振对电流进行特性分析。 选择合适的内部和外部负载电容以与所需的 9 pF 电容值精确匹配。

版权 © 2007–2011, Texas Instruments Incorporated

典型特性-有源模式电源电流（流入 $DV_{CC}+AV_{CC}$）

有源模式电流
与
电源电压间的关系
T_A=25

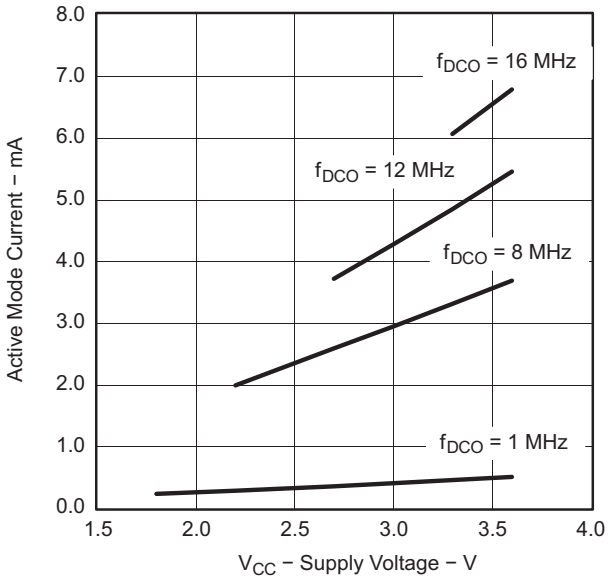


图 **2.**

有源模式电流
与
DCO 频率间的关系

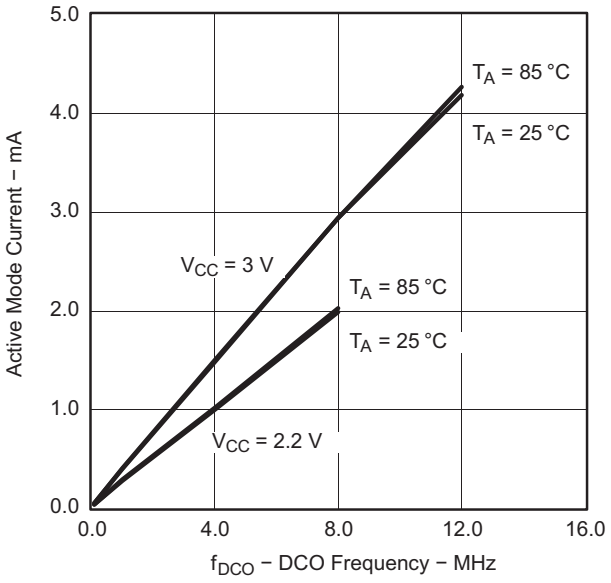


图 **3.**

版权 © 2007–2011, Texas Instruments Incorporated

不含外部电流的低功耗模式电源电流（流入 V_{CC}）(1)(2)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$I_{LPM0，1MHz}$	低功耗模式 0 (LPM0) 电流(3)	f_{MCLK}=0MHz， $f_{SMCLK}=f_{DCO}$=1MHz， f_{ACLK}=32768Hz， BCSCTL1=CALBC1_1MHZ， DCOCTL=CALDCO_1MHZ， CPUOFF=1， SCG0=0， SCG1=0， OSCOFF=0	-40°C 至 85°C	2.2V		60	65	μA
			105°C			63	72	
			-40°C 至 85°C	3V		75	90	
			105°C			80	95	
$I_{LPM0，100kHz}$	低功耗模式 0 (LPM0) 电流(3)	f_{MCLK}=0MHz， $f_{SMCLK}=f_{DCO(0，0)}$≈ 100kHz， f_{ACLK}= 0Hz， RSELx= 0，DCOx= 1， CPUOFF=，SCG0=1， OSCOFF=1 1	-40°C 至 85°C	2.2V		33	38	μA
			105°C			36	43	
			-40°C 至 85°C	3V		36	42	
			105°C			40	47	
I_{LPM2}	低功耗模式 2 (LPM2) 电流(4)	$f_{MCLK}=f_{SMCLK}$=0MHz， f_{DCO}=1MHz， f_{ACLK}=32768Hz， BCSCTL1=CALBC1_1MHZ， DCOCTL=CALDCO_1MHZ， CPUOFF=1，SCG0=0， SCG1=1， OSCOFF=0	-40°C 至 85°C	2.2V		20	25	μA
			105°C			25	30	
			-40°C 至 85°C	3V		23	30	
			105°C			28	35	
$I_{LPM3，LFXT1}$	低功耗模式 3 (LPM3) 电流(4)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0MHz， f_{ACLK}=32768Hz， CPUOFF=1，SCG0=1，SCG1=1， OSCOFF=0	-40°C	2.2V		0.8	1.2	μA
			25°C			0.9	1.3	
			85°C			2.4	3	
			105°C			6	13	
			-40°C	3V		0.9	1.3	
			25°C			1	1.4	
			85°C			3.9	4.3	
			105°C			10	15	
$I_{LPM3，VLO}$	低功耗模式 3 电流，(LPM3)(4)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0MHz， f_{ACLK}取自内部 LF 振荡器 (VLO)， CPUOFF=1，SCG0=1，SCG1=1， OSCOFF=0	-40°C	2.2V		0.3	0.9	μA
			25°C			0.3	0.9	
			85°C			1.8	2.4	
			105°C			5.5	13	
			-40°C	3V		0.4	1	
			25°C			0.4	1	
			85°C			2	3	
			105°C			9	15	
I_{LPM4}	低功耗模式 4 (LPM4) 电流(5)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0MHz， f_{ACLK}=0Hz， CPUOFF=1，SCG0=1，SCG1=1， OSCOFF=1	-40°C	2.2V/3V		0.1	0.5	μA
			25°C			0.1	0.5	
			85°C			1.6	2.5	
			105°C			6.5	13	

(1) 所有输入均连接至 0V 或 V_{CC}。 输出不供应或吸收任何电流。
(2) 利用一个带有 9pF 负载电容的 Micro Crystal CC4V-T1A SMD 晶振对电流进行特性分析。 选择合适的内部和外部负载电容以与所需的 9pF 电容值精确匹配。
(3) 包括针对欠压和 WDT+ 的电流。 WDT+ 由 SMCLK 计时。
(4) 包括针对欠压和 WDT+ 的电流。 WDT+ 由 ACLK 计时。
(5) 包括用于欠压的电流。

版权 © 2007–2011, Texas Instruments Incorporated

典型特性 - LPM4 电流

LPM4 温度
与
温度
间的关系

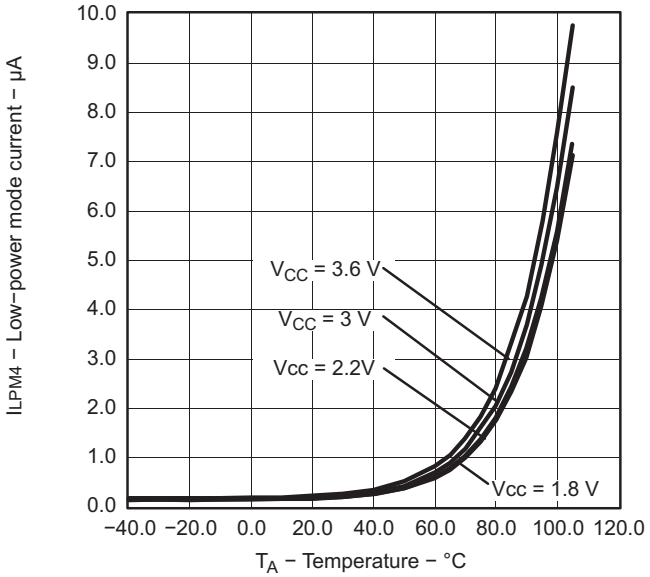


图 **4.**

版权 © 2007–2011, Texas Instruments Incorporated

施密特触发器输入（端口 P1，P2，P3，P4，P5，P6，$\overline{RST}$/NMI，JTAG，XIN，XT2IN）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{IT+}	正向输入阀值电压			$0.45V_{CC}$		$0.75V_{CC}$	V
			2.2V	1		1.65	
			3V	1.35		2.25	
V_{IT-}	负向输入阀值电压			$0.25V_{CC}$		$0.55V_{CC}$	V
			2.2V	0.55		1.20	
			3V	0.75		1.65	
V_{hys}	输入电压滞后 (V_{IT+}-V_{IT-})		2.2V	0.2		1	V
			3V	0.3		1	
$R_{拉}$	上拉/下拉电阻器	对于上拉电阻器：$V_{IN}=V_{SS}$， 对于下拉电阻器：$V_{IN}=V_{CC}$	3V	20	35	50	kΩ
C_I	输入电容	$V_{IN}=V_{SS}$或 V_{CC}			5		pF

输入（端口 P1，P2）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
$t_{(int)}$	外部中断时序	端口 P1，P2：P1.x 至 P2.x，设定中断标志的外部触发脉冲(1)	2.2V/3V	20		ns
t_{cap}	Timer_A Timer_B 捕捉时序	TA0，TA1，TA2	2.2V	62		ns
		TB0，TB1，TB2，TB3，TB4，TB5，TB6	3V	50		
f_{TAext}，f_{TBext}	Timer_A，Timer_B 时钟频率外部应用到引脚	TACLK，TBCLK，INCLK：$t_{(H)}=t_{(L)}$	2.2V		8	MHz
			3V		10	
f_{TAint}，f_{TBint}	Timer_A，Timer_B 时钟频率	SMCLK 或者 ACLK 信号被选择	2.2V		8	MHz
			3V		10	

(1) 每次达到最小中断脉冲宽度 $t_{(int)}$ 时，一个外部信号设定中断标志。 即便当触发信号短于 $t_{(int)}$时，它也有可能被设定。

泄漏电流（端口 P1，P2，P3，P4，P5，P6）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
$I_{lkg(Px.y)}$	高阻抗泄漏电流	请参阅(1)(2)	2.2V/3V		±50	nA

(1) 泄漏电流是在把 V_{SS}或 V_{CC}施加至对应引脚上的情况下测量的，除非另有说明。
(2) 数字端口引脚的泄漏电流单独测量。 为输入选择端口引脚，而且上拉/下拉电阻器被禁用。

标准输入 ($\overline{RST}$/NMI)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
V_{IL}	低电平输入电压		2.2V/3V	V_{SS}	V_{SS}+0.6	V
V_{IH}	高电平输入电压		2.2V/3V	$0.8V_{CC}$	V_{CC}	V

版权 © 2007–2011, Texas Instruments Incorporated

输出（端口 P1，P2，P3，P4，P5，P6）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH（最大值）}$=-1.5mA (1)	2.2V	V_{CC}-0.25	V_{CC}	V
		$I_{OH（最大值）}$=-6mA (2)		V_{CC}-0.6	V_{CC}	
		$I_{OH（最大值）}$=-1.5mA(1)	3V	V_{CC}-0.25	V_{CC}	
		$I_{OH（最大值）}$=-6mA(2)		V_{CC}-0.6	V_{CC}	
V_{OL}	低电平输出电压	$I_{OL（最大值）}$=1.5mA(1)	2.2V	V_{SS}	V_{SS}+0.25	V
		$I_{OL（最大值）}$=6mA(2)		V_{SS}	V_{SS}+0.6	
		$I_{OL（最大值）}$=1.5mA(1)	3V	V_{SS}	V_{SS}+0.25	
		$I_{OL（最大值）}$=6mA(2)		V_{SS}	V_{SS}+0.6	

(1) 所有输出加在一起的最大总电流，$I_{OH（最大值）}$ 和 $I_{OL（最大值）}$ 不应超过 ±12mA，以保持额定最大电压降。
(2) 所有输出加在一起的最大总电流，$I_{OH（最大值）}$ 和 $I_{OL（最大值）}$ 不应超过 ±48mA，以保持额定最大电压降。

输出频率（端口 P1，P2，P3，P4，P5，P6）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$f_{Px.y}$	带有负载的端口输出频率	P1.4/SMCLK，C_L=20pF，R_L=1kΩ(1)(2)	2.2V	DC		10	MHz
			3V	DC		12	
$f_{Port°CLK}$	时钟输出频率	P2.0/ACLK/CA2，P1.4/SMCLK，C_L=20pF(2)	2.2V	DC		12	MHz
			3V	DC		16	
$t_{(Xdc)}$	输出频率的占空比	P1.0/TACLK/CAOUT，C_L= 20pF，LF 模式		30%	50%	70%	
		P1.0/TACLK/CAOUT，C_L=20pF，XT1 模式		40%	50%	60%	
		P1.1/TA0，C_L=20pF，XT1 模式		40%		60%	
		P1.1/TA0，C_L=20pF，DCO		50%-15ns	50%	50%+15ns	
		P1.4/MCLK，C_L=20pF，XT2 模式		40%		60%	
		P1.4/SMCLK，C_L=20pF，DCO		50%-15 ns		50%+15ns	

(1) 一个位于 V_{CC}和 V_{SS} 之间带有两个 0.5kΩ 电阻的电阻分压器被用作负载。。 输出被连接至分压器的中心抽头。
(2) 在额定的反复频率下，输出电压至少达到 V_{CC}的 10% 和 90%。

版权 © 2007–2011, Texas Instruments Incorporated

典型特性-输出

每次载入一个输出。

典型低电平输出电流
与
低电平输出电压
的关系

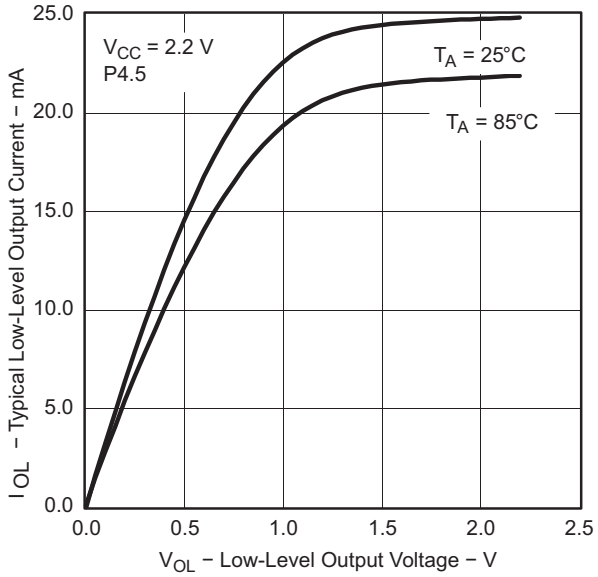


图 **5.**

典型低电平输出电流
与
低电平输出电压
的关系

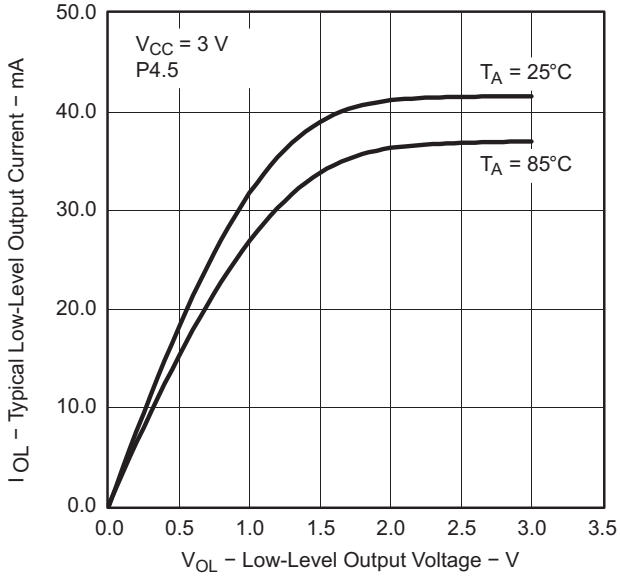


图 **6.**

典型高电平输出电流
与
高电平输出电压
的关系

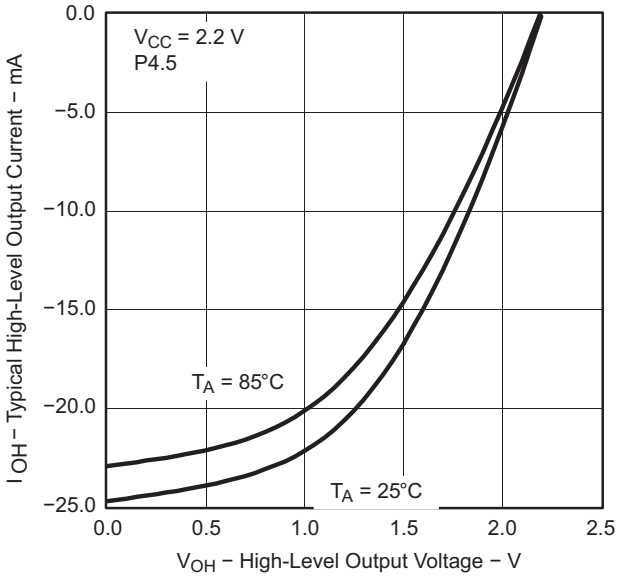


图 **7.**

典型高电平输出电流
与
高电平输出电压
的关系

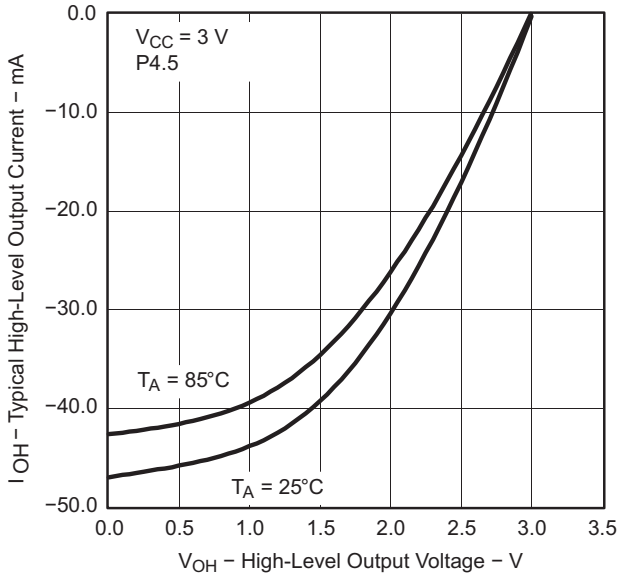


图 **8.**

版权 © 2007–2011, Texas Instruments Incorporated

加电复位 (POR) / 欠压复位 (BOR)(1)(2)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$V_{CC（开始）}$	运转电压	$dV_{CC}/dt \le 3V/s$				$0.7 \times V_{(B_IT-)}$	V
$V_{(B_IT-)}$	负向 V_{CC} 复位阀值电压	$dV_{CC}/dt \le 3V/s$				1.71	V
$V_{hys(B_IT-)}$	V_{CC} 复位阀值滞后	$dV_{CC}/dt \le 3V/s$		70	130	210	mV
$t_{d(BOR)}$	BOR 复位释放延迟时间					2000	µs
$t_{（复位）}$	$\overline{RST}$/NMI 引脚上内部接受复位所需的脉冲长度		2.2V/3V	2			µs

(1) 欠压模块的流耗已包含在 I_{CC} 流耗数据中。
电压电平 $V_{(B_IT-)}+V_{hys(B_IT-)} \le 1.8V$。

(2) 加电期间，CPU 在 $V_{CC}=V_{(B_IT-)}+V_{hys(B_IT-)}$ 之后的 $t_{d(BOR)}$ 期间内开始代码执行。 在 $V_{CC} \ge V_{CC（最小值）}$ 之前，不能改变默认的 DCO 设定值，在这里 $V_{CC（最小值）}$ 是针对所需工作频率的最小电源电压。

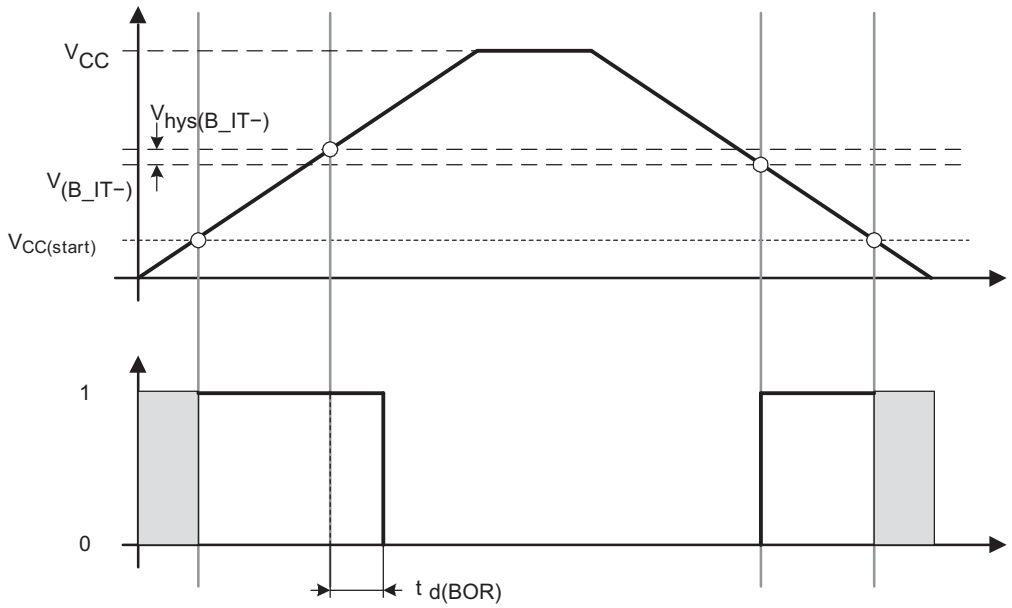


图 9. POR / 欠压复位 (BOR) 与电源电压间的关系

版权 © 2007–2011, Texas Instruments Incorporated

典型特性 - POR / 欠压复位 (BOR)

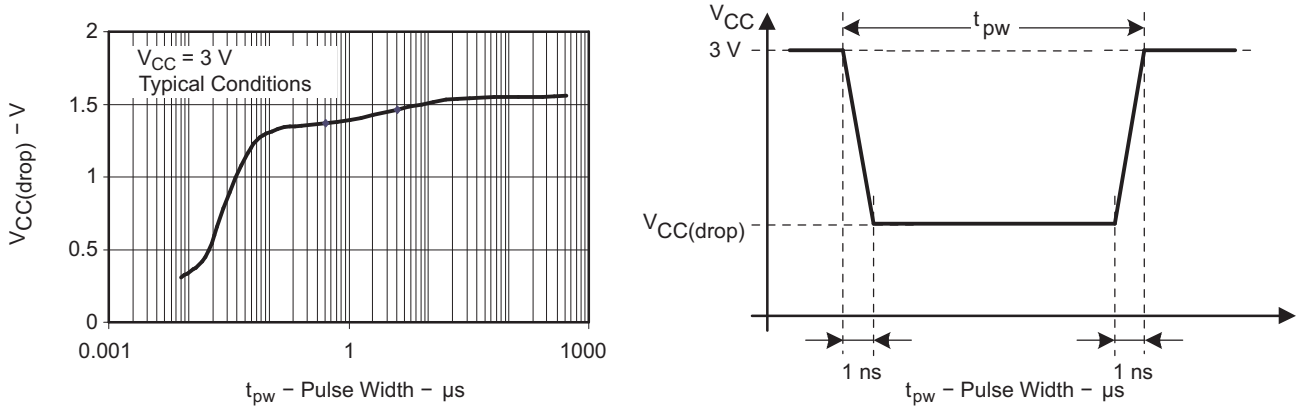


图 **10.** 具有一个矩形压降的 V_{CC}（压降）电平用于生成一个 **POR /** 欠压信号

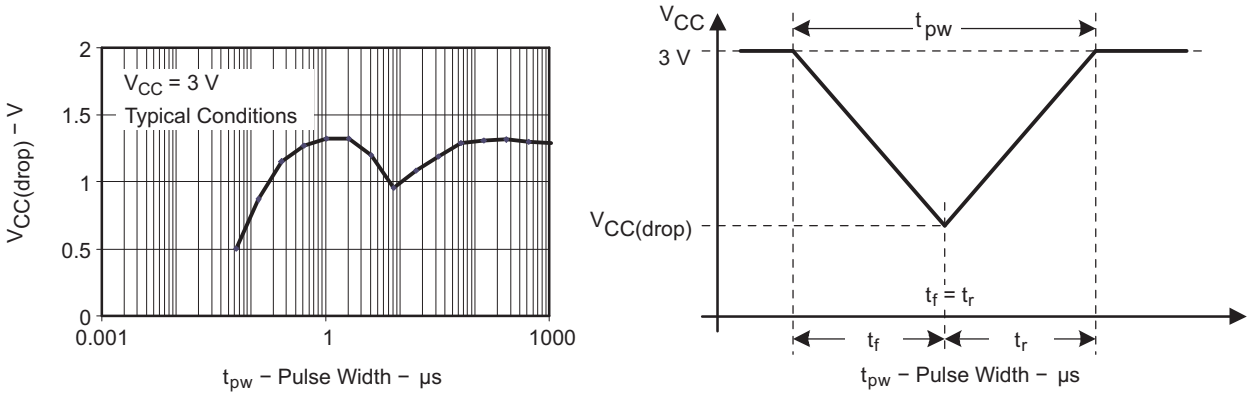


图 **11.** 具有一个三角形压降的 V_{CC}（压降）电平用于生成一个 **POR /** 欠压信号

SVS（电源电压监控器/监视器）

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数	测试条件		最小值	典型值	最大值	单位
$t_{(SVSR)}$	$dV_{CC}/dt>30V/ms$（请见图 12）		1		150	µs
	$dV_{CC}/dt\leq30V/ms$				2000	
$t_{d(SVSon)}$	SVSon，从 VLD=0 切换至 VLD≠0，V_{CC}=3V		150		300	µs
$t_{稳定}$	VLD≠0 (1)				12	µs
$V_{(SVSstart)}$	VLD≠0，$V_{CC}/dt\leq3V/s$（请见图 12）			1.55	1.7	V
$V_{hys(SVS_IT-)}$	$V_{CC}/dt\leq3V/s$（请见图 12）	VLD=1	70	120	155	mV
		VLD=2 至 14	$0.001\times V_{(SVS_IT-)}$		$0.016\times V_{(SVS_IT-)}$	
	$V_{CC}/dt\leq3V/s$（请见图 12），施加在 A7 上的外部电压	VLD=15	4.4		20	mV
$V_{(SVS_IT-)}$	$V_{CC}/dt\leq3V/s$（请见图 12和图 13）	VLD=1	1.8	1.9	2.05	V
		VLD=2	1.94	2.1	2.25	
		VLD=3	2.05	2.2	2.37	
		VLD=4	2.14	2.3	2.48	
		VLD=5	2.24	2.4	2.6	
		VLD=6	2.33	2.5	2.71	
		VLD=7	2.46	2.65	2.86	
		VLD=8	2.58	2.8	3	
		VLD=9	2.69	2.9	3.13	
		VLD=10	2.83	3.05	3.29	
		VLD=11	2.94	3.2	3.42	
		VLD=12	3.11	3.35	3.61 (2)	
		VLD=13	3.24	3.5	3.76 (2)	
		VLD=14	3.43	3.7 (2)	3.99 (2)	
	$V_{CC}/d\leq3V/s$（请见图 12和图 13），施加在 A7 上的外部电压	VLD=15	1.1	1.2	1.3	
$I_{CC(SVS)}$ (3)	VLD≠0，V_{CC}=2.2V/3V			10	15	µA

(1) t_{settle}是 VLD≠0 被切换至一个介于 2 至 15 之间的一个不同的 VLD 值之后，比较器输出具有一个稳定电平所需要的稳定时间。 过驱假定为 > 50mV。
(2) 推荐运行电压范围不高于 3.6V。
(3) SVS 模块的流耗并不包括在 I_{CC}流耗表中。

版权 © 2007–2011, Texas Instruments Incorporated

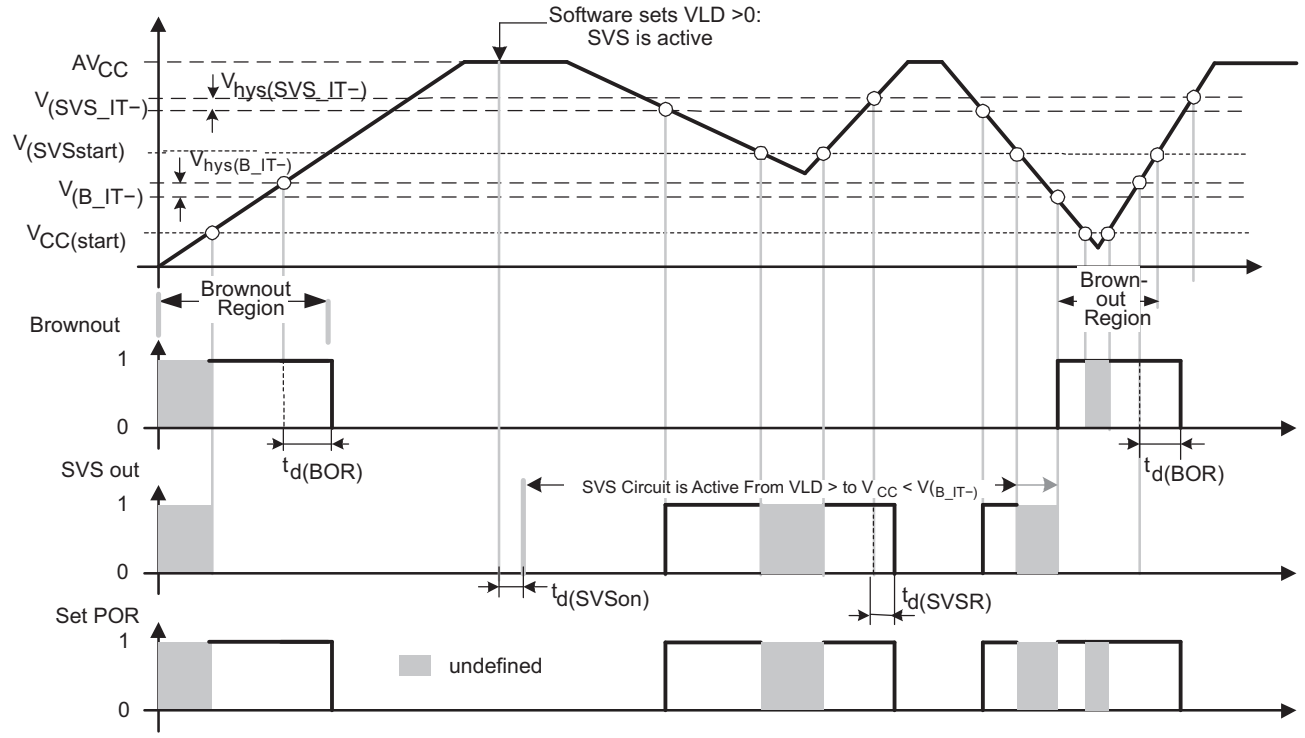


图 **12. SVS** 复位 **(SVSR)** 与电源电压间的关系

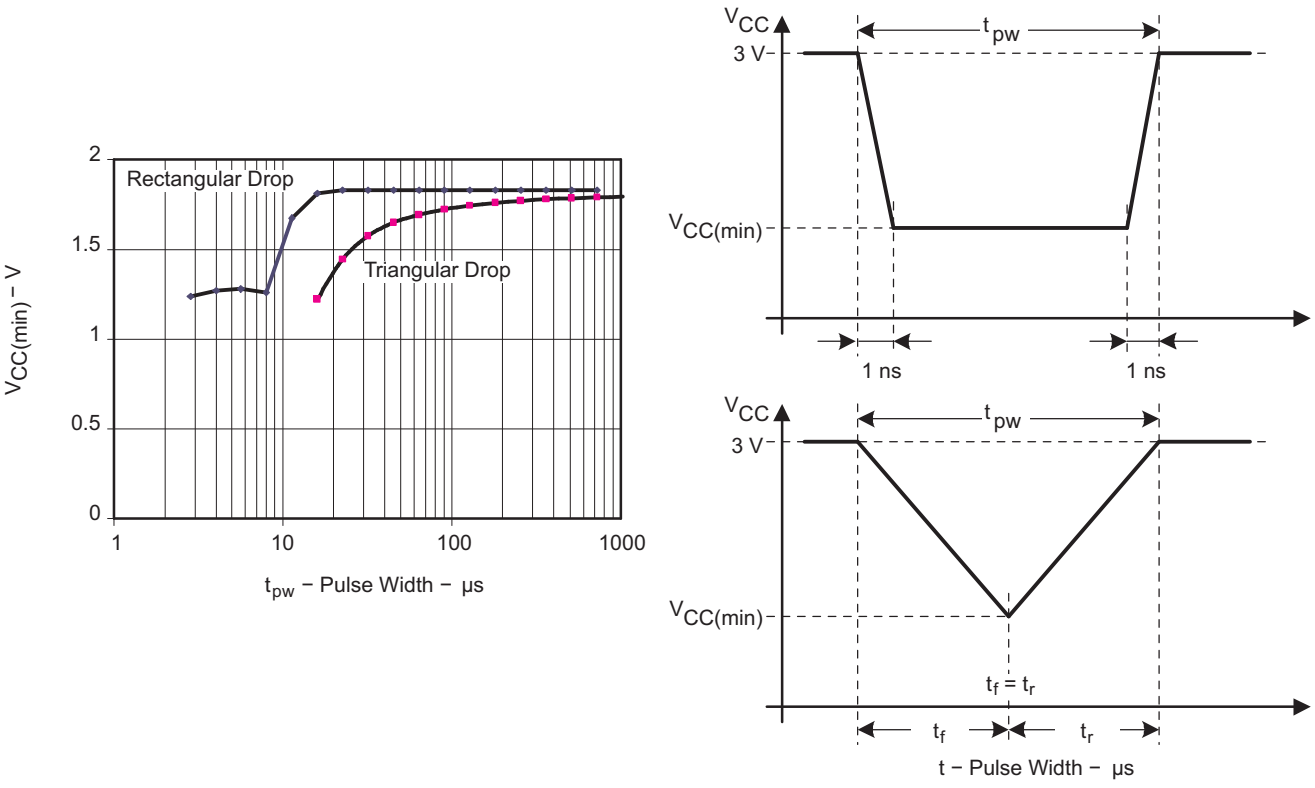


图 **13.** V_{CC}（最小值）**：** 矩形电压压降和三角形压降来生成一个 **SVS** 信号 **(VLD=1)**

主 DCO 特性

- 由 RSELx 选择的所有范围与 RSELx + 1 重叠：RSELx = 0 与 RSELx = 1 重叠，。。。 RSELx=14 与 RSELx=15 重叠。
- DCO 控制位 DCOx 具有一个由参数 S_{DCO}规定的步长。
- 调制控制位 MODx 用于选择 32 个 DCOCLK 周期之内 $f_{DCO(RSEL，DCO+1)}$ 的使用频度。 频率 $f_{DCO(RSEL，DCO)}$ 用于剩余的周期。 该频率是一个平均值，等于：

$$f_{average} = \frac{32 \times f_{DCO(RSEL,DCO)} \times f_{DCO(RSEL,DCO+1)}}{MOD \times f_{DCO(RSEL,DCO)} + (32 - MOD) \times f_{DCO(RSEL,DCO+1)}}$$

DCO 频率

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{CC}	电源电压范围	RSELx<14		1.8		3.6	V
		RSELx=14		2.2		3.6	
		RSELx=15		3.0		3.6	
$f_{DCO(0，0)}$	DCO 频率 (0，0)	RSELx=0，DCOx=0，MODx=0	2.2V/3V	0.06		0.14	MHz
$f_{DCO(0，3)}$	DCO 频率 (0，3)	RSELx=0，DCOx=3，MODx=0	2.2V/3V	0.07		0.17	MHz
$f_{DCO(1，3)}$	DCO 频率 (1，3)	RSELx=1，DCOx=3，MODx=0	2.2V/3V	0.10		0.20	MHz
$f_{DCO(2，3)}$	DCO 频率 (2，3)	RSELx=2，DCOx=3，MODx=0	2.2V/3V	0.14		0.28	MHz
$f_{DCO(3，3)}$	DCO 频率 (3，3)	RSELx=3，DCOx=3，MODx=0	2.2V/3V	0.20		0.40	MHz
$f_{DCO(4，3)}$	DCO 频率 (4，3)	RSELx=4，DCOx=3，MODx=0	2.2V/3V	0.28		0.54	MHz
$f_{DCO(5，3)}$	DCO 频率 (5，3)	RSELx=5，DCOx=3，MODx=0	2.2V/3V	0.39		0.77	MHz
$f_{DCO(6，3)}$	DCO 频率 (6，3)	RSELx=6，DCOx=3，MODx=0	2.2V/3V	0.54		1.06	MHz
$f_{DCO(7，3)}$	DCO 频率 (7，3)	RSELx=7，DCOx=3，MODx=0	2.2V/3V	0.80		1.50	MHz
$f_{DCO(8，3)}$	DCO 频率 (8，3)	RSELx=8，DCOx=3，MODx=0	2.2V/3V	1.10		2.10	MHz
$f_{DCO(9，3)}$	DCO 频率 (9，3)	RSELx=9，DCOx=3，MODx=0	2.2V/3V	1.60		3.00	MHz
$f_{DCO(10，3)}$	DCO 频率 (10，3)	RSELx=10，DCOx=3，MODx=0	2.2V/3V	2.50		4.30	MHz
$f_{DCO(11，3)}$	DCO 频率 (11，3)	RSELx=11，DCOx=3，MODx=0	2.2V/3V	3.00		5.50	MHz
$f_{DCO(12，3)}$	DCO 频率 (12，3)	RSELx=12，DCOx=3，MODx=0	2.2V/3V	4.30		7.30	MHz
$f_{DCO(13，3)}$	DCO 频率 (13，3)	RSELx=13，DCOx=3，MODx=0	2.2V/3V	6.00		9.60	MHz
$f_{DCO(14，3)}$	DCO 频率 (14，3)	RSELx=14，DCOx=3，MODx=0	2.2V/3V	8.60		13.9	MHz
$f_{DCO(15，3)}$	DCO 频率 (15，3)	RSELx=15，DCOx=3，MODx=0	3V	12.0		18.5	MHz
$f_{DCO(15，7)}$	DCO 频率 (15，7)	RSELx=15，DCOx=7，MODx=0	3V	16.0		26.0	MHz
S_{RSEL}	RSEL 和 RSEL+1 范围之间的频率阶跃	$S_{RSEL}=f_{DCO(RSEL+1，DCO)}/f_{DCO(RSEL，DCO)}$	2.2V/3V			1.55	比率
S_{DCO}	抽头 DCO 与 DCO+1 之间的频率阶跃	$S_{DCO}=f_{DCO(RSEL，DCO+1)}/f_{DCO(RSEL，DCO)}$	2.2V/3V	1.05	1.08	1.12	比率
	占空比	在 P1.4/SMCLK 上测得	2.2V/3V	40	50	60	%

版权 © 2007–2011, Texas Instruments Incorporated

经校准的 DCO 频率-校准时的容差

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
校准时的频率容差			25°C	3V	-1	±0.2	+1	%
$f_{CAL(1MHz)}$	1MHz 校准值	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，选通时间：5ms	25°C	3V	0.990	1	1.010	MHz
$f_{CAL(8MHz)}$	8MHz 校准值	BCSCTL1=CALBC1_8MHZ，DCOCTL=CALDCO_8MHZ，选通时间：5ms	25°C	3V	7.920	8	8.080	MHz
$f_{CAL(12MHz)}$	12MHz 校准值	BCSCTL1=CALBC1_12MHZ，DCOCTL=CALDCO_12MHZ，选通时间：5ms	25°C	3V	11.88	12	12.12	MHz
$f_{CAL(16MHz)}$	16MHz 校准值	BCSCTL1=CALBC1_16MHZ，DCOCTL=CALDCO_16MHZ，选通时间：2ms	25°C	3V	15.84	16	16.16	MHz

经校准的 DCO 频率-在 0°C 至 85°C 温度范围内的容差

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
	在整个温度范围内 1MHz 容差		0°C 至 85°C	3V	-2.5	±0.5	2.5	%
	在整个温度范围内 8MHz 容差		0°C 至 85°C	3V	-2.5	±1.0	2.5	%
	在整个温度范围内 12MHz 容差		0°C 至 85°C	3V	-2.5	±1.0	2.5	%
	在整个温度范围内 16MHz 容差		0°C 至 85°C	3V	-3	±2.0	3	%
$f_{CAL(1MHz)}$	1MHz 校准值	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，选通时间：5ms	0°C 至 85°C	2.2V	0.97	1	1.03	MHz
				3V	0.975	1	1.025	
				3.6V	0.97	1	1.03	
$f_{CAL(8MHz)}$	8MHz 校准值	BCSCTL1=CALBC1_8MHZ，DCOCTL=CALDCO_8MHZ，选通时间：5ms	0°C 至 85°C	2.2V	7.76	8	8.4	MHz
				3V	7.8	8	8.2	
				3.6V	7.6	8	8.24	
$f_{CAL(12MHz)}$	12MHz 校准值	BCSCTL1=CALBC1_12MHZ，DCOCTL=CALDCO_12MHZ，选通时间：5ms	0°C 至 85°C	2.2V	11.64	12	12.36	MHz
				3V	11.64	12	12.36	
				3.6V	11.64	12	12.36	
$f_{CAL(16MHz)}$	16MHz 校准值	BCSCTL1=CALBC1_16MHZ，DCOCTL=CALDCO_16MHZ，选通时间：2ms	0°C 至 85°C	3V	15.52	16	16.48	MHz
				3.6V	15	16	16.48	

经校准的 DCO 频率-电源电压 V_{CC}范围内的容差

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
在 V_{CC}电压下的 1MHz 容差			25°C	1.8V 至 3.6V	-3	±2	+3	%
在 V_{CC}电压下 8MHz 容差			25°C	1.8V 至 3.6V	-3	±2	+3	%
在 V_{CC}电压下 12MHz 容差			25°C	2.2V 至 3.6V	-3	±2	+3	%
在 V_{CC} 电压下 16MHz 容差			25°C	3V 至 3.6V	-6	±2	+3	%
$f_{CAL(1MHz)}$	1MHz 校准值	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，选通时间：5ms	25°C	1.8V 至 3.6V	0.97	1	1.03	MHz
$f_{CAL(8MHz)}$	8MHz 校准值	BCSCTL1=CALBC1_8MHZ，DCOCTL=CALDCO_8MHZ，选通时间：5ms	25°C	1.8V 至 3.6V	7.76	8	8.24	MHz
$f_{CAL(12MHz)}$	12MHz 校准值	BCSCTL1=CALBC1_12MHZ，DCOCTL=CALDCO_12MHZ，选通时间：5ms	25°C	2.2V 至 3.6V	11.64	12	12.36	MHz
$f_{CAL(16MHz)}$	16MHz 校准值	BCSCTL1=CALBC1_16MHZ，DCOCTL=CALDCO_16MHZ，选通时间：2ms	25°C	3V 至 3.6V	15	16	16.48	MHz

经校准的 DCO 频率-总体容差

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
1MHz 总体容差			-40°C 至 105°C	1.8V 至 3.6V	-5	±2	+5	%
8MHz 总体容差			-40°C 至 105°C	1.8V 至 3.6V	-5	±2	+5	%
12MHz 总体容差			-40°C 至 105°C	2.2V 至 3.6V	-5	±2	+5	%
16MHz 总体容差			-40°C 至 105°C	3V 至 3.6V	-6	±3	+6	%
$f_{CAL(1MHz)}$	1MHz 校准值	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，选通时间：5ms	-40°C 至 105°C	1.8V 至 3.6V	0.95	1	1.05	MHz
$f_{CAL(8MHz)}$	8MHz 校准值	BCSCTL1=CALBC1_8MHZ，DCOCTL=CALDCO_8MHZ，选通时间：5ms	-40°C 至 105°C	1.8V 至 3.6V	7.6	8	8.4	MHz
$f_{CAL(12MHz)}$	12MHz 校准值	BCSCTL1=CALBC1_12MHZ，DCOCTL=CALDCO_12MHZ，选通时间：5ms	-40°C 至 105°C	2.2V 至 3.6V	11.4	12	12.6	MHz
$f_{CAL(16MHz)}$	16MHz 校准值	BCSCTL1=CALBC1_16MHZ，DCOCTL=CALDCO_16MHZ，选通时间：2ms	-40°C 至 105°C	3V 至 3.6V	15	16	17	MHz

版权 © 2007–2011, Texas Instruments Incorporated

典型特征-经校准的 DCO 频率

经校准的 **1MHz** 频率
与
电源电压
间的关系

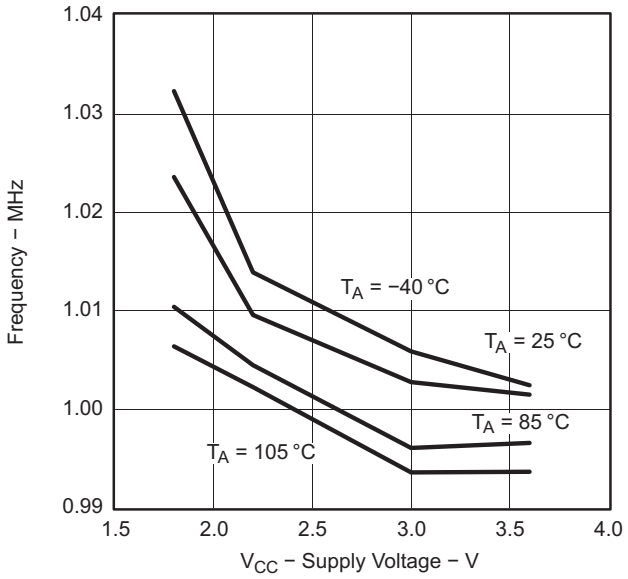


图 **14.**

经校准的 **8MHz** 频率
与
电源电压
间的关系

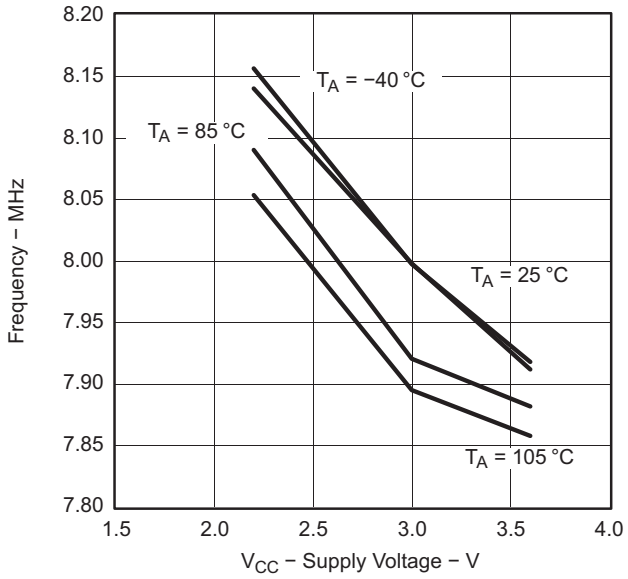


图 **15.**

经校准的 **12MHz** 频率
与
电源电压
间的关系

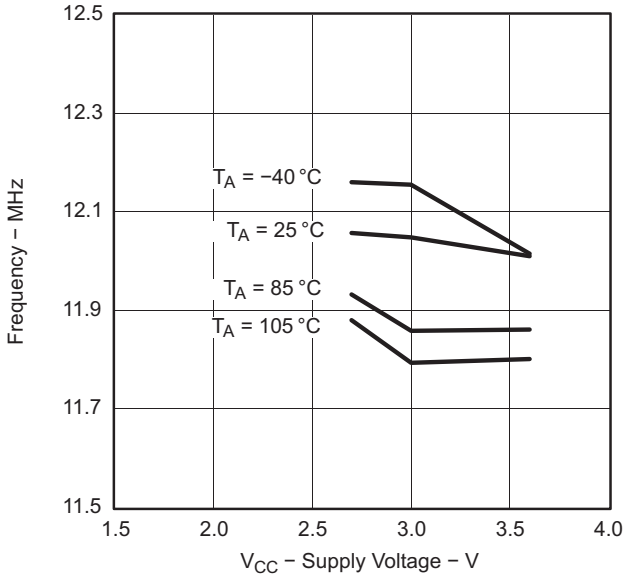


图 **16.**

经校准的 **16MHz** 频率
与
电源电压
间的关系

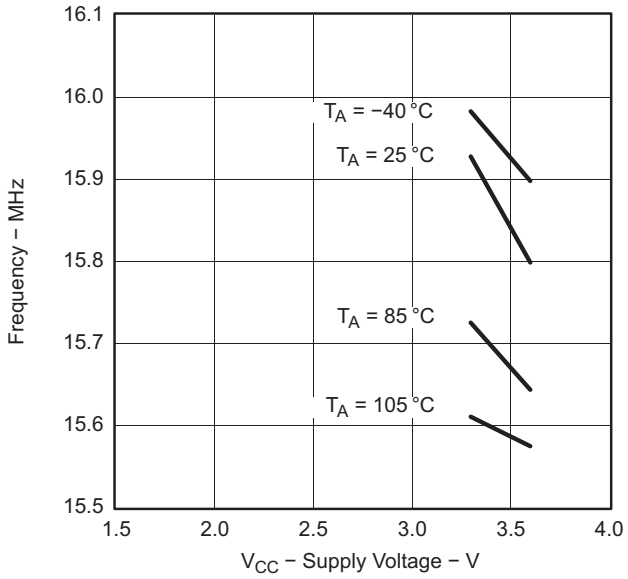


图 **17.**

版权 © 2007–2011, Texas Instruments Incorporated

从低功耗模式 (LPM3/4) 唤醒

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$t_{DCO，LPM3/4}$	从 LPM3/4 的 DCO 时钟唤醒时间 (1)	BCSCTL1=CALBC1_1MHz，DCOCTL=CALDCO_1MHz	2.2V/3V			2	μs
		BCSCTL1=CALBC1_8MHZ，DCOCTL=CALDCO_8MHZ				1.5	
		BCSCTL1=CALBC1_12MHZ，DCOCTL=CALDCO_12MHZ				1	
		BCSCTL1=CALBC1_16MHZ，DCOCTL=CALDCO_16MHZ	3V			1	
$t_{CPU，LPM3/4}$	从 LPM3/4 的 CPU 唤醒时间 (2)				$1/f_{MCLK}+$ $t_{时钟，LPM3/4}$		

(1) DCO 时钟唤醒时间的测量范围从一个外部唤醒信号（例如：一个端口中断）的边沿到可从外部观察到的一个时钟引脚（MCLK 或 SMCLK）上的第一个时钟信号边沿。
(2) 参数只有在 DCOCLK 被用于 MCLK 时才适用。

典型特性-从 LPM3/4 的 DCO 时钟唤醒时间

从 **LPM3** 的 **DCO** 唤醒时间
与
DCO 频率
间的关系

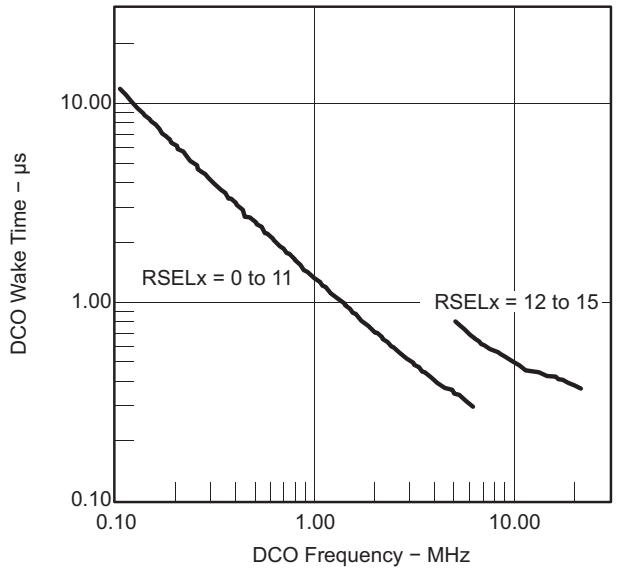


图 **18.**

版权 © 2007–2011, Texas Instruments Incorporated

带有外部电阻器 R_{OSC}(1)的 DCO

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	典型值	单位
$f_{DCO, ROSC}$	带有 R_{OSC}的 DCO 输出频率	DCOR=1， RSELx=4，DCOx=3，MODx=0， T_A=25°C	2.2V	1.8	MHz
			3V	1.95	
D_T	温度漂移	DCOR=1， RSELx=4，DCOx=3，MODx=0	2.2V/3V	±0.1	%/°C
D_V	V_{CC}的漂移	DCOR=1， RSELx=4，DCOx=3，MODx=0	2.2V/3V	10	%/V

(1) R_{OSC}=100kΩ. 金属膜电阻器，类型 0257，额定功率 0.6W 容差 1% 并且 T_K=±50 ppm/°C。

典型特性-带有外部电阻器 R_{OSC}的 DCO

**DCO 频率
与
R_{OSC}间的关系
V_{CC}=2.2V，T_A=25°C**

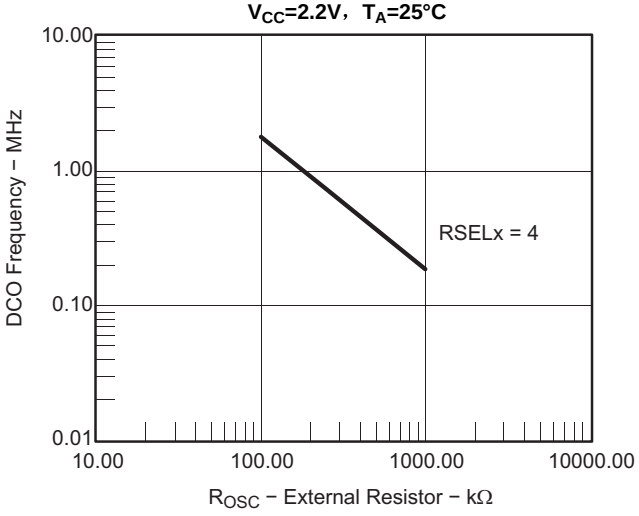


图 **19.**

**DCO 频率
与
R_{OSC}间的关系
V_{CC}= 3V，T_A=25°C**

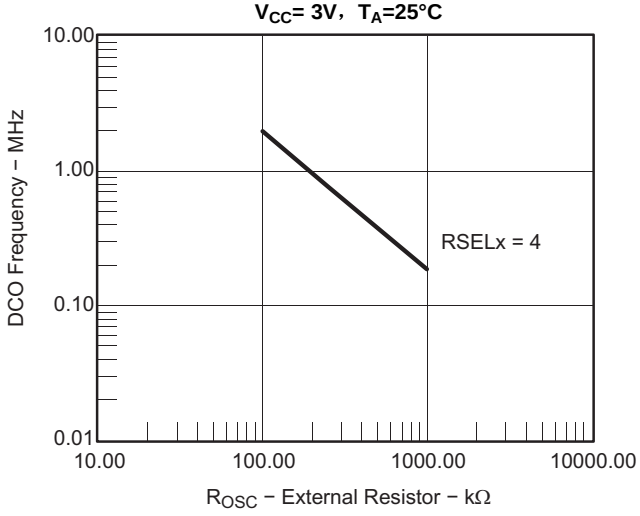


图 **20.**

典型特性-带有外部电阻器 R_{OSC}的 DCO (接下页)

DCO 频率
与
温度
间的关系
V_{CC}=3V

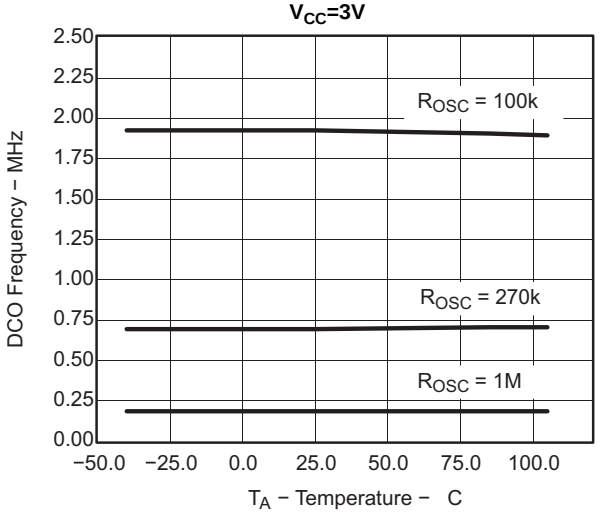


图 **21.**

DCO 频率
与
电源电压
间的关系
T_A=25°C

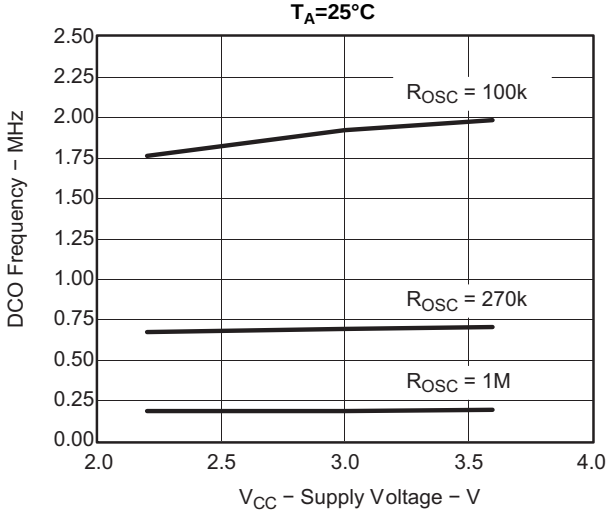


图 **22.**

版权 © 2007–2011, Texas Instruments Incorporated

晶体振荡器 LFXT1，低频模式(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$f_{LFXT1，LF}$	LFXT1 振荡器晶振频率，LF 模式 0，1	XTS=0, LFXT1Sx=0 或 1	1.8V 至 3.6V		32768		Hz
$f_{LFXT1，LF，逻辑}$	LFXT1 振荡器逻辑电平方波输入频率，LF 模式	XTS=0，LFXT1Sx=3，XCAPx=0	1.8V 至 3.6V	10000	32768	50000	Hz
OA_{LF}	LF 晶体的振荡裕度	XTS=0，LFXT1Sx=0，$f_{LFXT1，LF}$=32768Hz，$C_{L，eff}$=6pF			500		kΩ
		XTS=0，LFXT1Sx=0，$f_{LFXT1，LF}$=32768Hz，$C_{L，eff}$=12pF			200		
$C_{L，eff}$	集成型有效负载电容，LF 模式(2)	XTS=0，XCAPx=0			1		pF
		XTS=0，XCAPx=1			5.5		
		XTS=0，XCAPx=2			8.5		
		XTS=0，XCAPx=3			11		
	占空比，LF 模式	XTS=0，在 P2.0/ACLK，$f_{LFXT1，LF}$=32768Hz 上测量	2.2V/3V	30	50	70	%
$f_{故障，LF}$	振荡器故障频率，LF 模式(3)	XTS=0，LFXT1Sx=3，XCAPx=0(4)	2.2V/3V	10		10000	Hz

(1) 如欲改善 XT1 振荡器上的电磁干扰 (EMI)，则应遵守下面的指南。
(a) 应使器件与晶体之间的走线尽可能地短。
(b) 在振荡器引脚的周围设计一个良好的接地平面。
(c) 防止来自其它时钟或数据线路的串扰进入振荡器引脚 XIN 和 XOUT。
(d) 应避免在 XIN 和 XOUT 引脚的下方或附近布设 PCB 走线。
(e) 采用旨在消除振荡器 XIN 和 XOUT 引脚上的任何寄生负载的组装材料和惯例。
(f) 如果采用的是敷形涂覆，则应确保其不会在振荡器引脚之间引起电容/电阻泄漏电流。
(g) 如其它文档显示的那样，为了支持串行编程适配器，不要将 XOUT 线路路由至 JTAG 头。 串行编程适配器不再需要该信号。

(2) 包括寄生键合及封装电容（每引脚约 2pF）。
由于 PCB 会增加额外的电容，因此建议通过测量 ACLK 频率来验证正确的负载。 为了完成正确的设置，有效负载电容应始终与所用晶振技术规格相匹配。

(3) 低于 MIN 技术规格值的频率设定故障标志。 高于 MAX 技术规格值的频率并不设定故障标志。 位于 MAX 与 MIN 技术规格值之间的频率可以设定标志。

(4) 采用逻辑电平输入频率来测量，但也适合于采用晶振的操作。

内部超低功耗低频振荡器 (VLO)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		V_{CC}	最小值	典型值	最大值	单位
f_{VLO}	VLO 频率	2.2V/3V	4	12	20	kHz
df_{VLO}/dT	VLO 频率温度漂移(1)	2.2V/3V		0.5		%/°C
df_{VLO}/dV_{CC}	VLO 频率电源电压漂移 (2)	1.8V 至 3.6V		4		%/V

(1) 使用方箱法进行计算：
I 版本：(MAX(-40 至 85°C)-MIN(-40 至 85°C))/MIN(-40 至 85°C)/(85°C-(-40°C))
T 版本：(MAX(-40 至 105°C)-MIN(-40 至 105°C))/MIN(-40 至 105°C)/(105°C-(-40°C))

(2) 采用方箱法进行计算：(MAX(1.8 至 3.6V)-MIN(1.8 至 3.6V))/MIN(1.8 至 3.6V)/(3.6V-1.8V)

版权 © 2007–2011, Texas Instruments Incorporated

晶体振荡器 **LFXT1**，高频模式(1)

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$f_{LFXT1，HF0}$	LFXT1 振荡器晶振频率，LF 模式 0	XTS=1，LFXT1Sx=0，XCAPx=0	1.8V 至 3.6V	0.4		1	MHz
$f_{LFXT1，HF1}$	LFXT1 振荡器晶振频率，LF 模式 1	XTS= 1，LFXT1Sx= 1，XCAPx= 0	1.8V 至 3.6V	1		4	MHz
$f_{LFXT1，HF2}$	LFXT1 振荡器晶振频率，LF 模式 2	XTS= 1，LFXT1Sx=2，XCAPx=0	1.8V 至 3.6V	2		10	MHz
			2.2V 至 3.6V	2		12	
			3V 至 3.6V	2		16	
$f_{LFXT1，HF，逻辑}$	LFXT1 振荡器逻辑电平方波输入频率，HF 模式	XTS=1，LFXT1Sx=3，XCAPx=0	1.8V 至 3.6V	0.4		10	MHz
			2.2V 至 3.6V	0.4		12	
			3V 至 3.6V	0.4		16	
OA_{HF}	HF 晶振的振荡裕度（请见图 23和图 24）	XTS=1，XCAPx=0，LFXT1Sx=0，$f_{LFXT1，HF}$=1MHz，$C_{L，eff}$=15pF			2700		Ω
		XTS=1，XCAPx=0，LFXT1Sx=1，$f_{LFXT1，HF}$=4MHz，$C_{L，eff}$=15pF			800		
		XTS=1，XCAPx=0，LFXT1Sx=2，$f_{LFXT1，HF}$=16MHz，$C_{L，eff}$=15pF			300		
$C_{L，eff}$	集成型有效负载电容，HF 模式(2)	XTS=1，XCAPx=0(3)			1		pF
	占空比，HF 模式	XTS= 1，XCAPx=0，在 P1.4/SMCLK，$f_{LFXT1，HF}$=10MHz 上测量	2.2V/3V	40	50	60	%
		XTS=1，XCAPx=0，在 P1.4/SMCLK，$f_{LFXT1，HF}$=16MHz 上测量		40	50	60	
$f_{故障，HF}$	振荡器故障频率(4)	XTS=1，LFXT1Sx=3，XCAPx=0(5)	2.2V/3V	30		300	kHz

(1) 如欲改善 XT2 振荡器上的 EMI，则应遵守下面的指导原则：
(a) 应使器件与晶体之间的走线尽可能地短。
(b) 在振荡器引脚的周围设计一个良好的接地平面。
(c) 防止来自其它时钟或数据线路的串扰进入振荡器引脚 XIN 和 XOUT。
(d) 应避免在 XIN 和 XOUT 引脚的下方或附近布设 PCB 走线。
(e) 采用旨在消除振荡器 XIN 和 XOUT 引脚上的任何寄生负载的组装材料和惯例。
(f) 如果采用的是敷形涂覆，则应确保其不会在振荡器引脚之间引起电容/电阻泄漏电流。
(g) 如其它文档显示的那样，为了支持串行编程适配器，不要将 XOUT 线路路由至 JTAG 头。 串行编程适配器不再需要该信号。
(2) 包括寄生键合及封装电容（每引脚约 2pF）。 由于 PCB 会增加额外的电容，因此建议通过测量 ACLK 频率来验证正确的负载。 为了完成正确的设置，有效负载电容应始终与所用晶体的规格相匹配。
(3) 在两个端子上都要求外部电阻器。 值由晶振制造商指定。
(4) 低于 MIN（最小值）技术规格设定故障标志，高于 MAX（最大值）技术规格不设定故障标志，而介于二者之间的频率有可能设定标志。
(5) 采用逻辑电平输入频率来测量，但也适合于采用晶振的操作。

版权 © 2007–2011, Texas Instruments Incorporated

典型特性-处于 HF 模式的 LFXT1 振荡器 (XTS=1)

振荡裕度
与
晶振频率
间的关系
$C_{L,eff}$=15pF，T_A=25°C

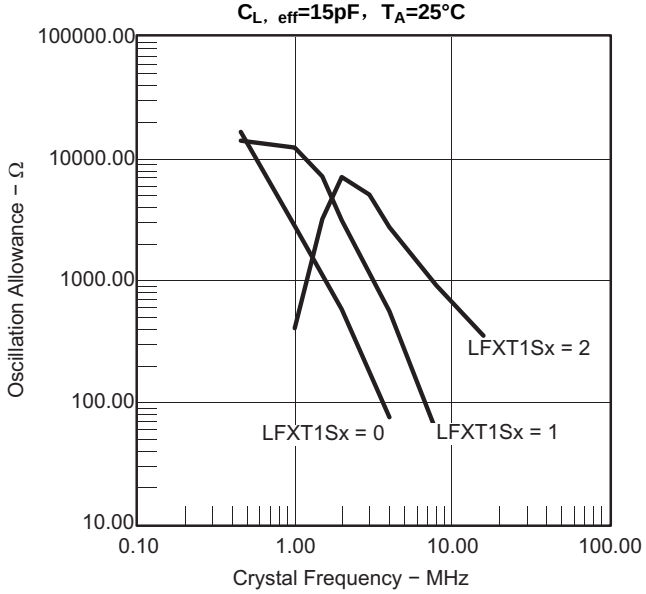


图 **23.**

振荡电源电流
与
晶振频率
间的关系
$C_{L,eff}$=15pF，T_A=25°C

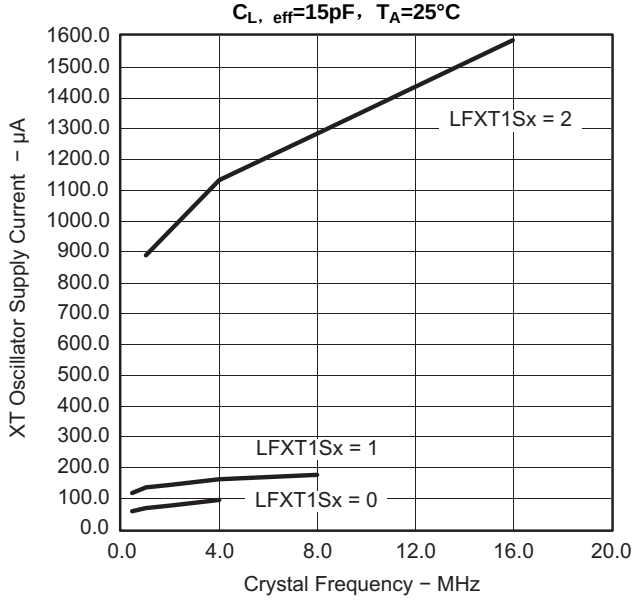


图 **24.**

晶体振荡器 XT2(1)

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{XT2}	XT2 振荡器晶振频率，模式 0	XT2Sx=0	1.8V 至 3.6V	0.4		1	MHz
f_{XT2}	XT2 振荡器晶振频率，模式 1	XT2Sx=1	1.8V 至 3.6V	1		4	MHz
f_{XT2}	XT2 振荡器晶振频率，模式 2	XT2Sx=2	1.8V 至 2.2V	2		10	MHz
			2.2V 至 3.0V	2		12	
			3.0V 至 3.6V	2		16	
f_{XT2}	XT2 振荡器逻辑电平方波输入频率	XT2Sx=3	1.8V 至 2.2V	0.4		10	MHz
			2.2V 至 3.0V	0.4		12	
			3.0V 至 3.6V	0.4		16	
OA	振荡裕度（请见图 25和图 26）	XT2Sx=0，f_{XT2}=1MHz，$C_{L,eff}$=15pF			2700		Ω
		XT2Sx=1，f_{XT2}=4MHz，$C_{L,eff}$=15pF			800		
		XT2Sx=2，f_{XT2}=16MHz，$C_{L,eff}$=15pF			300		
$C_{L,eff}$	集成型有效负载电容，LF 模式(2)	请参阅 (3)			1		pF
	占空比	在 P1.4/SMCLK，f_{XT2}=10MHz 上测量	2.2V/3V	40	50	60	%
		在 P1.4/SMCLK，f_{XT2}=16MHz 上测量		40	50	60	
$f_{故障}$	振荡器故障频率，LF 模式(4)	XT2Sx=3(5)	2.2V/3V	30		300	kHz

(1) 如欲改善 XT2 振荡器上的 EMI，则应遵守下面的指导原则：
(a) 应使器件与晶体之间的走线尽可能地短。
(b) 在振荡器引脚的周围设计一个良好的接地平面。
(c) 防止来自其它时钟或数据线的串扰进入振荡器引脚 XT2IN 和 XT2OUT。
(d) 应避免在 XT2IN 和 XT2OUT 引脚的下方或附近布设 PCB 走线。
(e) 采用旨在消除振荡器 XT2IN 和 XT2OUT 引脚上的任何寄生负载的组装材料和惯例。
(f) 如果采用的是敷形涂覆，则应确保其不会在振荡器引脚之间引起电容/电阻泄漏电流。
(2) 包括寄生键合及封装电容（每引脚约 2pF）。 由于 PCB 会增加额外的电容，因此建议通过测量 ACLK 频率来验证正确的负载。 为了完成正确的设置，有效负载电容应始终与所用晶体的规格相匹配。
(3) 在两个端子上都要求外部电阻器。 值由晶振制造商指定。
(4) 低于 MIN（最小值）技术规格设定故障标志，高于 MAX（最大值）技术规格不设定故障标志，而介于二者之间的频率有可能设定标志。
(5) 采用逻辑电平输入频率来测量，但也适合于采用晶振的操作。

版权 © 2007–2011, Texas Instruments Incorporated

典型特性 - XT2 振荡器

振荡裕度
与
晶振频率
间的关系
$C_{L,eff}$= 15pF，T_A= 25°C

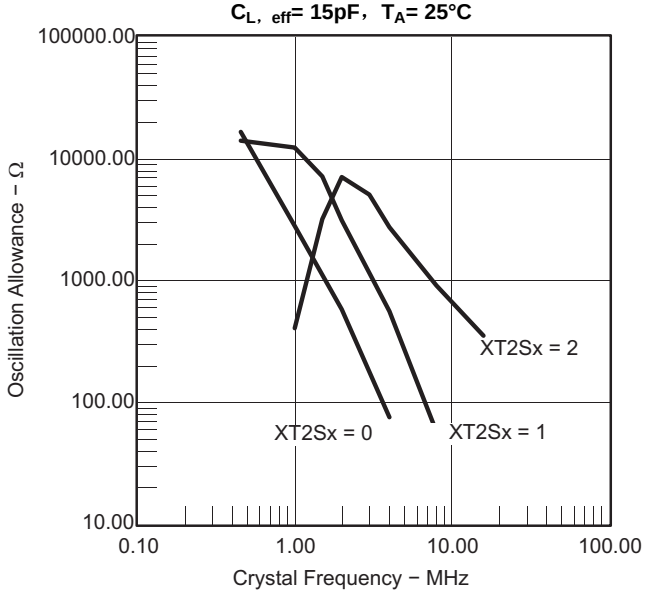


图 **25.**

振荡电源电流
与
晶振频率
间的关系
$C_{L,eff}$= 15pF，T_A= 25°C

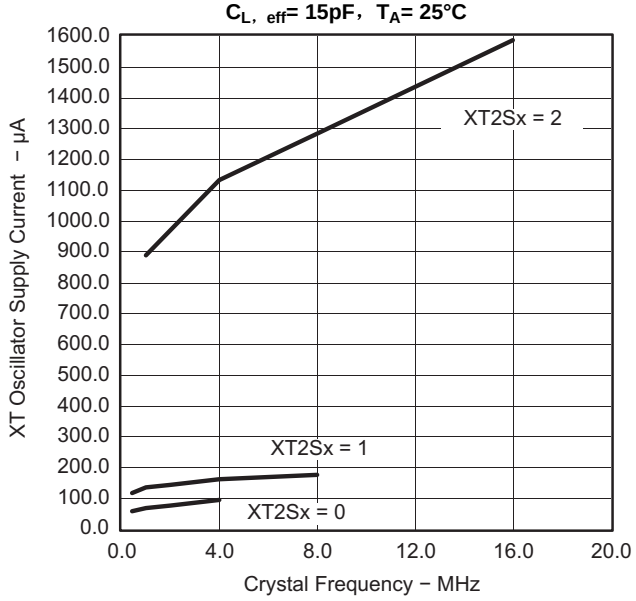


图 **26.**

Timer_A

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{TA}	Timer_A 时钟频率	内部：SMCLK，ACLK 外部：TACLK，INCLK 占空比 = 50%±10%	2.2V			10	MHz
			3V			16	
$t_{TA，cap}$	Timer_A 捕获时序	TA0，TA1，TA2	2.2V/3V	20			ns

Timer_B

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{TB}	Timer_B 时钟频率	内部：SMCLK，ACLK 外部：TACLK，INCLK 占空比 = 50%±10%	2.2V			10	MHz
			3V			16	
$t_{TB,cap}$	Timer_A 捕获时序	TB0，TB1，TB2	2.2V/3V	20			ns

版权 © 2007–2011, Texas Instruments Incorporated

USCI（UART 模式）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		条件	V_{CC}	最小值	典型值	最大值	单位
f_{USCI}	USCI 输入时钟频率	内部：SMCLK，ACLK 外部：UCLK 占空比 = 50%±10%				$f_{系统}$	MHz
f_{BITCLK}	BITCLK 时钟频率 （等于以 MBaud 为单位的波特率）(1)		2.2V/3V			1	MHz
t_t	UART 接收去毛刺脉冲时间(2)		2.2V	50	150		ns
			3V	50	100		

(1) 对于 1MHz 以上的波特率，在 LPM3//4 中必须考虑 DCO 唤醒时间。
(2) 对 UART 接收输入端 (UCxRx) 上持续时间比 UART 接收去毛刺脉冲时间短的脉冲进行了抑制。

USCI (SPI 主控模式)(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）
（请见图 27和图 28）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{USCI}	USCI 输入时钟频率	SMCLK，ACLK 占空比 = 50%±10%				$f_{系统}$	MHz
$t_{SU，MI}$	从器件输出，主器件输入 (SOMI) 输入数据建立时间		2.2V	110			ns
			3V	75			
$t_{HD，MI}$	SOMI 输入数据保持时间		2.2V	0			ns
			3V	0			
$t_{VALID，MO}$	从器件输入，主器件输出 (SIMO) 输出数据有效时间	UCLK 边沿至 SIMO 有效， C_L=20pF	2.2V			30	ns
			3V			20	

(1) $t_{LO/HI} \geq$ 最大值 ($t_{VALID，MO(USCI)} + t_{SU，SI（从器件）}$，$t_{SU，MI(USCI)} + t_{有效，SO（从器件）}$) 时，$f_{UCxCLK}=1/2t_{LO/HI}$。
对于受控器参数 $t_{SU，SI（从器件）}$ 和 $t_{VALID，SO（从器件）}$，请查看所连接的从器件的 SPI 参数。

USCI（SPI 从模式）(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）
（请见图 29和图 30）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$t_{STE，LEAD}$	STE 建立时间，STE 低电平至时钟的时间		2.2V/3V		50		ns
$t_{STE，LAG}$	STE 滞后时间，最后一个时钟至 STE 高电平的时间		2.2V/3V	10			ns
$t_{STE，ACC}$	STE 访问时间，STE 低电平至 SOMI 数据输出的时间		2.2V/3V		50		ns
$t_{STE，DIS}$	STE 禁用时间，STE 高电平至 SOMI 高阻抗的时间		2.2V/3V		50		ns
$t_{SU，SI}$	SIMO 输入数据建立时间		2.2V	20			ns
			3V	15			
$t_{HD，SI}$	SIMO 输入数据保持时间		2.2V	10			ns
			3V	10			
$t_{VALID，SO}$	SOMI 输出数据有效时间	UCLK 边沿至 SOMI 有效， C_L=20pF	2.2V		75	110	ns
			3V		50	75	

(1) $t_{LO/HI} \geq$ 最大值 ($t_{VALID，MO（主器件）} + t_{SU，SI(USCI)}$，$t_{SU，MI（主器件）} + t_{有效，SO(USCI)}$) 时，$f_{UCxCLK}=1/2t_{LO/HI}$。
对于主器件参数 $t_{SU，MI（主器件）}$ 和 $t_{VALID，MO（主器件）}$，请查阅所连接的从器件的 SPI 参数。

版权 © 2007–2011, Texas Instruments Incorporated

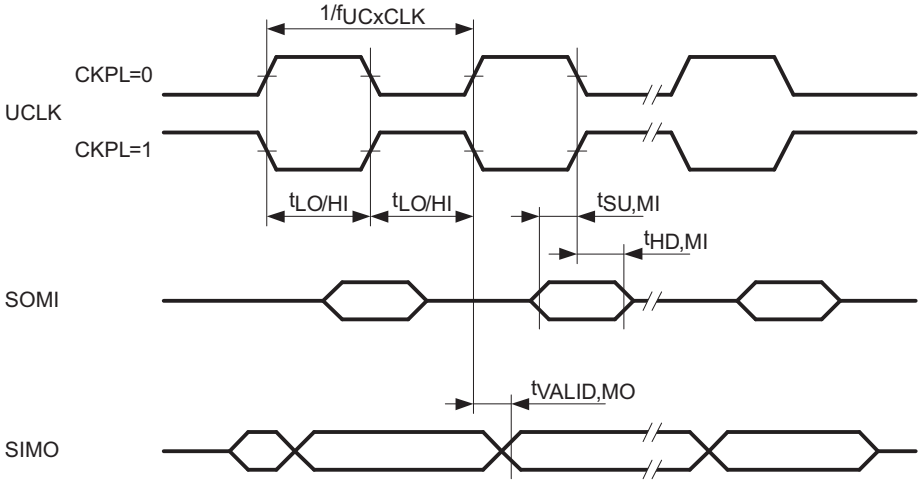


图 **27. SPI** 主控模式，**CKPH=0**

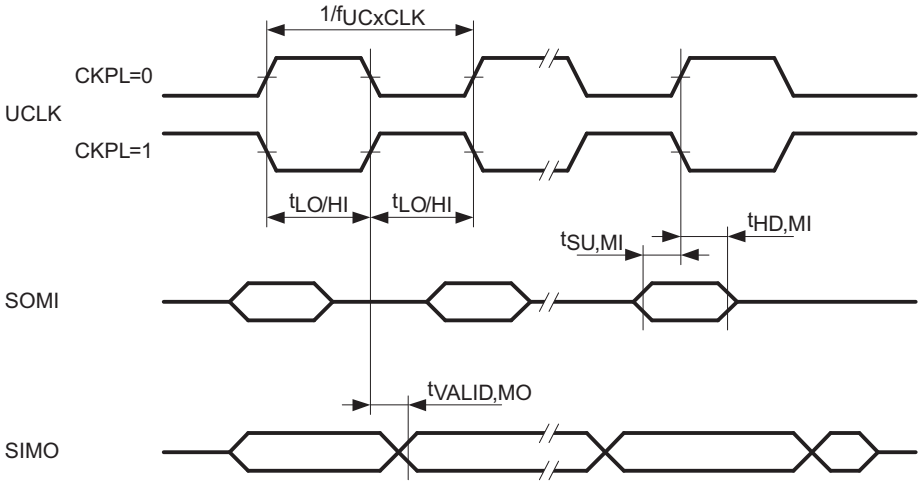


图 **28. SPI** 主控模式，**CKPH=1**

版权 © 2007–2011, Texas Instruments Incorporated

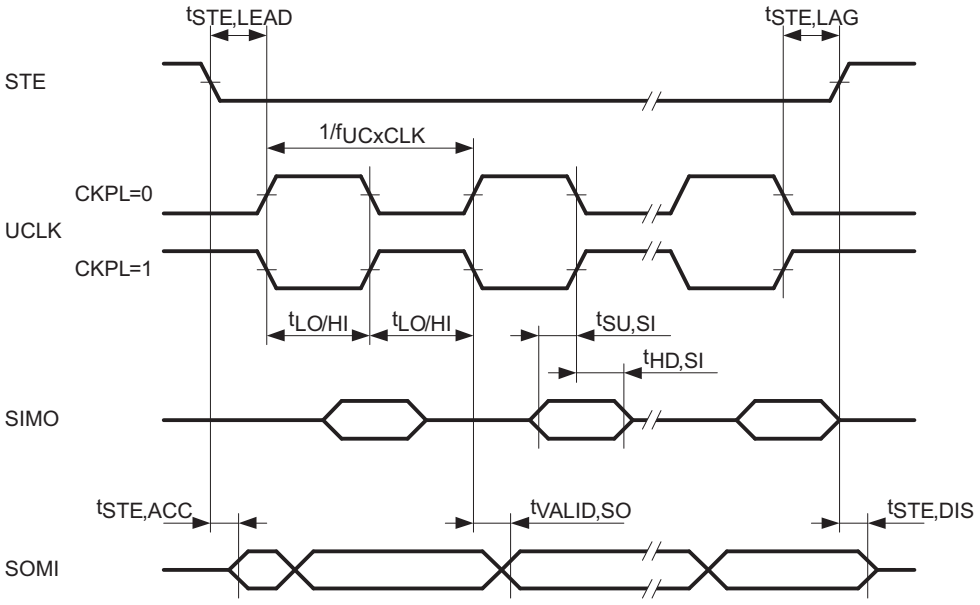


图 **29. SPI** 受控模式，**CKPH=0**

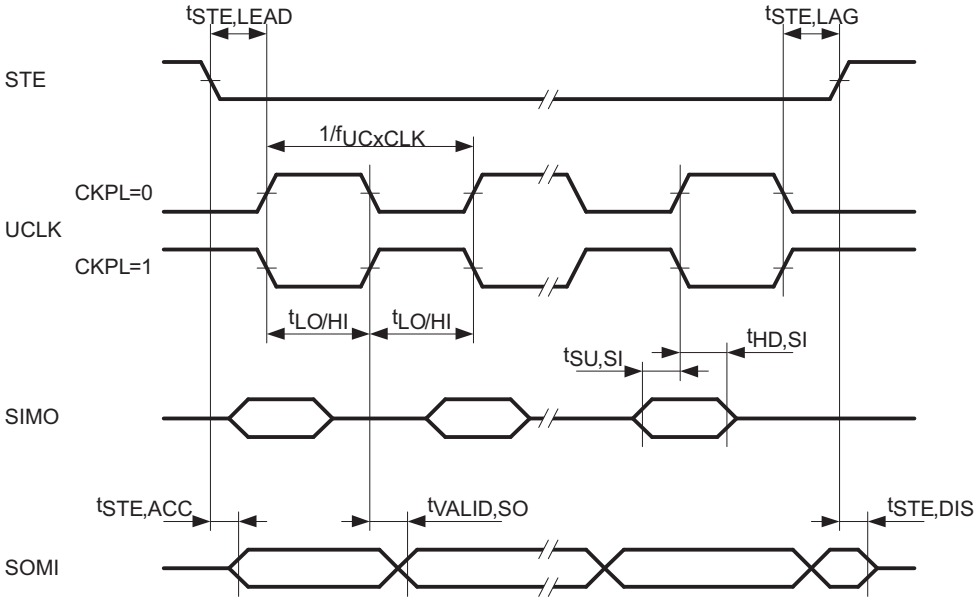


图 **30. SPI** 受控模式，**CKPH=1**

USCI（I²C 模式）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）（请见图 31）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{USCI}	USCI 输入时钟频率	内部：SMCLK，ACLK 外部：UCLK 占空比 = 50%±10%				$f_{系统}$	MHz
f_{SCL}	SCL 时钟频率		2.2V/3V	0		400	kHz
$t_{HD,STA}$	保持时间（重复）启动	f_{SCL}≤100kHz	2.2V/3V	4			µs
		f_{SCL}>100kHz		0.6			
$t_{SU,STA}$	一个针对重复启动的建立时间	f_{SCL}≤100kHz	2.2V/3V	4.7			µs
		f_{SCL}>100kHz		0.6			
$t_{HD,DAT}$	数据保持时间		2.2V/3V	0			ns
$t_{SU,DAT}$	数据建立时间		2.2V/3V	250			ns
$t_{SU,STO}$	停止的建立时间		2.2V/3V	4			µs
t_{SP}	由输入滤波器进行抑制的尖峰脉冲宽度		2.2V	50	150	600	ns
			3V	50	100	600	

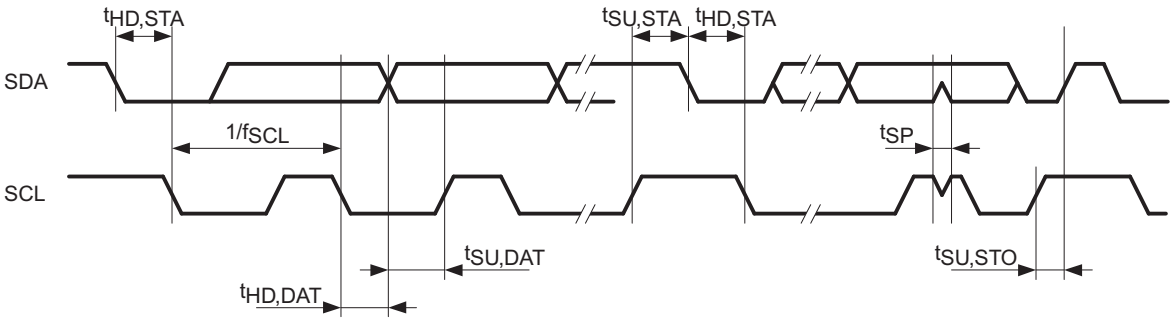


图 31. I²C 模式时序

版权 © 2007–2011, Texas Instruments Incorporated

Comparator_A+(1)

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$I_{(DD)}$		CAON=1，CARSEL=0，CAREF=0	2.2V		25	40	μA
			3V		45	60	
$I_{(Refladder/RefDiode)}$		CAON=1，CARSEL=0，CAREF=1/2/3/，在 P2.3/CA0/TA1 和 P2.4/CA1/TA2 上无负载	2.2V		30	50	μA
			3V		45	71	
V_{IC}	共模输入电压范围	CAON=1	2.2V/3V	0		V_{CC}-1	V
$V_{(Ref025)}$	在 0.25V_{CC}节点上的电压 / V_{CC}	PCA0=1，CARSEL=1，CAREF=1，在 P2.3/CA0/TA1 和 P2.4/CA1/TA2 上无负载	2.2V/3V	0.23	0.24	0.25	
$V_{(Ref050)}$	在 0.5 V_{CC}节点上的电压 / V_{CC}	PCA0=2，CARSEL=1，CAREF=1，在 P2.3/CA0/TA1 和 P2.4/CA1/TA2 上无负载	2.2V/3V	0.47	0.48	0.5	
$V_{(RefVT)}$	见图 36和图 37	PCA0=1，CARSEL=1，CAREF=3，在 P2.3/CA0/TA1 和 P2.4/CA1/TA2 上无负载，T_A=85°C	2.2V	390	480	540	mV
			3V	400	490	550	
$V_{（偏移）}$	偏移电压(2)		2.2V/3V	-30		30	mV
V_{hys}	输入滞后	CAON=1	2.2V/3V	0	0.7	1.4	mV
$t_{（响应）}$	响应时间（低电平到高电平和高电平到低电平的时间）	T_A=25°C，过驱电压 10mV，无滤波器：CAF= 0(3)（请见图 32和图 33）。 混合	2.2V	80	165	300	ns
			3V	70	120	240	
		T_A=25°C，过驱电压 10 mV，未采用滤波器：CAF=1(3)（请见图 32和图 33）	2.2V	1.4	1.9	2.8	μs
			3V	0.9	1.5	2.2	

(1) Comparator_A+ 端子的泄漏电流与 $I_{lkg(Px.y)}$技术规格一致。
(2) 输入偏移电压可在连续测量时通过采用 CAEX 位使 Comparator_A+ 输入倒相来加以消除。 然后将两次连续测量的结果相加。
(3) 在一个输入电压阶跃和 Comparator_A+ 已经启用 (CAON= 1) 时，响应时间在 P2.2/CAOUT/TA0/CA4 上测得。 如果 CAON 同时设定，一个高达 300ns 的稳定时间将被增加到响应时间内。

版权 © 2007–2011, Texas Instruments Incorporated

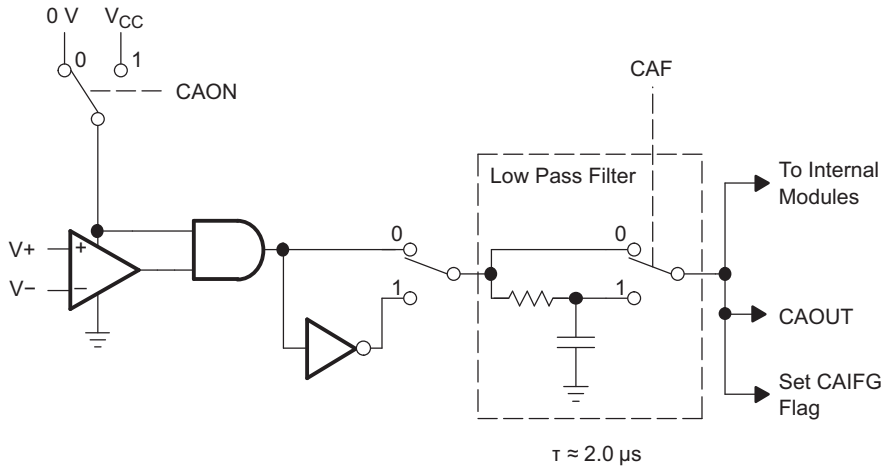


图 **32. Comparator_A+** 方框图

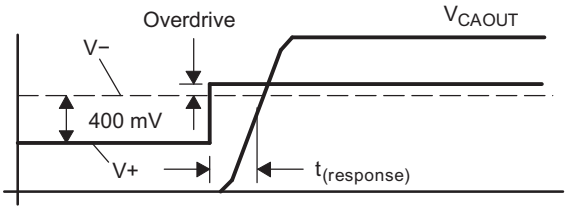


图 **33. Comparator_A+** 过驱定义

图 **34. Comparator_A+** 短路电阻测试条件

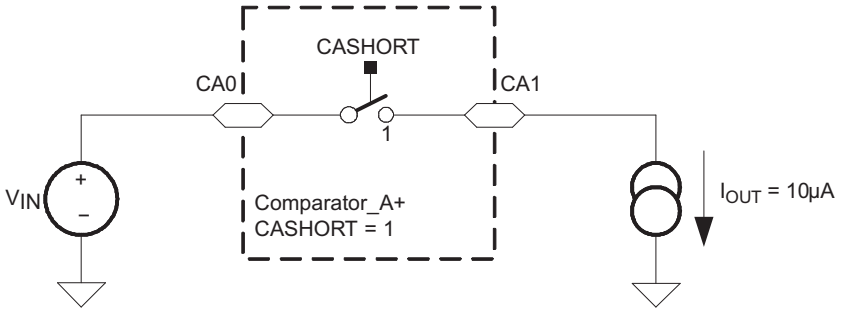


图 **35. Comparator_A+** 短路电阻测试条件

版权 © 2007–2011, Texas Instruments Incorporated

典型特性，Comparator_A+

$V_{(RefVT)}$ 与 温度 间的关系 (V_{CC}=3V)

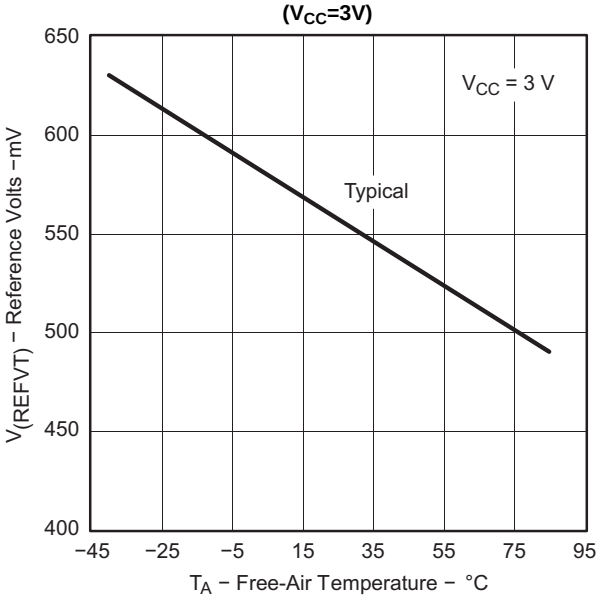


Figure 1. $V_{(RefVT)}$ vs Temperature, V_{CC} = 3 V

图 **36.**

$V_{(RefVT)}$ 与 温度 间的关系 (V_{CC}=2.2V)

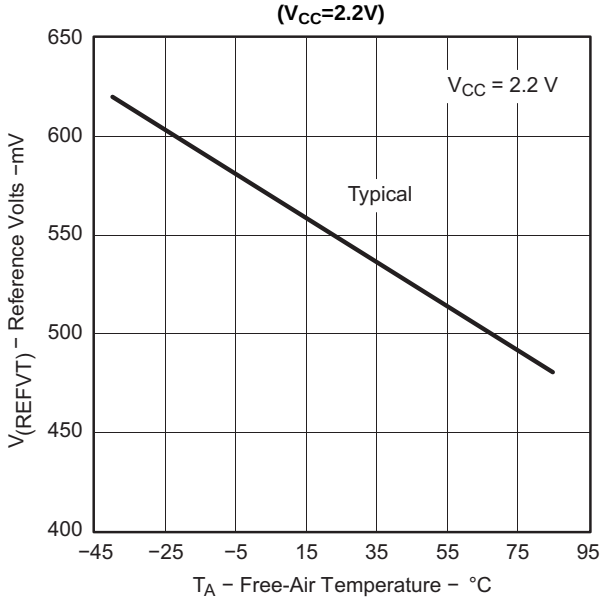


图 **37.**

短路电阻 与 V_{IN}/V_{CC} 间的关系

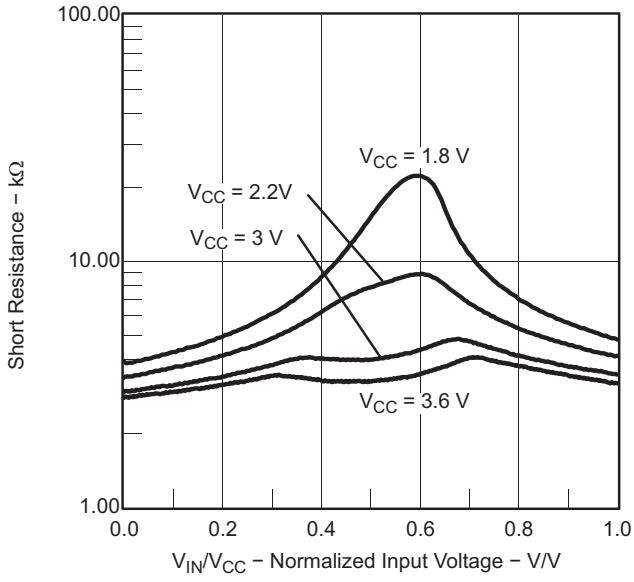


图 **38.**

12 位 ADC，电源及输入范围条件(1)

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
AV_{CC}	模拟电源电压	AV_{CC}和 DV_{CC}被连接在一起 AV_{SS}和 DV_{SS}被接在一起 $V_{(AVSS)}=V_{(DVSS)}=0V$		2.2		3.6	V
$V_{(P6.x/Ax)}$	模拟输入电压范围(2)	P6.0/A0 至 P6.7/A7 的所有端子，在 ADC12MCTLx 寄存器中选出的模拟输入， P6Sel.x=1，0≤x≤7， $V_{(AVSS)}\le V_{P6.x/Ax}\le V_{(AVCC)}$		0		V_{AVCC}	V
I_{ADC12}	进入 AV_{CC}端子(3)的运行电源电流	$f_{ADC12CLK}$=5MHz， ADC12ON=1，REFON=0， SHT0=0，SHT1=0，ADC12DIV=0	2.2V		0.65	0.8	mA
			3V		0.8	1	
I_{REF+}	进入 AV_{CC}端子(4)的运行电源电流	$f_{ADC12CLK}$= 5MHz， ADC12ON=0，REFON= 1，REF2__5V=1	3V		0.5	0.7	mA
		$f_{ADC12CLK}$=5MHz， ADC12ON=0，REFON=1，REF2__5V=0	2.2V		0.5	0.7	mA
			3V		0.5	0.7	
C_I	输入电容(5)	一次只能选择一个端子，P6.x/Ax	2.2V			40	pF
R_I	输入 MUX 导通电阻(5)	$0V\le V_{Ax}\le V_{AVCC}$	3V			2000	Ω

(1) 在泄漏电流表中，泄漏电流采用 Px.y/Ax 参数来定义。
(2) 模拟输入电压范围必须位于所选择的基准电压范围 V_{R+} 至 V_{R-}之内，以获得有效的转换结果。
(3) 内部基准电源电流不包含在流耗参数 I_{ADC12}之中。
(4) 内部基准电流通过 V_{CC}端子来提供。 流耗与 ADC12ON 控制位无关，除非转换是有源的。 REFON 位使得内置基准能够在启动一个 A/D 转换之前实现稳定。
(5) 未经生产测试，经设计验证的限值。

12 位 ADC，外部基准(1)

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
V_{eREF+}	正外部基准电压输入	$V_{eREF+}>V_{REF-}/V_{eREF-}$(2)		1.4	V_{AVCC}	V
V_{REF-}/V_{eREF-}	负外部基准电压输入	$V_{eREF+}>V_{REF-}/V_{eREF-}$(3)		0	1.2	V
(V_{eREF+}-V_{REF-}/V_{eREF-})	差分外部基准电压输入	$V_{eREF+}>V_{REF-}/V_{eREF-}$(4)		1.4	V_{AVCC}	V
I_{VeREF+}	静态泄漏电流	$0V\le V_{eREF+}\le V_{AVCC}$	2.2V/3V		±1	μA
$I_{VREF-/VeREF-}$	静态泄漏电流	$0V\le V_{eREF-}\le V_{AVCC}$	2.2V/3V		±1	μA

(1) 在转换期间采用外部基准，以对电容阵列进行充电和放电。 在转换期间，输入电容，即 C_I，也是外部基准的动态负载。 基准电源的动态阻抗应遵照有关模拟源阻抗的建议，以使充电稳定至 12 位准确度。
(2) 准确度限定了最小的正外部基准电压。 对于较低的准确度要求，可以采用较低的基准电压电平。
(3) 准确度限定了最大的负外部基准电压。 对于较低的准确度要求，可以采用较高的基准电压电平。
(4) 准确度限定了最小外部差分基准电压。 对于较低的准确度要求，可以采用较低的差分基准电压电平。

版权 © 2007–2011, Texas Instruments Incorporated

12 位 ADC，内置基准

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	T_A	V_{CC}	最小值	标称值	最大值	单位
V_{REF+}	正内置基准电压输出	对于 2.5V REF2_5V=1， I_{VREF+}最大值≤I_{VREF+}≤I_{VREF+}最小值	-40°C 至 85°C	3V	2.4	2.5	2.6	V
			105°C		2.37	2.5	2.64	
		对于 1.5V REF2__5V=0， I_{VREF+}最大值≤I_{VREF+}≤I_{VREF+}最小值	-40°C 至 85°C	2.2V/3V	1.44	1.5	1.56	
			105°C		1.42	1.5	1.57	
AV_{CC}（最小值）	AV_{CC}最小电压，正内置基准有效	REF2__5V=0， I_{VREF+}最大值≤I_{VREF+}≤I_{VREF+}最小值			2.2			V
		REF2_5V=1， -0.5mA≤I_{VREF+}≤I_{VREF+}最小值			2.8			
		REF2_5V=1， -1mA≤I_{VREF+}≤I_{VREF+}最小值			2.9			
I_{VREF+}	V_{REF+}端子的负载电流输出			2.2V	0.01		-0.5	mA
				3V	0.01		-1	
$I_{L(VREF)+}$	负载电流调节，V_{REF+}端子(1)	I_{VREF+}=500μA±100μA， 模拟输入电压 ≠ 0.75V， REF2_5V=0		2.2V			±2	LSB
				3V			±2	
		I_{VREF+}=500μA±100μA， 模拟输入电压 ≠ 1.25V， REF2_5V=1		3V			±2	LSB
$I_{DL(VREF)+}$	负载电流调节，V_{REF+}端子(2)	I_{VREF+}=100μA→900μA， C_{VREF+}=5μF，ax≈ 0.5×V_{REF+}， 转换结果误差 ≤ 1 LSB		3V			20	ns
C_{VREF+}	引脚 V_{REF+}上的电容值(3)	REFON=1， 0mA≤I_{VREF+}≤I_{VREF+}最大值		2.2V/3V	5	10		μF
T_{REF+}	内置基准的温度系数(2)	I_{VREF+}在 0mA≤I_{VREF+}≤1mA 范围内保持恒定		2.2V/3V			±100	ppm/ °C
t_{REFON}	内部基准电压的稳定时间（请见图 39）(4)(2)	I_{VREF+}=0.5mA，C_{VREF+}=10μF， V_{REF+}=1.5V，V_{AVCC}=2.2V		2.2V			17	ms

(1) 未经生产测试，限值已限定。
(2) 未经生产测试，限值由设计验证。
(3) 内部缓冲运算放大器和准确技术规格要求一个外部电容器。 所有 INL 和 DNL 测试在引脚 V_{REF+}和 AV_{SS}以及 V_{REF-}/V_{eREF-}和 AV_{SS}之间使用两个电容器：10μF 钽电容器和 100nF 陶瓷电容器。
(4) 条件是：在 t_{ACON}之后启动的转换中的误差小于 ±0.5 LSB。 稳定时间取决于外部电容器负载。

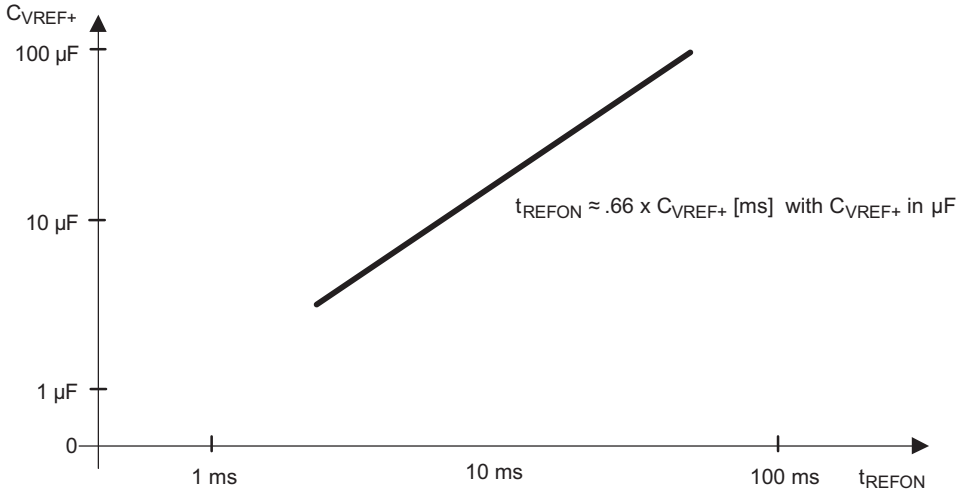


图 **39.** 内部基准的典型温度时间 t_{REFON}与 V_{REF+}上外部电容器间的关系

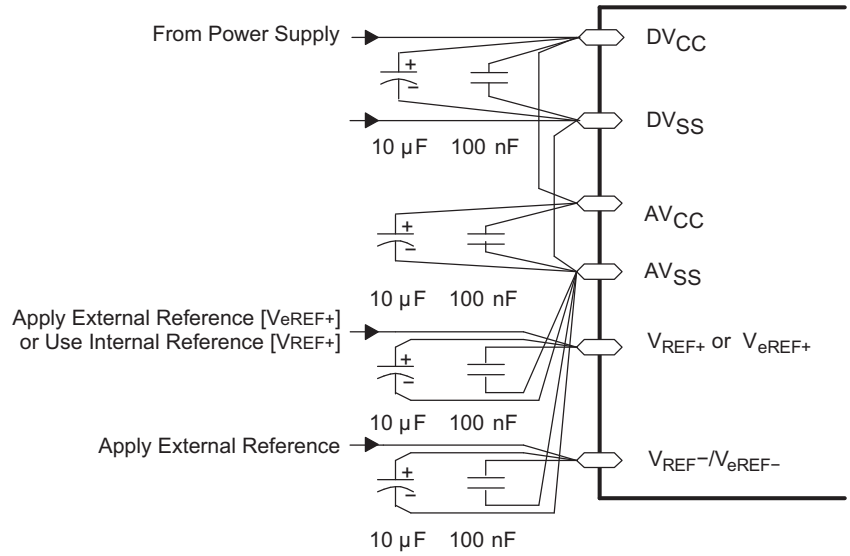


图 **40.** 电源电压和基准电压设计 V_{REF-}/V_{eREF-}外部电源

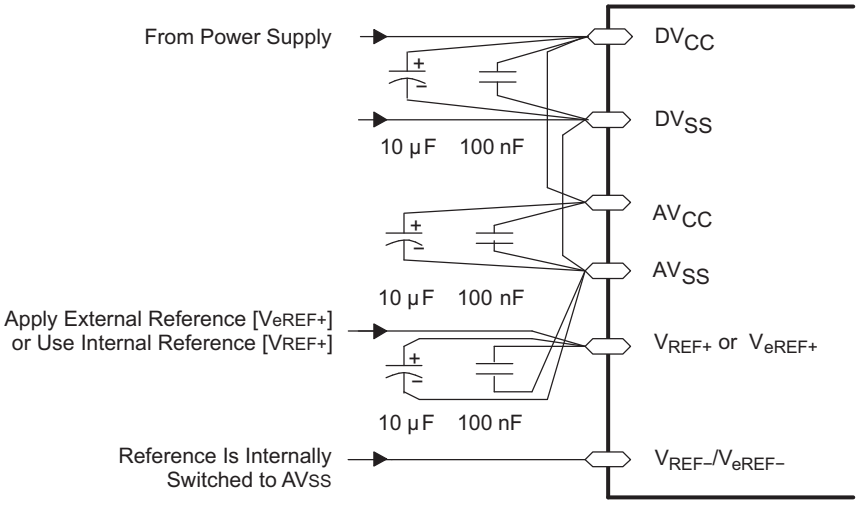


图 **41.** 电源电压和基准电压设计 $V_{REF-}/_{eREF-}=AV_{SS}$，内部连接

版权 © 2007–2011, Texas Instruments Incorporated

12 位 ADC，时序图

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	标称值	最大值	单位
$f_{ADC12CLK}$		对于 ADC12 线性度参数的额定性能	2.2V/3V	0.45	5	6.3	MHz
$f_{ADC12OSC}$	内部 ADC12 振荡器	ADC12DIV=0， $f_{ADC12CLK}=f_{ADC12OSC}$	2.2V/3V	3.7	5	6.3	MHz
$t_{转换}$	转换时间	C_{VREF+}≥5μF，内部振荡器， $f_{ADC12OSC}$=3.7MHz 至 6.3MHz	2.2V/3V	2.06		3.51	μs
		来自 ACLK，MCLK，或者 SMCLK 的外部 $f_{ADC12CLK}$， ADC12SSEL≠0			13×ADC12DIV × $1/f_{ADC12CLK}$		μs
$t_{ADC12ON}$	ADC 的接通稳定时间(1)	请参阅(2)				100	ns
$t_{采样}$	采样时间(1)	R_S=400Ω，R_I=1000Ω，C_I=30pF， τ=[R_S+R_I]×C_I(3)	3V	1220			ns
			2.2V	1400			

(1) 限值由设计验证
(2) 条件是：在 t_{AC12ON}之后启动的转换中的误差小于 ±0.5 LSB。 基准及输入信号已稳定。
(3) 需要大约 10 个 Tau (τ) 来获得少于 ±0.5 LSB 的误差：
$t_{采样}=\ln(2^{n+1}) \times (R_S + R_I) \times C_I + 800ns$，在这里 n = ADC 分辨率 = 12，$R_S$= 外部源电阻

12 位 ADC，线性参数

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	标称值	最大值	单位
E_I	积分线性误差	1.4V≤(V_{eREF+}-V_{REF-}/V_{eREF-}) 最小值 ≤ 1.6V	2.2V/3V			±2	LSB
		1.6V≤(V_{eREF+}-V_{REF-}/V_{eREF-}) 最小值 ≤ V_{AVCC}				±1.7	
E_D	差分线性误差	(V_{eREF+}-V_{REF-}/V_{eREF-}) 最小值 ≤ (V_{eREF+}-V_{REF-}/V_{eREF-})， C_{VREF+}= 10μF（钽电容器）和 100nF（陶瓷电容器）	2.2V/3V			±1	LSB
E_O	偏移误差	(V_{eREF+}-V_{REF-}/V_{eREF-}) 最小值 ≤ (V_{eREF+}-V_{REF-}/V_{eREF-})， 源 RS 的内部阻抗 < 100 Ω， C_{VREF+}= 10μF（钽电容器）和 100nF（陶瓷电容器）	2.2V/3V		±2	±4	LSB
E_G	增益误差	(V_{eREF+}-V_{REF-}/V_{eREF-}) 最小值 ≤ (V_{eREF+}-V_{REF-}/V_{eREF-})， C_{VREF+}= 10μF（钽电容器）和 100nF（陶瓷电容器）	2.2V/3V		±1.1	±2	LSB
E_T	总体未调整误差	(V_{eREF+} -– V_{REF-}/V_{eREF-}) 最小值 ≤ (V_{eREF+}-V_{REF-}/V_{eREF-})， C_{VREF+}= 10μF（钽电容器）和 100nF（陶瓷电容器）	2.2V/3V		±2	±5	LSB

版权 © 2007–2011, Texas Instruments Incorporated

12 位 ADC，温度传感器及内置 V_{MID}

在推荐的自然通风条件下的工作温度范围（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$I_{传感器}$	进入 AV_{CC}端子(1)的运行电源电流	REFON=0，INCH=0Ah，ADC12ON=1，T_A=25°C	2.2V		40	120	μA
			3V		60	160	
$V_{传感器}$(2)(3)		ADC12ON=1，INCH =0Ah，T_A=0°C	2.2V		986		mV
			3V		986		
$TC_{传感器}$(3)		ADC12ON=1，INCH=0Ah	2.2V		3.55	3.55 ± 3%	mV/°C
			3V		3.55	3.55 ± 3%	
$t_{传感器（采样）}$(3)	通道 10 被选择时所需的采样时间(4)	ADC12ON=1，INCH=0Ah，转换结果误差 ≤ 1 LSB	2.2V	30			μs
			3V	30			
I_{VMID}	流入通道 11 上的分压器的电流(5)	ADC12ON=1，INCH=0Bh	2.2V			不可用	μA
			3V			不可用	
V_{MID}	通道 11 中的 V_{CC} 分压器	ADC12ON=1，INCH=0Bh，V_{MID}为 ~0.5 × V_{AVCC}	2.2V		1.1	1.1±0.04	V
			3V		1.5	1.5±0.04	
$t_{VMID（采样）}$	通道 11 时被选择时所需的采样时间(6)	ADC12ON=1，INCH=0Bh，转换结果的误差 ≤ 1 LSB	2.2V	1400			ns
			3V	1220			

(1) 假如（ADC12ON=1 且 REFON=1）或（ADC12ON=1 和 INCH=0Ah 且采样信号为高电平），则消耗传感器电流 I_{SENSOR}。 因此它包括流经传感器和基准额恒定电流。
(2) 最大温度系数偏移可以为 ±20°C。 建议一个负载点调节来大大减少内置温度传感器的偏移误差。
(3) 限值被限定
(4) 传感器的典型等效阻抗为 51kΩ。 所需的采样时间包括传感器接通时间 $t_{SENSOR（接通）}$。
(5) 无需额外的电流。 在采样期间使用的 V_{MID}。
(6) 接通时间 $t_{VMID（接通）}$包含于采样时间 $t_{VMID（采样）}$ 之中，无需额外的接通时间。

版权 © 2007–2011, Texas Instruments Incorporated

闪存存储器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$V_{CC(PGM/ERASE)}$	编程及擦除电源电压			2.2		3.6	V
f_{FTG}	闪存时序生成器频率			257		476	kHz
I_{PGM}	编程期间来自 V_{CC}的电源电流		2.2V/3.6V		1	5	mA
$I_{擦除}$	擦除期间来自 V_{CC}的电源电流		2.2V/3.6V		1	7	mA
t_{CPT}	累计编程时间(1)		2.2V/3.6V			10	ms
$t_{CMErase}$	累计批量擦除时间		2.2V/3.6V	20			ms
	编程/擦除耐久性			10^4	10^5		周期
$t_{保持}$	数据保持持续时间	T_J=25°C		100			年
$t_{字}$	字或字节编程时间	(2)			30		t_{FTG}
$t_{块，0}$	第一个字节或字的块编程时间	(2)			25		t_{FTG}
$t_{块，1-63}$	用于每个额外字节或字的块编程时间	(2)			18		t_{FTG}
$t_{块，末端}$	块编程末端序列等待时间	(2)			6		t_{FTG}
$t_{批量擦除}$	批量擦除时间	(2)			10593		t_{FTG}
$t_{段擦除}$	段擦除时间	(2)			4819		t_{FTG}

(1) 当对一个 64 字节闪存块进行写入操作时，不得超过累计编程时间。 该参数适用于所有的编程方法：单独字/字节写入及块写入模式。
(2) 这些数值被实线连接至闪存控制器的状态机中 (t_{FTG}=1/f_{FTG})。

RAM

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	最大值	单位
$V_{(RAMh)}$	RAM 保持电源电压(1)	CPU 暂停	1.6		V

(1) 当 RAM 中的数据保持不变时，该参数确定了最小电源电压 V_{CC}。 在该电源电压条件下不应执行任何程序。

JTAG 接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{TCK}	TCK 输入频率	请参阅(1)	2.2V	0		5	MHz
			3V	0		10	
$R_{内部}$	TEST 上的内部下拉电阻值	请参阅(2)	2.2V/3V	25	60	90	kΩ

(1) 可限制 f_{TCK}以满足选定模块的时序要求。
(2) TMS，TDI/TCLK，和 TCK 上拉电阻器在所有版本中执行。

JTAG 熔丝(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

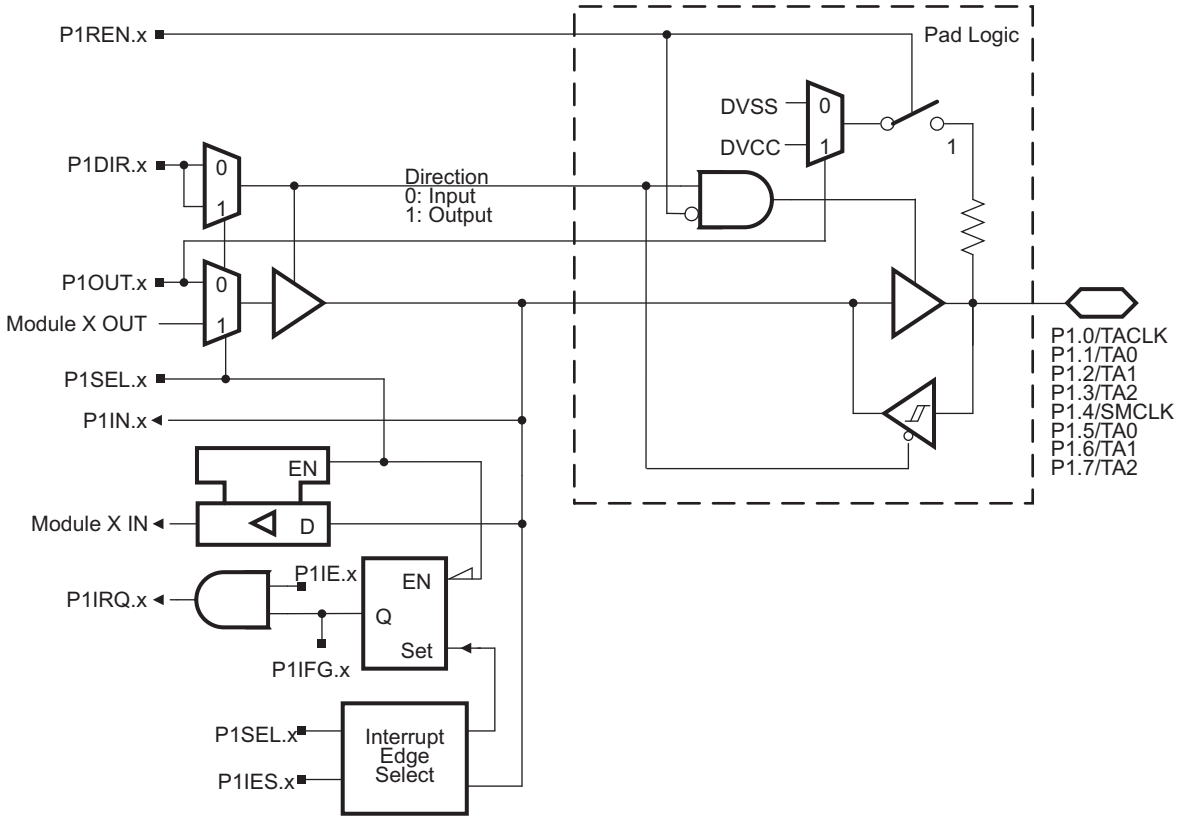
参数		测试条件	最小值	最大值	单位
$V_{CC(FB)}$	熔丝烧断情况下的电源电压	T_A=25°C	2.5		V
V_{FB}	TEST 上针对熔丝烧断的电压电平		6	7	V
I_{FB}	熔丝烧断期间流入 TEST 的电源电流			100	mA
t_{FB}	熔丝烧断的时间			1	ms

(1) 一旦熔丝烧断，则不能继续使用 JTAG/测试、Spy-Bi-Wire，而仿真功能可用，且 JTAG 被切换至旁路模式。

版权 © 2007–2011, Texas Instruments Incorporated

应用信息

端口 **P1** 引脚电路原理图：**P1.0** 至 **P1.7**，采用施密特触发器的输入/输出



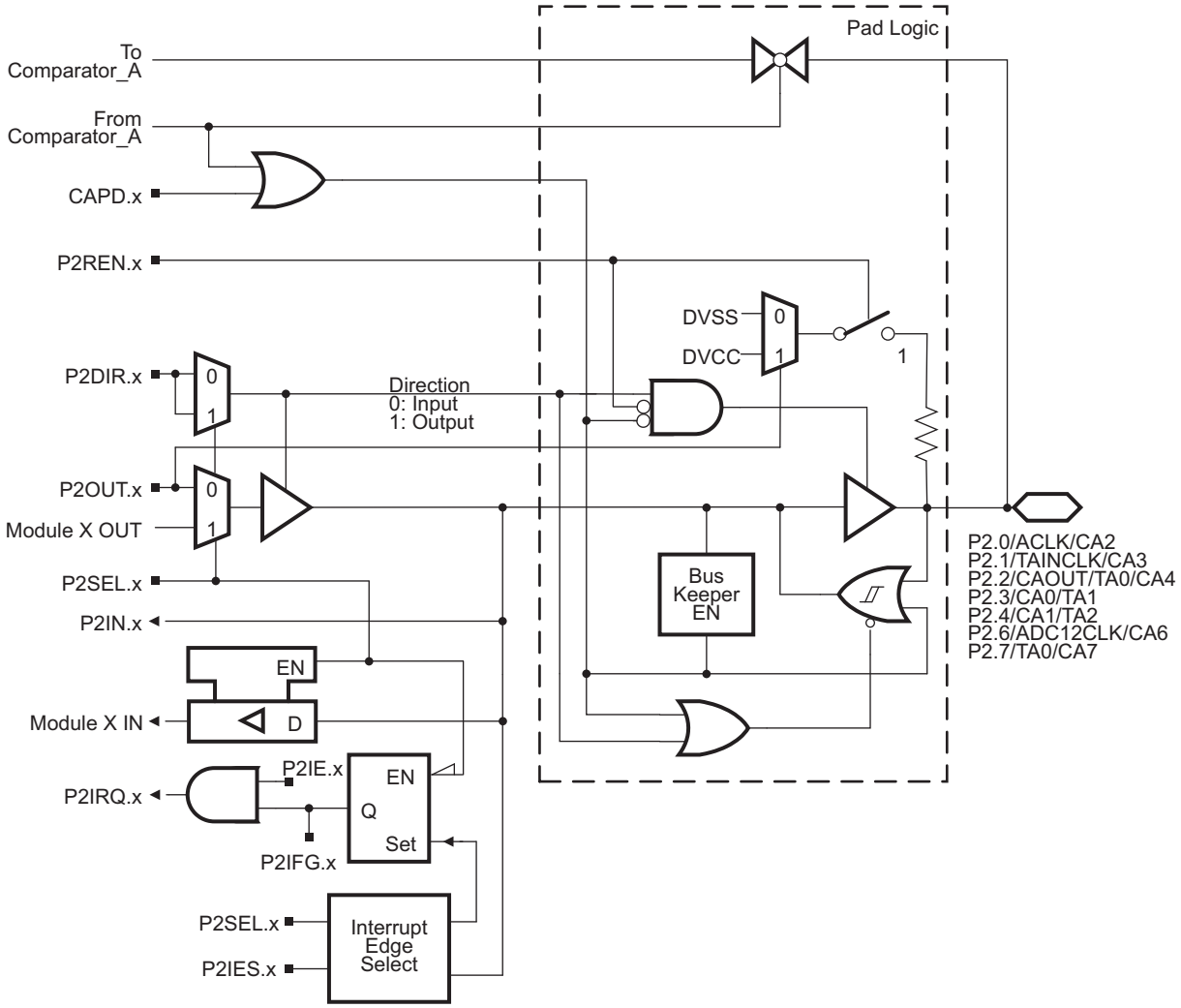
版权 © 2007–2011, Texas Instruments Incorporated

表 **20.** 端口 **P1.0** 至 **P1.7** 引脚功能

引脚名称 **(P1.x)**	**x**	功能	控制位/信号	
			P1DIR.x	**P1SEL.x**
P1.0/TACLK	0	P1.0 (I/O)	I：0；O：1	0
		Timer_A3.TACLK	0	1
		CAOUT	1	1
P1.1/TA0	1	P1.1 (I/O)	I：0；O：1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.2/TA1	2	P1.2 (I/O)	I：0；O：1	0
		Timer_A3.CCI1A	0	1
		Timer_A3.TA1	1	1
P1.3/TA2	3	P1.3 (I/O)	I：0；O：1	0
		Timer_A3.CCI2A	0	1
		Timer_A3.TA2	1	1
P1.4/SMCLK	4	P1.4 (I/O)	I：0；O：1	0
		SMCLK	1	1
P1.5/TA0	5	P1.5 (I/O)	I：0；O：1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.6/TA1	6	P1.6 (I/O)	I：0；O：1	0
		Timer_A3.CCI1A	0	1
		Timer_A3.TA1	1	1
P1.7/TA2	7	P1.7 (I/O)	I：0；O：1	0
		Timer_A3.CCI2A	0	1
		Timer_A3.TA2	1	1

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P2** 引脚电路原理图：**P2.0** 至 **P2.4**，**P2.6**，和 **P2.7**，采用施密特触发器的输入/输出



版权 © 2007–2011, Texas Instruments Incorporated

表 **21.** 端口 **P2.0** 至 **P2.4**，**P2.6**，和 **P2.7** 引脚功能

引脚名称 **(P2.x)**	**x**	功能	控制位/信号(1)		
			CAPD.x	**P2DIR.x**	**P2SEL.x**
P2.0/ACLK/CA2	0	P2.0 (I/O)	0	I：0；O：1	0
		ACLK	0	1	1
		CA2	1	X	X
P2.1/TAINCLK/CA3	1	P2.1 (I/O)	0	I：0；O：1	0
		Timer_A3.INCLK	0	0	1
		DV_{SS}	0	1	1
		CA3	1	X	X
P2.2/CAOUT/TA0/CA4	2	P2.2 (I/O)	0	I：0；O：1	0
		CAOUT	0	1	1
		TA0	0	0	1
		CA4	1	X	X
P2.3/CA0/TA1	3	P2.3 (I/O)	0	I：0；O：1	0
		Timer_A3.TA1	0	1	1
		CA0	1	X	X
P2.4/CA1/TA2	4	P2.4 (I/O)	0	I：0；O：1	0
		Timer_A3.TA2	0	1	X
		CA1	1	X	1
P2.6/ADC12CLK(2)/CA6	6	P2.6 (I/O)	0	I：0；O：1	0
		ADC12CLK(2)	0	1	1
		CA6	1	X	X
P2.7/TA0/CA7	7	P2.7 (I/O)	0	I：0；O：1	0
		Timer_A3.TA0	0	1	1
		CA7	1	X	X

(1) X = 无关值
(2) 只适用于 MSP430F24x 和 MSP430F23x 器件。

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P2** 引脚电路原理图：**P2.5**，采用施密特触发器的输入/输出

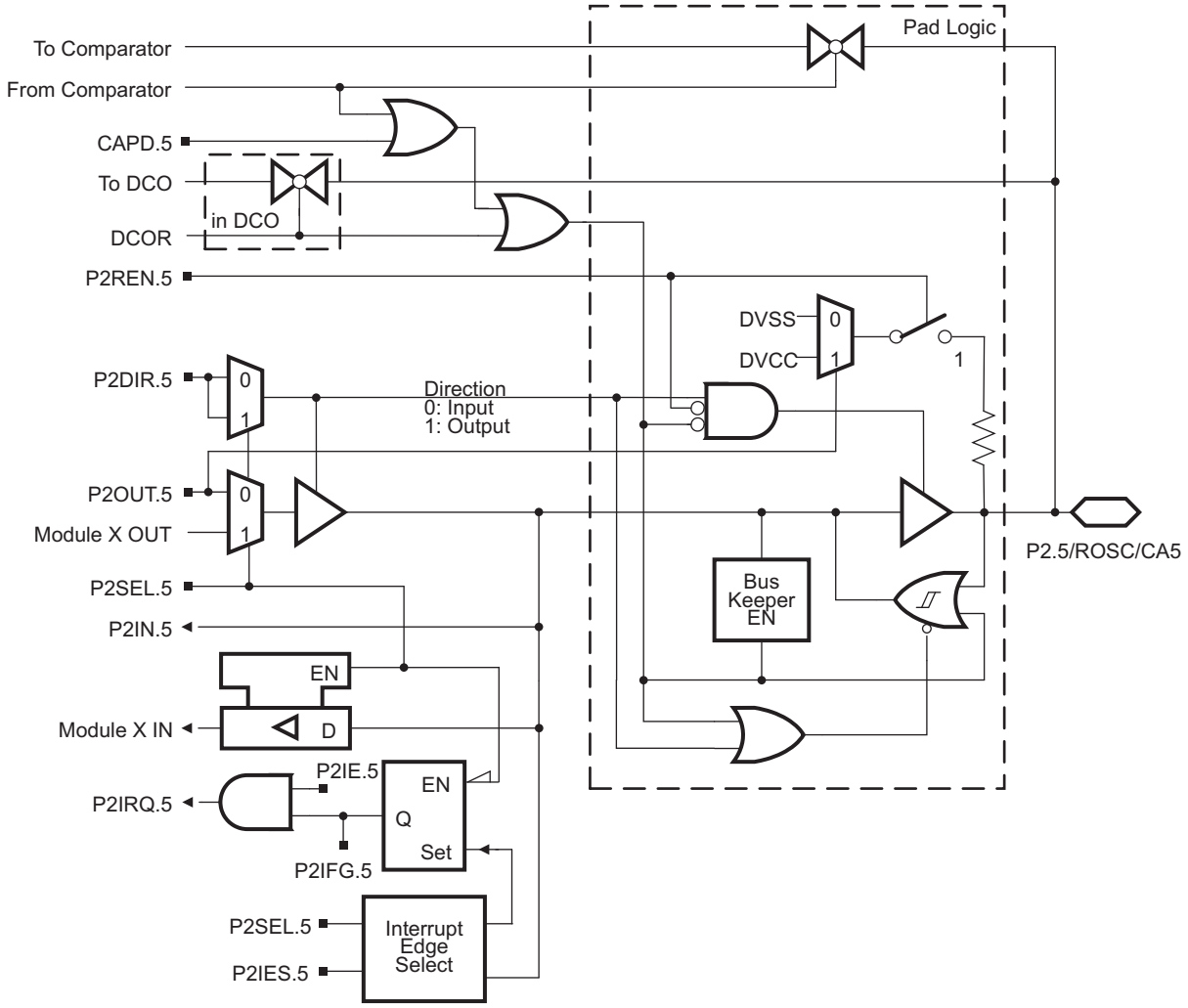


表 **22.** 端口 **P2.5** 引脚功能

引脚名称 **(P2.x)**	**x**	功能	控制位/信号(1)			
			CAPD	**DCOR**	**P2DIR.5**	**P2SEL.5**
P2.5/R_{OSC}/CA5	5	P2.5 (I/O)	0	0	I：0；O：1	0
		R_{OSC}	0	1	X	X
		DV_{SS}	0	0	1	1
		CA5	1 或者被选择的值	0	X	X

(1) X = 无关值

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P3** 引脚电路原理图：**P3.0** 至 **P3.7**，采用施密特触发器的输入/输出

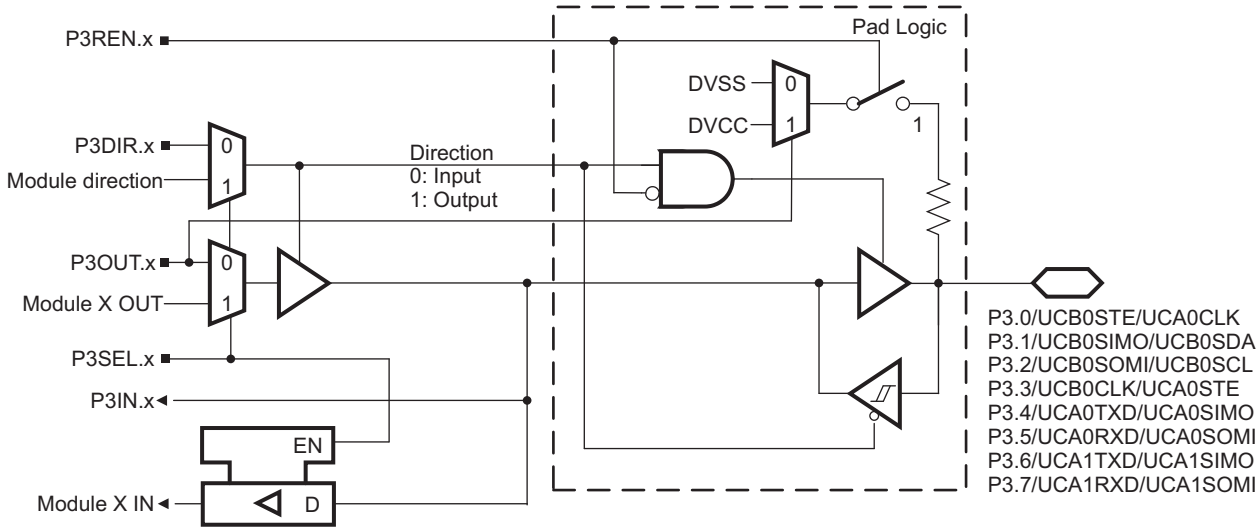


表 **23.** 端口 **P3.0** 至 **P3.7** 引脚功能

引脚名称 **(P3.x)**	**x**	功能	控制位/信号(1)	
			P3DIR.x	**P3SEL.x**
P3.0/UCB0STE/UCA0CLK	0	P3.0 (I/O)	I：0；O：1	0
		UCB0STE/UCA0CLK(2)(3)	X	1
P3.1/UCB0SIMO/UCB0SDA	1	P3.1 (I/O)	I：0；O：1	0
		UCB0SIMO/UCB0SDA(2)(4)	X	1
P3.2/UCB0SOMI/UCB0SCL	2	P3.2 (I/O)	I：0；O：1	0
		UCB0SOMI/UCB0SCL(2)(4)	X	1
P3.3/UCB0CLK/UCA0STE	3	P3.3 (I/O)	I：0；O：1	0
		UCB0CLK/UCA0STE(2)	X	1
P3.4/UCA0TXD/UCA0SIMO	4	P3.4 (I/O)	I：0；O：1	0
		UCA0TXD/UCA0SIMO(2)	X	1
P3.5/UCA0RXD/UCA0SOMI	5	P3.5 (I/O)	I：0；O：1	0
		UCA0RXD/UCA0SOMI(2)	X	1
P3.6/UCA1TXD(5)/UCA1SIMO(5)	6	P3.6 (I/O)	I：0；O：1	0
		UCA1TXD(5)/UCA1SIMO(5)(2)	X	1
P3.7/UCA1RXD(5)/UCA1SOMI(5)	7	P3.7 (I/O)	I：0；O：1	0
		UCA1RXD(5)/UCA1SOMI(5)(2)	X	1

(1) X = 无关值
(2) 这个引脚方向由 USCI 模块控制。
(3) UCA0CLK 功能优先于 UCB0STE 功能。 如果要求引脚作为 UCACLK 输入或者输出，并且 4 线制 SPI 模式被选择的话，USCI A0/B0 被强制为 3 线制 SPI 模式。
(4) 如果选择了 I^2C 功能，输出只将逻辑 0 驱动至 V_{SS}电平。
(5) 只适用于 MSP430F24x 和 MSP430F24x1 器件。

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P4** 引脚电路原理图：**P4.0** 至 **P4.7**，采用施密特触发器的输入/输出

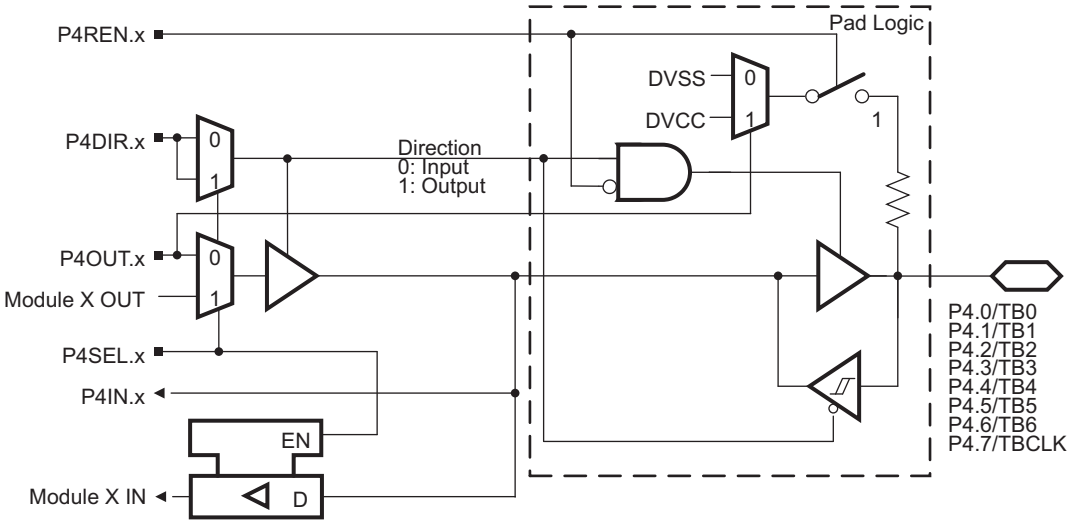


表 **24.** 端口 **P4.0** 至 **P4.7** 引脚功能

引脚名称 **(P4.x)**	**x**	功能	控制位/信号	
			P4DIR.x	**P4SEL.x**
P4.0/TB0	0	P4.0 (I/O)	I：0；O：1	0
		Timer_B7.CCI0A 和 Timer_B7.CCI0B	0	1
		Timer_B7.TB0	1	1
P4.1/TB1	1	P4.1 (I/O)	I：0；O：1	0
		Timer_B7.CCI1A 和 Timer_B7.CCI1B	0	1
		Timer_B7.TB1	1	1
P4.2/TB2	2	P4.2 (I/O)	I：0；O：1	0
		Timer_B7.CCI2A 和 Timer_B7.CCI2B	0	1
		Timer_B7.TB2	1	1
P4.3/TB3(1)	3	P4.3 (I/O)	I：0；O：1	0
		Timer_B7.CCI3A 和 Timer_B7.CCI3B(1)	0	1
		Timer_B7.TB3(1)	1	1
P4.4/TB4(1)	4	P4.4 (I/O)	I：0；O：1	0
		Timer_B7.CCI4A 和 Timer_B7.CCI4B(1)	0	1
		Timer_B7.TB4(1)	1	1
P4.5/TB5(1)	5	P4.5 (I/O)	I：0；O：1	0
		Timer_B7.CCI5A 和 Timer_B7.CCI5B(1)	0	1
		Timer_B7.TB5(1)	1	1
P4.6/TB6(1)	6	P4.6 (I/O)	I：0；O：1	0
		Timer_B7.CCI6A 和 Timer_B7.CCI6B(1)	0	1
		Timer_B7.TB6(1)	1	1
P4.7/TBCLK	7	P4.7 (I/O)	I：0；O：1	0
		Timer_B7.TBCLK	0	1

(1) 只适用于 MSP430F24x 和 MSP430F24x1 器件。

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P5** 引脚电路原理图：**P5.0** 至 **P5.3**，采用施密特触发器的输入/输出

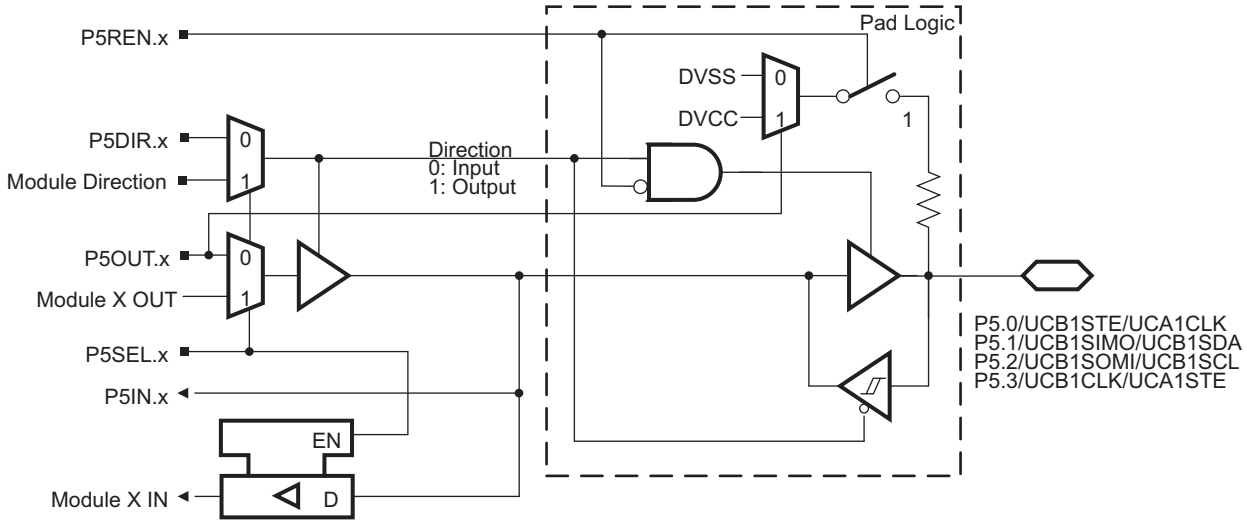


表 **25.** 端口 **P5.0** 至 **P5.3** 引脚功能

引脚名称 **(P5.x)**	**x**	功能	控制位/信号 (1)	
			P5DIR.x	**P5SEL.x**
P5.0/UCB1STE (2)/UCA1CLK (2)	0	P5.0 (I/O)	I：0；O：1	0
		UCB1STE (2)/UCA1CLK (2)(3)(4)	X	1
P5.1/UCB1SIMO (2)/UCB1SDA (2)	1	P5.1 (I/O)	I：0；O：1	0
		UCB1SIMO (2)/UCB1SDA (2)(3)(5)	X	1
P5.2/UCB1SOMI (2)/UCB1SCL (2)	2	P5.2 (I/O)	I：0；O：1	0
		UCB1SOMI (2)/UCB1SCL (2)(3)(5)	X	1
P5.3/UCB1CLK (2)/UCA1STE (2)	3	P5.3 (I/O)	I：0；O：1	0
		UCB1CLK (2)/UCA1STE (2)(3)	X	1

(1) X = 无关值
(2) 只适用于 MSP430F24x 和 MSP430F24x1 器件。
(3) 这个引脚方向由 USCI 模块控制。
(4) UCA0CLK 功能优先于 UCB0STE 功能。 如果要求引脚作为 UCACLK 输入或者输出，并且 4 线制 SPI 模式被选择的话，USCI A0/B0 被强制为 3 线制 SPI 模式。
(5) 如果选择了 I^2C 功能，输出只将逻辑 0 驱动至 V_{SS}电平。

端口 **P5** 引脚电路原理图：**P5.4** 至 **P5.7**，采用施密特触发器的输入/输出

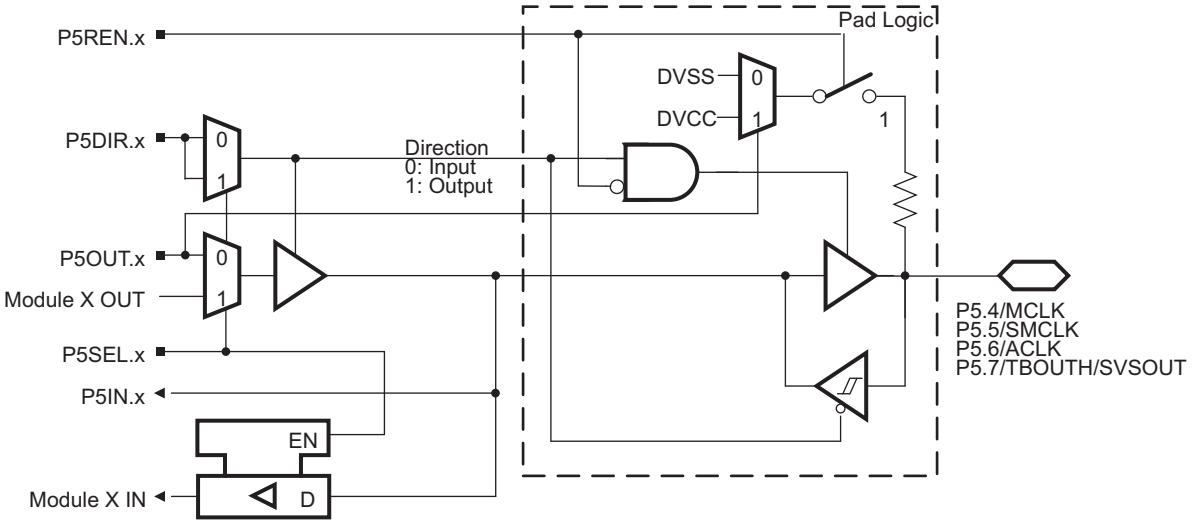


表 **26.** 端口 **P5.4** 至 **P5.7** 引脚功能

引脚名称 **(P5.x)**	**x**	功能	控制位/信号	
			P5DIR.x	**P5SEL.x**
P5.4/MCLK	4	P5.4 (I/O)	I：0；O：1	0
		MCLK	1	1
P5.5/SMCLK	5	P5.5 (I/O)	I：0；O：1	0
		SMCLK	1	1
P5.6/ACLK	6	P5.6 (I/O)	I：0；O：1	0
		ACLK	1	1
P5.7/TBOUTH/SVSOUT	7	P5.7 (I/O)	I：0；O：1	0
		Timer_B7.TBOUTH	0	1
		SVSOUT	1	1

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P6** 引脚电路原理图：**P6.0** 至 **P6.6**，采用施密特触发器的输入/输出

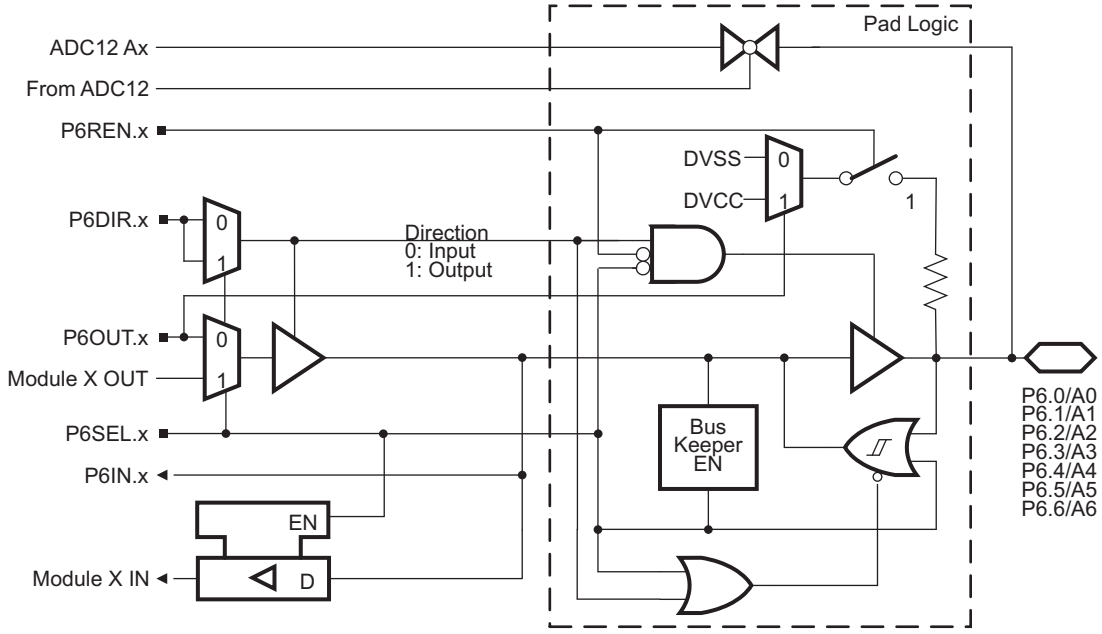


表 **27.** 端口 **P6.0** 至 **P6.6** 引脚功能

引脚名称 **(P6.x)**	**x**	功能	控制位/信号(1)	
			P6DIR.x	**P6SEL.x**
P6.0/A0(2)	0	P5.0 (I/O)	I：0；O：1	0
		A0(2)	X	1
P6.1/A1(2)	1	P5.1 (I/O)	I：0；O：1	0
		A1(2)	X	1
P6.2/A2(2)	2	P5.2 (I/O)	I：0；O：1	0
		A2(2)	X	1
P6.3/A3(2)	3	P5.3 (I/O)	I：0；O：1	0
		A3(2)	X	1
P6.4/A4(2)	4	P5.4 (I/O)	I：0；O：1	0
		A4(2)	X	1
P6.5/A5(2)	5	P5.5 (I/O)	I：0；O：1	0
		A5(2)	X	1
P6.6/A6(2)	6	P6.6 (I/O)	I：0；O：1	0
		A6(2)	X	1

(1) X = 无关值
(2) 只适用于 MSP430F24x 和 MSP430F23x 器件。

版权 © 2007–2011, Texas Instruments Incorporated

端口 **P6** 引脚电路原理图：**P6.7**，采用施密特触发器的输入/输出

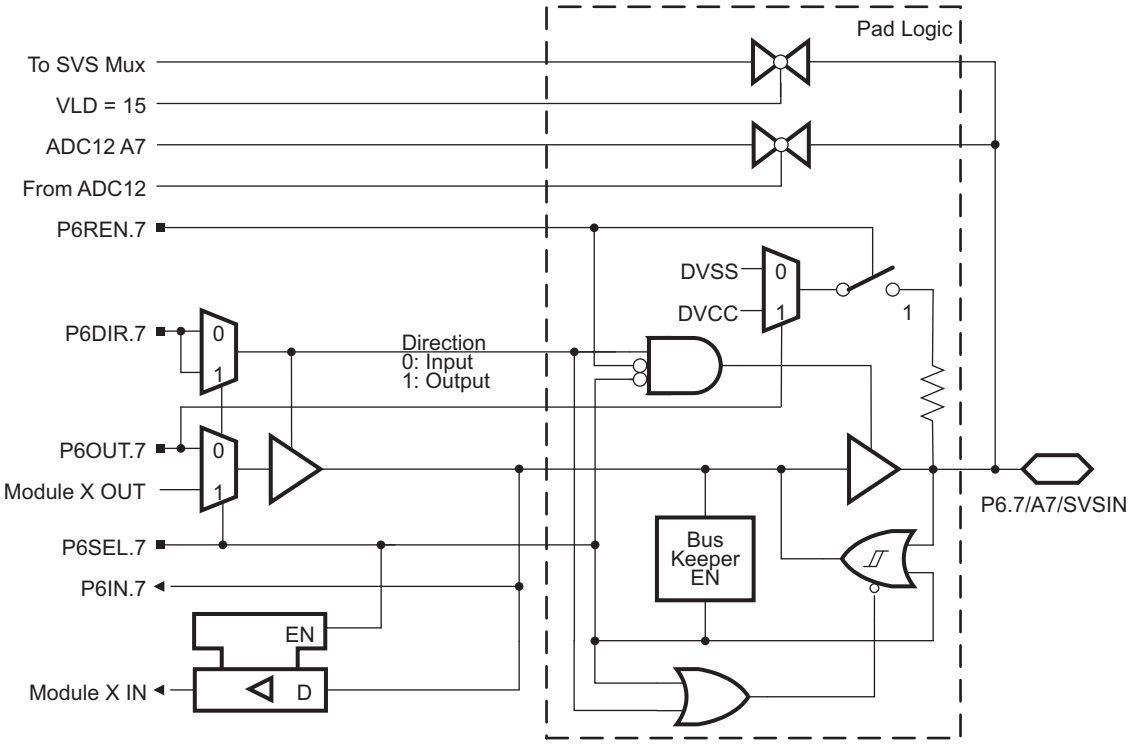


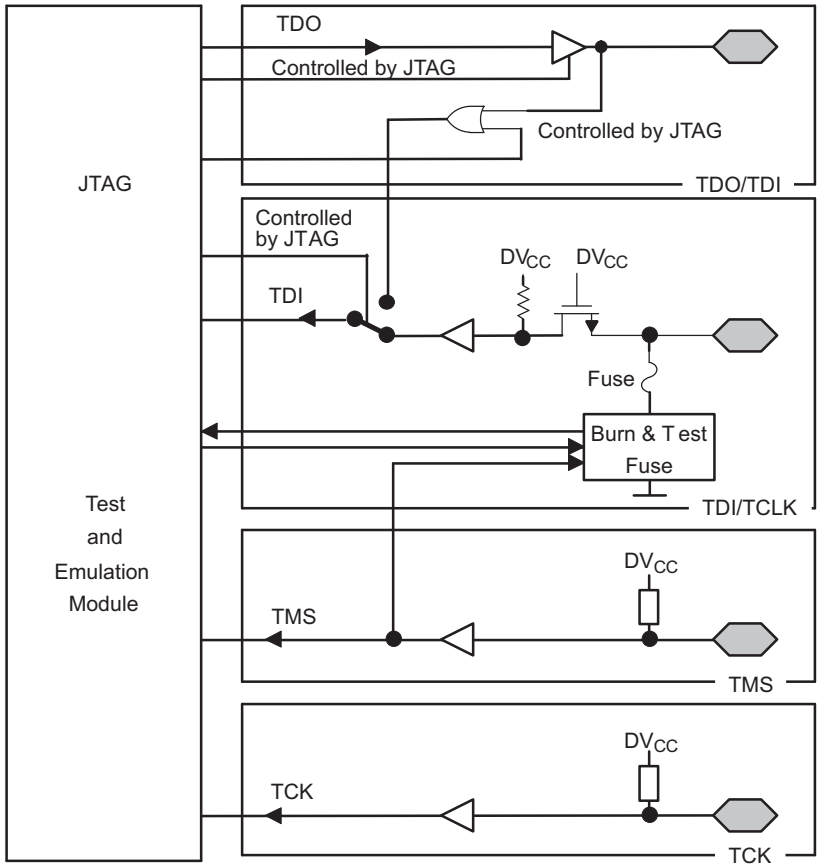
表 **28.** 端口 **P6.7** 引脚功能

引脚名称 **(P6.x)**	**x**	功能	控制位/信号(1)		
			P6DIR.x	**P6SEL.x**	**INCHy**
P6.7/A7/SVSIN	7	P6.7 (I/O)	I：0；O：1	0	0
		DV_{SS}	1	1	0
		A7(2)	X	X	1 (y = 7)
		SVSIN (VLD=15)	X	X	1

(1) X = 无关值
(2) 只适用于 MSP430F24x 和 MSP430F23x 器件。

版权 © 2007–2011, Texas Instruments Incorporated

JTAG 引脚 (TMS，TCK，TDI/TCLK，TDO/TDI)，带有施密特触发器的输入/输出



During Programming Activity and During Blowing of the Fuse, Pin TDO/TDI Is Used to Apply the Test Input Data for JTAG Circuitry

JTAG 熔丝检查模式

在 TEST 端子上带有熔丝的 MSP430 器件有一个熔丝检查模式，此模式在一个加电复位 (POR) 之后首次访问 JTAG 端口时测试熔丝的连续性。 当被激活时，一个熔丝检查电流，I_{TF}，如果熔丝未被烧断的话，3V 时 1mA 电流，5V 时 2.5mA 电流可从 TEST 引脚流到接地。 在进行这些操作时必须小心以避免意外地激活熔丝检查模式并且减少总体系统功耗。

当 TEST 引脚在一个测试或者编程会话后重新变为低电平，熔丝检查模式和电流感测被终止。

熔丝检查模式在加电后 TMS 引脚上的第一个负边沿或者 TMS 在加电期间被保持在低电平时激活。 TMS 引脚上的第二个正边沿使熔丝检查模式无效。 被置成无效后，在另外一个 POR 发生之前，熔丝检查模式保持非激活。 在每个 POR 之后，熔丝检查模式具有将被激活的电位。

只有当熔丝检查模式激活并且 TMS 引脚处于低电平状态时，熔丝检查电流流动（请见图 42）。 因此，将 TMS 引脚保持在高点平（缺省条件）可防止额外的电流。

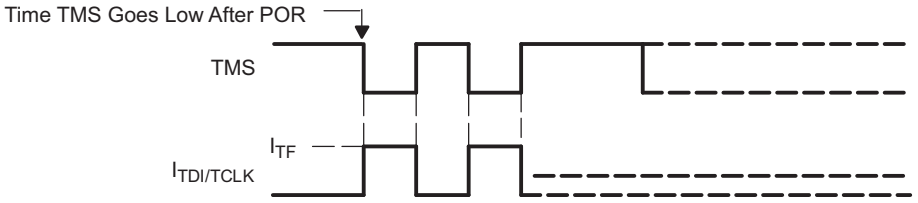


图 **42.** 熔丝检查模式电流

注

如果 JTAG 熔丝被熔断并且 256 位引导加载程序访问密钥被使用的话，可确保 CODE 和 RAM 数据保护。 此外，更多信息请见 引导加载程序部分。

版权 © 2007–2011, Texas Instruments Incorporated

修订历史记录

文献编号	概要
SLAS547	产品预览发布
SLAS547A	生产数据发布
SLAS547B	在“端子功能 - MSP430F23x”中更正了引脚 34 和 35 的端子名称和说明（第 9 页） 更正了“端子功能 - MSP430F24x1”中引脚 13，14，和 15 的端子名称（第 13 页） 更正了“中断矢量地址”表中 USCI_A1/USCI_B1 的中断源和标志条目（第 17 页） 将图表中 23 至 26 的索引值从 1-3 改为 0-2 （第 52 页和 54 页） 改变了“USCI（UART 模式）”表中的 $f_{最大值，BITCLK}$和 t_{τ}参数（第 56 页） 更正了“端口 P1.0 至 P1.7 引脚功能”表（第 72 页） 删除了“端口 P6.0 至 P6.6 引脚功能”表中不正确的 CAPD.x 列（第 80 页）
SLAS547C	添加了开发工具支持部分（第 2 页） 更新了“不含外部电流的进入 V_{CC}的低功耗模式电源电流”表（第 34 页）中的参数值
SLAS547D	更新了注释和 $t_{CMErase}$最小值“闪存存储器”表（第 34 页）
SLAS547E	改变了 $t_{d(SVSon)}$参数上的限值（第 41 页）
SLAS547F	改变了“端口 P6.0 至 P6.6 引脚功能”表（第 77 页） 改变了“端口 P6.7 引脚功能”表（第 78 页）
SLAS547G	在 绝对最大额定值中，将 T_{stg}，已编程器件，改为 -55°C 至 150°C
SLAS547H	更正了 有源模式电源电流（$I_{AM，1MHz}$参数）和 低功耗模式电源电流（$I_{LPM0，1MHz}$和 $I_{LPM0，100kHz}$参数）中的 T_A列的格式错误

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430F233TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F233T REV #	Samples
MSP430F233TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F233T REV #	Samples
MSP430F233TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F233T	Samples
MSP430F233TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F233T	Samples
MSP430F235TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F235T REV #	Samples
MSP430F235TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F235T REV #	Samples
MSP430F235TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F235T	Samples
MSP430F235TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F235T	Samples
MSP430F2410TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2410T REV #	Samples
MSP430F2410TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2410T REV #	Samples
MSP430F2410TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2410T	Samples
MSP430F2410TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2410T	Samples
MSP430F2471TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2471T REV #	Samples
MSP430F2471TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2471T REV #	Samples
MSP430F2471TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2471T	Samples
MSP430F2471TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2471T	Samples
MSP430F247TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F247T REV #	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430F247TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F247T REV #	Samples
MSP430F247TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F247T	Samples
MSP430F247TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F247T	Samples
MSP430F2481TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2481T REV #	Samples
MSP430F2481TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2481T REV #	Samples
MSP430F2481TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2481T	Samples
MSP430F2481TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2481T	Samples
MSP430F248TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F248T REV #	Samples
MSP430F248TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F248T REV #	Samples
MSP430F248TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F248T	Samples
MSP430F248TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F248T	Samples
MSP430F2491TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2491T REV #	Samples
MSP430F2491TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2491T REV #	Samples
MSP430F2491TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2491T	Samples
MSP430F2491TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F2491T	Samples
MSP430F249TPM	ACTIVE	LQFP	PM	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F249T REV #	Samples
MSP430F249TPMR	ACTIVE	LQFP	PM	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F249T REV #	Samples
MSP430F249TRGCR	ACTIVE	VQFN	RGC	64	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F249T	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430F249TRGCT	ACTIVE	VQFN	RGC	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 105	M430F249T	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check http://www.ti.com/productcontent for the latest availability information and additional product content details.
TBD: The Pb-Free/Green conversion plan has not been defined.
Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.
Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSP430F249 :

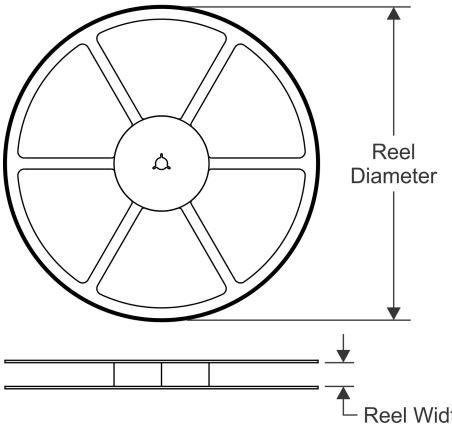
- Enhanced Product: MSP430F249-EP

NOTE: Qualified Version Definitions:

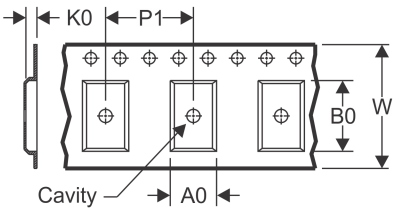
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

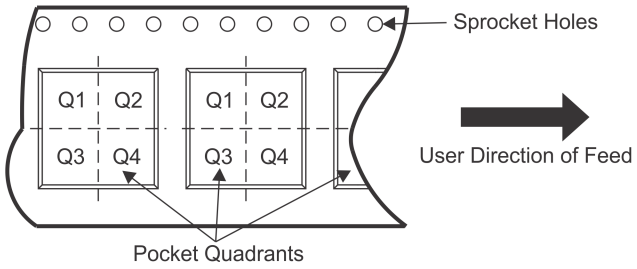


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

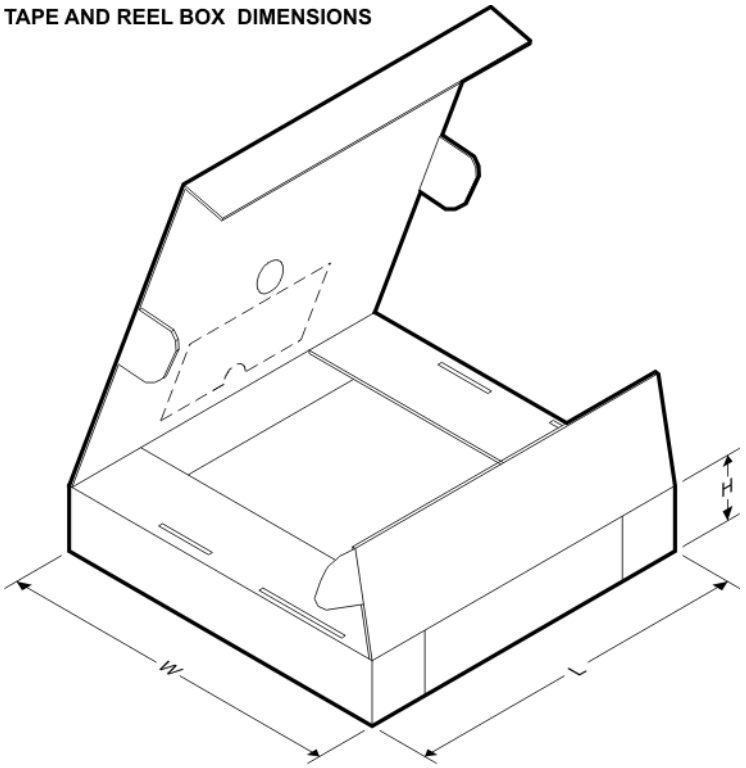


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F233TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F233TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F235TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F235TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F2410TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F2410TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F2471TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F2471TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F247TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F247TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F2481TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F2481TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F248TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F248TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F2491TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F2491TRGCR	VQFN	RGC	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F2491TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F249TPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F249TRGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F233TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F233TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F235TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F235TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F2410TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F2410TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F2471TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F2471TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F247TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F247TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F2481TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F2481TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F248TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F248TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F2491TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F2491TRGCR	VQFN	RGC	64	2500	367.0	367.0	38.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F2491TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0
MSP430F249TPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F249TRGCT	VQFN	RGC	64	250	210.0	185.0	35.0

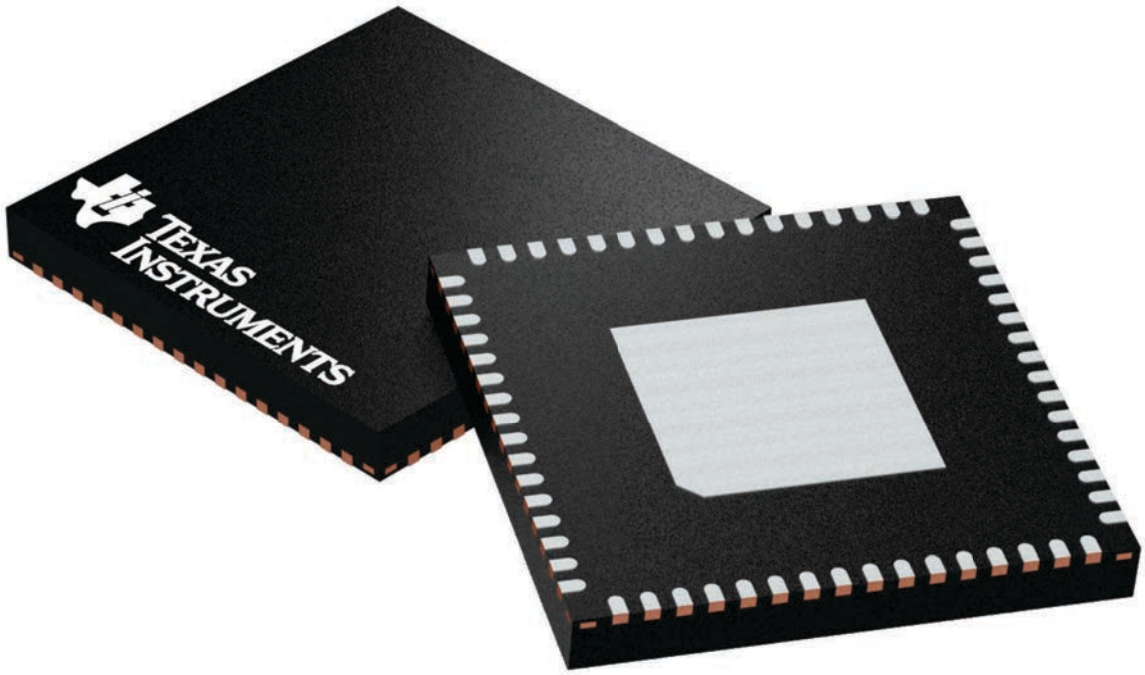
GENERIC PACKAGE VIEW

RGC 64

VQFN - 1 mm max height

9 x 9, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

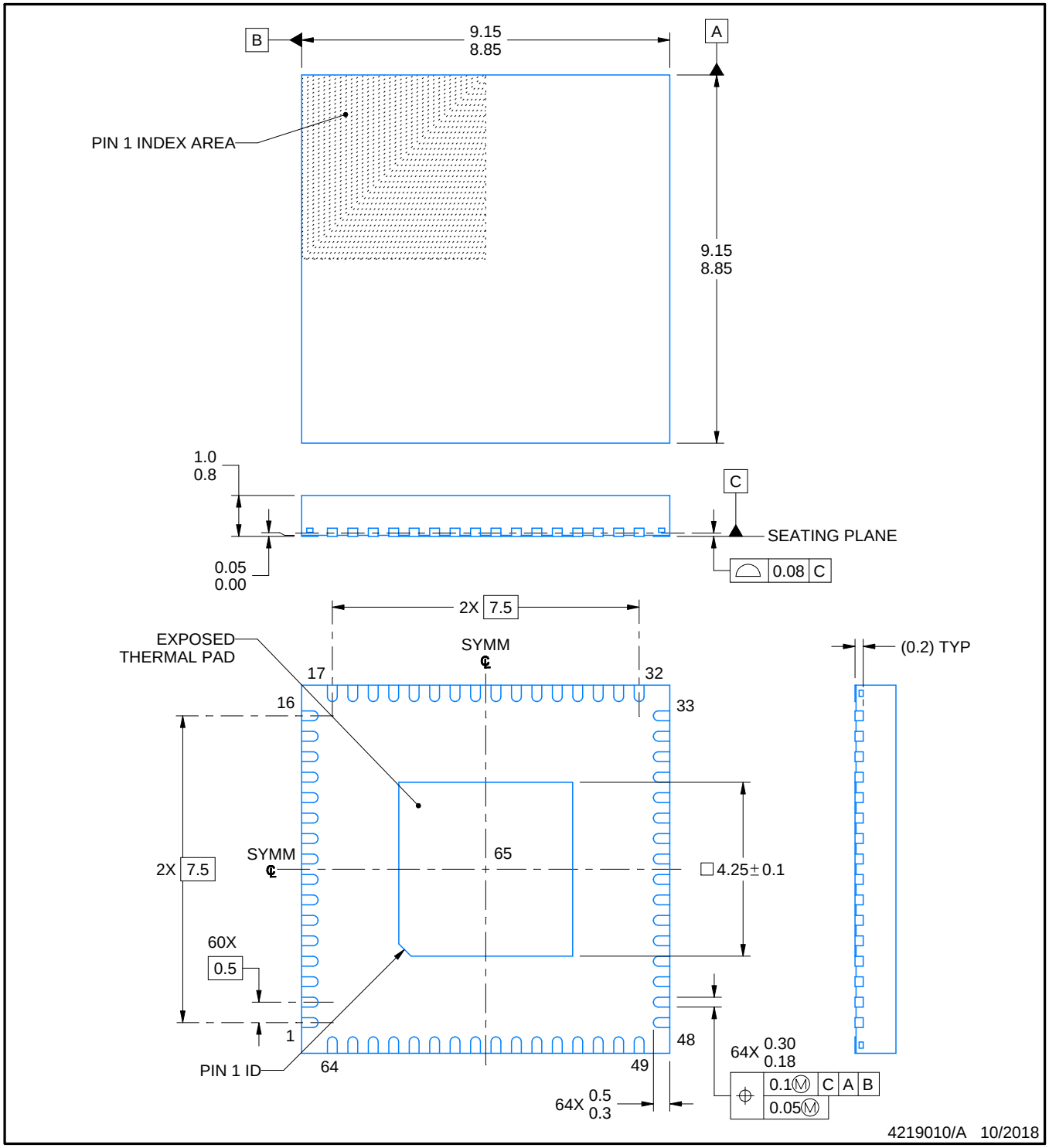
4224597/A

PACKAGE OUTLINE

RGC0064B

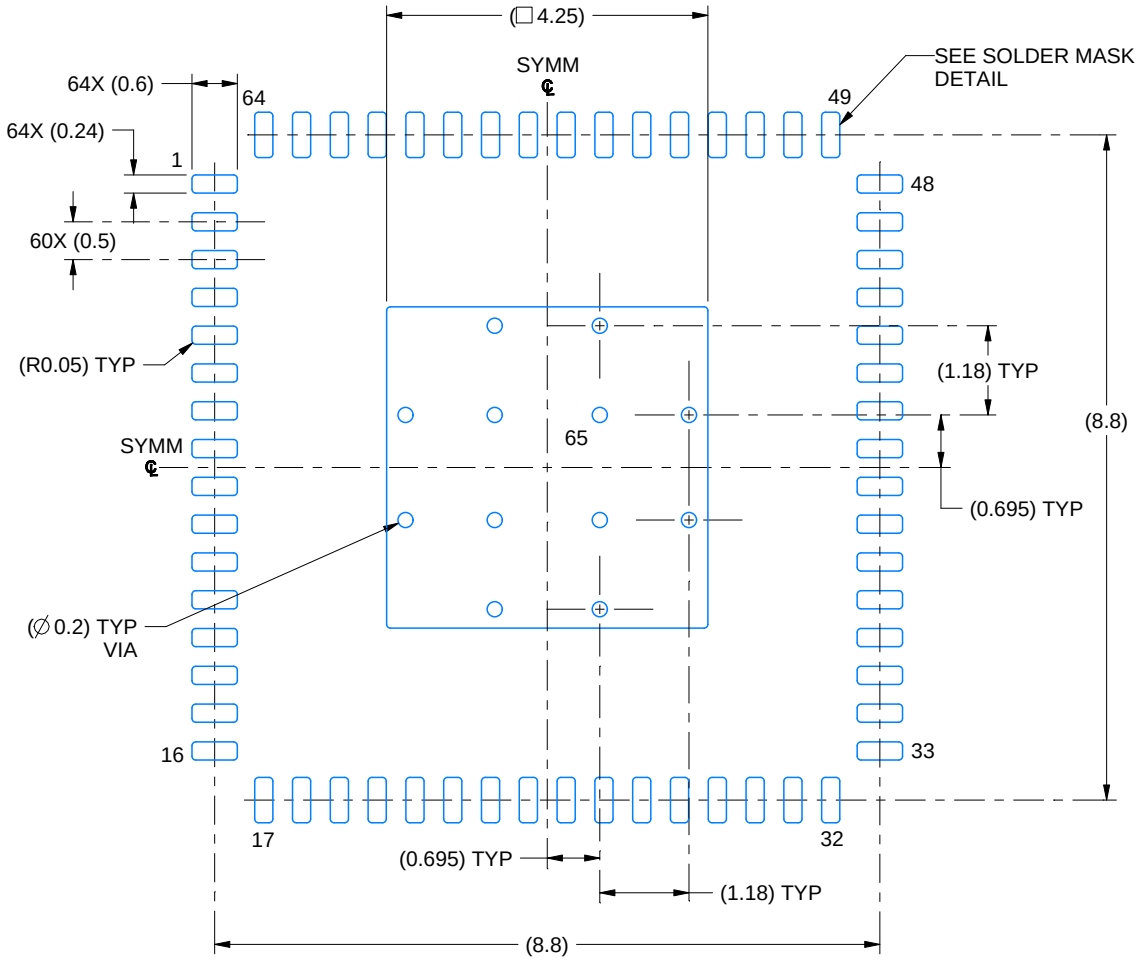
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

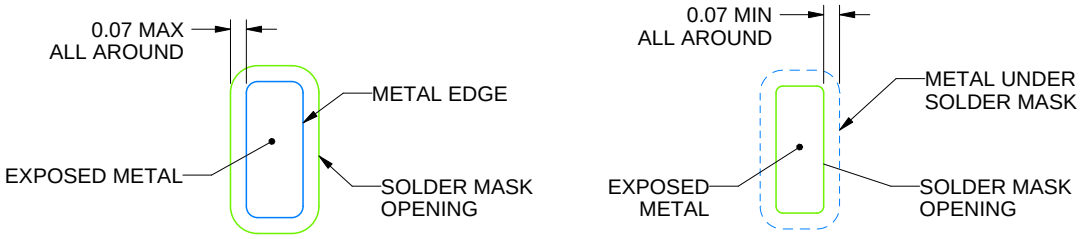


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

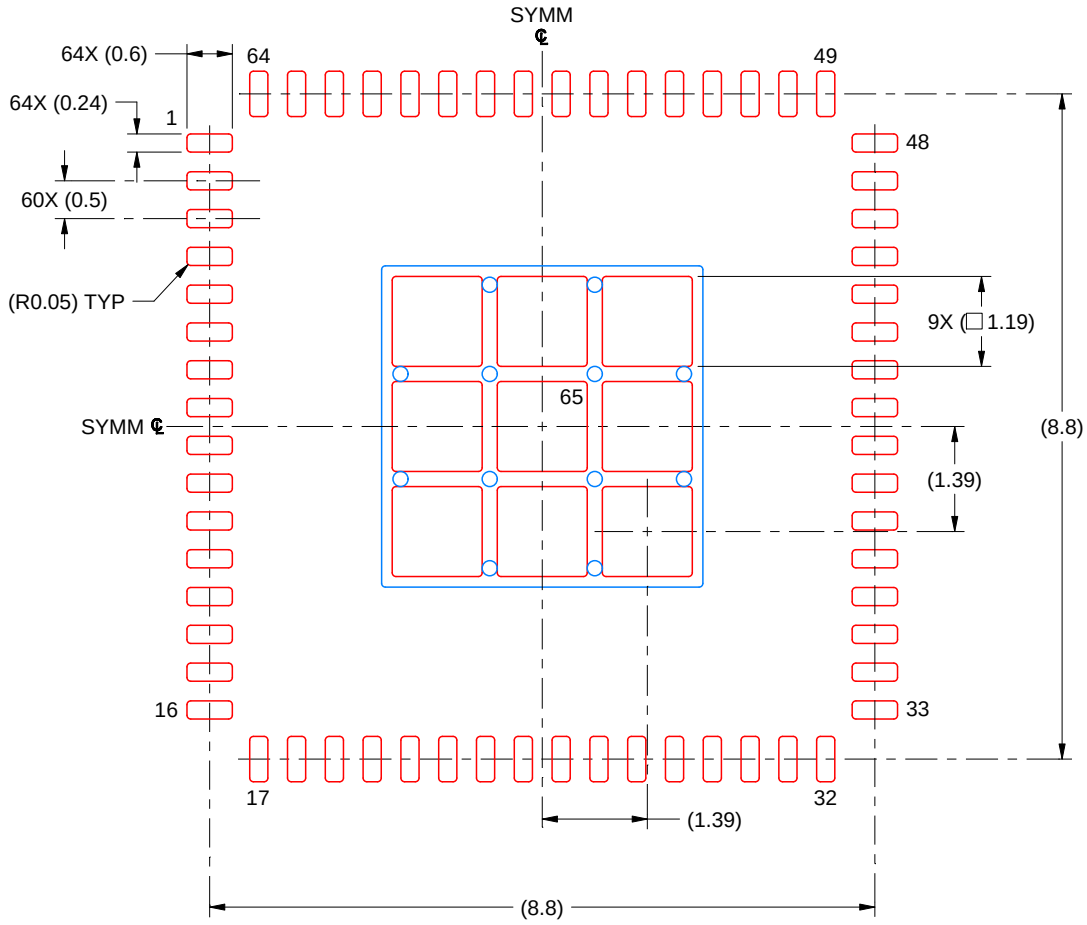


SOLDER MASK DETAILS

4219010/A 10/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

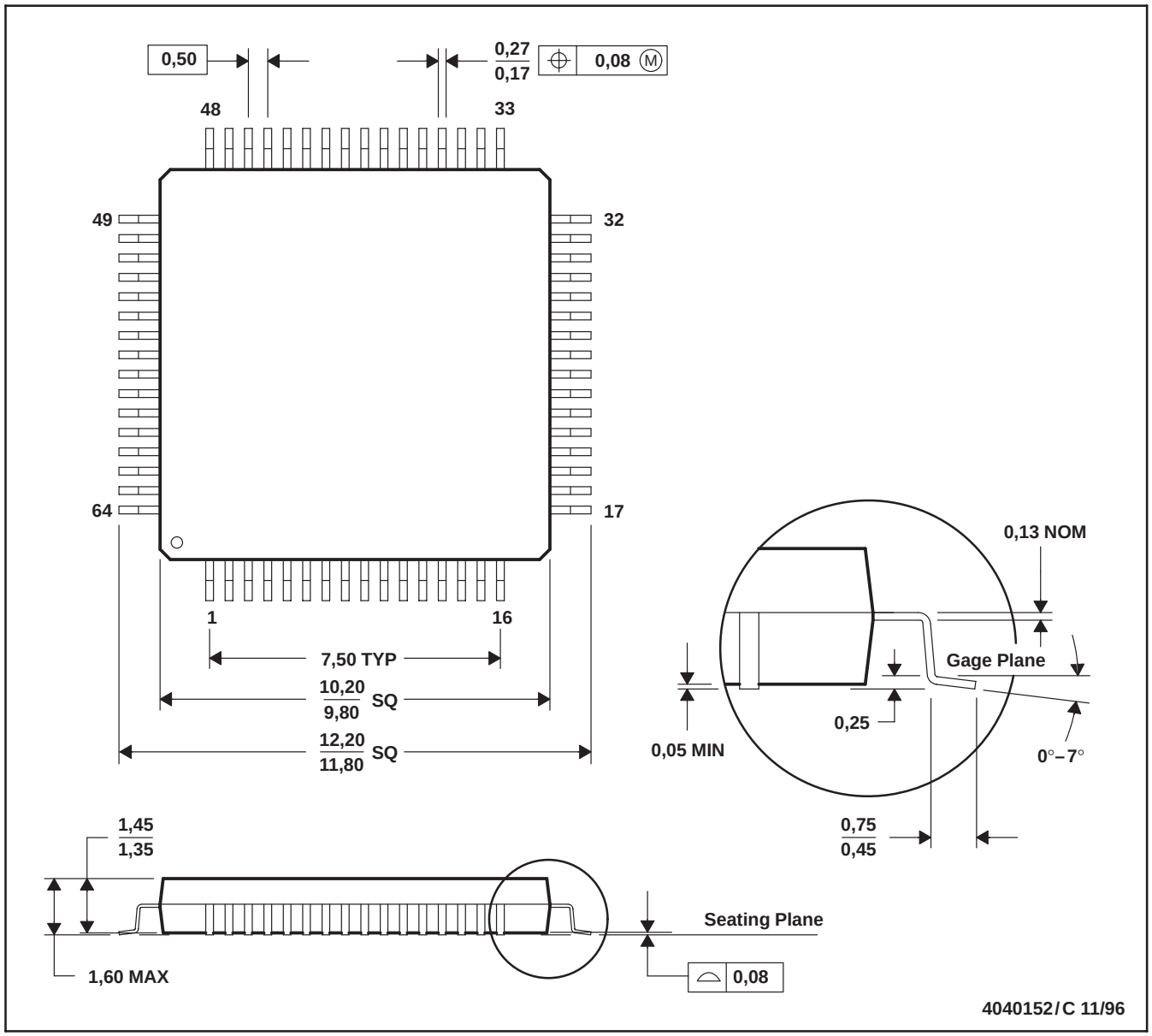
EXPOSED PAD 65
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219010/A 10/2018

NOTES: (continued)

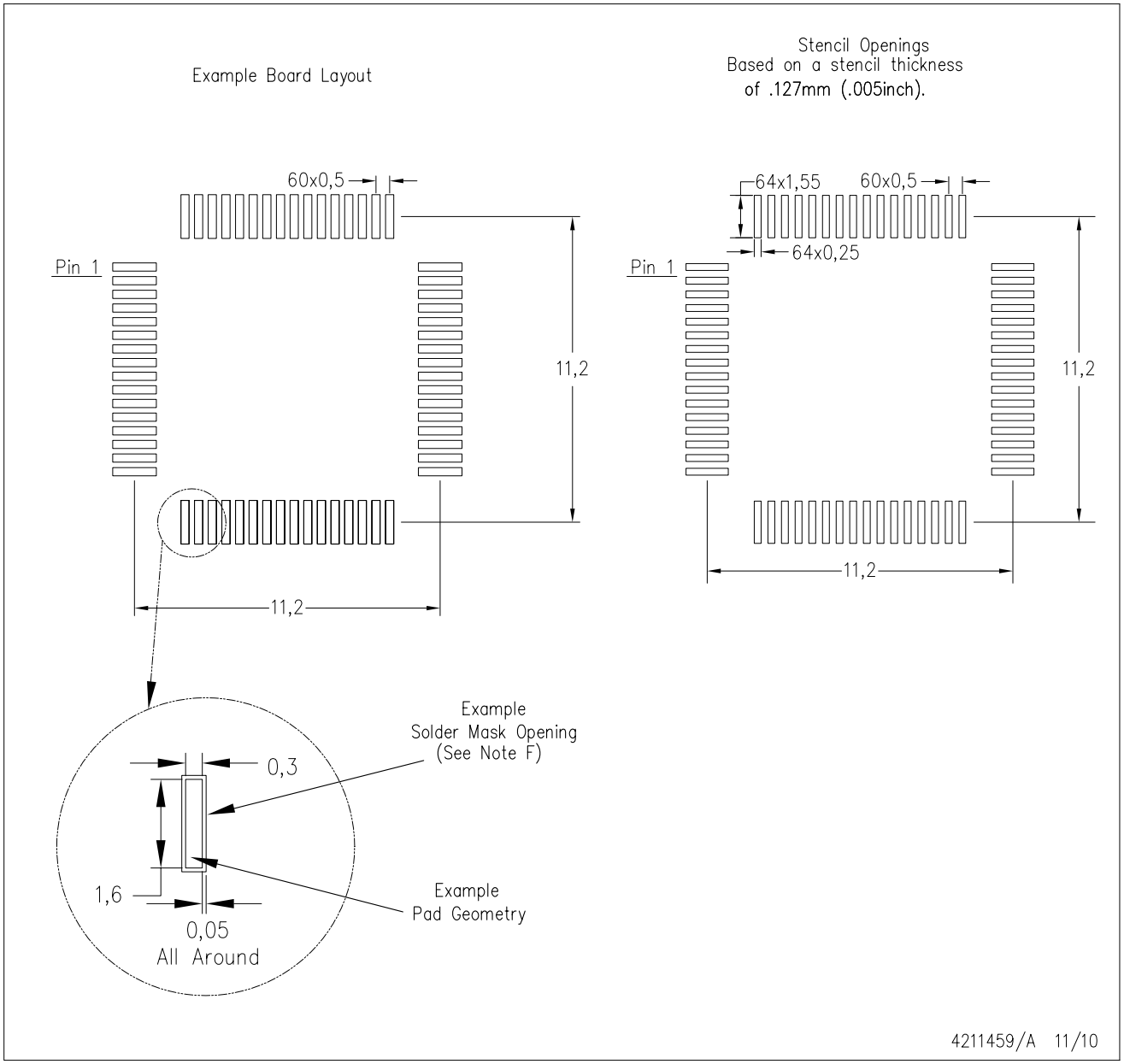
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PM (S-PQFP-G64) **PLASTIC QUAD FLATPACK**



NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS-026
D. May also be thermally enhanced plastic with leads connected to the die pads.

PM (S–PQFP–G64) PLASTIC QUAD FLATPACK



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司