混合信号微控制器

特性

- 低电源电压范围：**1.8V** 至 **3.6V**
- 超低功耗
  - 运行模式：**220μA** （在 **1MHz** 频率和 **2.2V** 电压条件下）
  - 待机模式：**0.5μA**
  - 关闭模式（**RAM** 保持）：**0.1μA**
- **5** 种节能模式
- 可在不到 **1μs** 的时间里超快速地从待机模式唤醒
- **16** 位精简指令集 **(RISC)** 架构，**62.5ns** 指令周期时间
- 基本时钟模块配置
  - 具有一个校准频率并高达 **16MHz** 的内部频率
  - 内部极低功率低频 **(LF)** 振荡器
  - **32kHz** 晶振
  - 外部数字时钟源
- 具有 **2** 个捕捉/比较寄存器的 **16** 位 **Timer_A**
- 支持 **SPI** 和 **I2C** 的通用串行接口（请见表 **1**）
- 欠压检测器
- 带内部基准、采样与保持、和自动扫描功能的 **10** 位 **200** 每秒千次采样 **(ksps)** 模数 **(A/D)** 转换器（请见表 **1**）
- 串行板上编程，
  无需外部编程电压，
  利用安全熔丝实现可编程代码保护
- 具有两线制 **(Spy-Bi-Wire)** 接口的片上仿真逻辑电路
- 系列产品成员详细信息，请见表 **1**
- 采用 **14** 引脚塑料小外形尺寸薄型封装 **(TSSOP)(PW)**，**14** 引脚塑料双列直插封装 **(PDIP)(N)**，和 **16** 引脚四方扁平无引线 **(QFN)** 封装 **(RSA)**
- 完整的模块说明，请见《***MSP430x2xx** 系列产品用户指南*》（）

说明

德州仪器 (TI) MSP430 系列超低功耗微控制器包含多种器件，它们特有面向多种应用的不同外设集。 这种架构与 5 种低功耗模式相组合，专为在便携式测量应用中延长电池使用寿命而优化。 该器件具有一个强大的 16 位 RISC CPU，16 位寄存器和有助于获得最大编码效率的常数发生器。 数字控制振荡器 (DCO) 可在不到 1μs 的时间里完成从低功耗模式至运行模式的唤醒。

MSP430G2x21/G2x31 系列产品是一款超低功率混合信号微控制器，此微控制器装有一个内置的 16 位定时器和 10 个 I/O 引脚。 MSP430G2x31 系列产品有一个 10 位模数 (A/D) 转换器和使用同步协议（SPI 或者 I2C）的内置通信功能。 配置详细信息，请见表 1。

典型应用包括低成本传感器系统，此类系统负责捕获模拟信号，将之转换为数字值，随后对数据进行处理以进行显示或传送至一个主机系统。

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2010–2011, Texas Instruments Incorporated

表 **1.** 提供的选项(1)

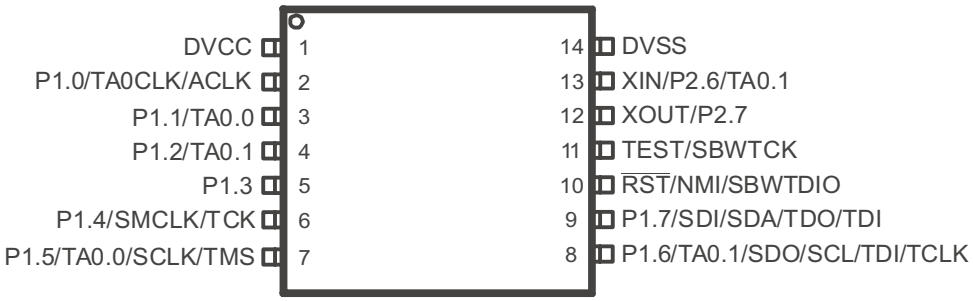
器件	引导加载程序 (BSL)	嵌入式仿真模块 (EEM)	闪存 (KB)	RAM (B)	Timer_A	USI	ADC10 通道	时钟	I/O	封装类型(2)
MSP430G2231IRSA16 MSP430G2231IPW14 MSP430G2231IN14	-	1	2	128	1x TA2	1	8	低频 (LF)，数控振荡器 (DCO)，超低频振荡器 (VLO)	10	16-QFN 14-TSSOP 14-PDIP
MSP430G2221IRSA16 MSP430G2221IPW14 MSP430G2221IN14	-	1	2	128	1x TA2	1	-	LF，DCO，VLO	10	16-QFN 14-TSSOP 14-PDIP
MSP430G2131IRSA16 MSP430G2131IPW14 MSP430G2131IN14	-	1	1	128	1x TA2	1	8	LF，DCO，VLO	10	16-QFN 14-TSSOP 14-PDIP
MSP430G2121IRSA16 MSP430G2121IPW14 MSP430G2121IN14	-	1	1	128	1x TA2	1	-	LF，DCO，VLO	10	16-QFN 14-TSSOP 14-PDIP

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的封装选项附录，或者浏览 TI 网站www.ti.com。
(2) 封装图样、热数据和符号可从网站www.ti.com/packaging中获取。

Copyright © 2010–2011, Texas Instruments Incorporated

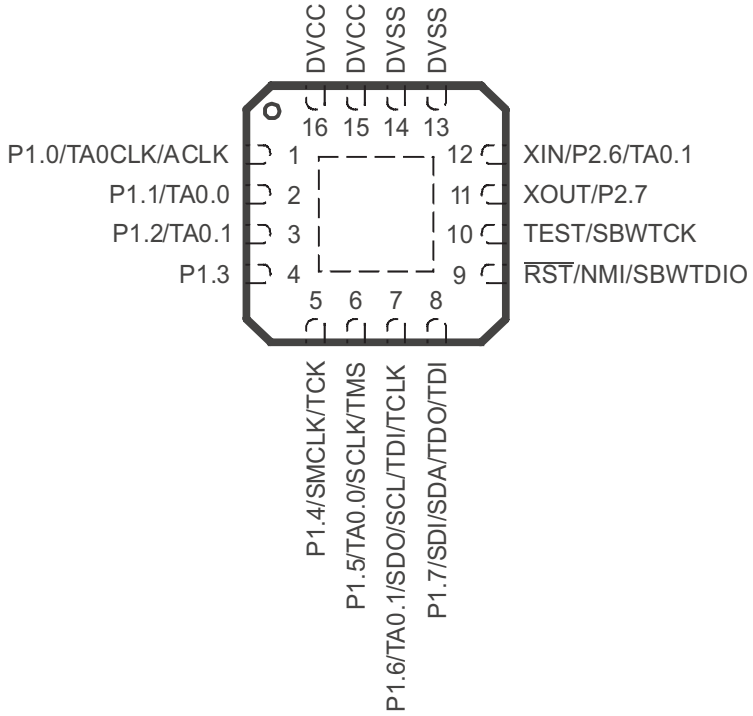
器件引脚分配，MSP430G2x21

N 或者PW 封装
（顶视图）



NOTE: 详细 I/O 信息，请见 应用信息中的端口电路原理图。

RSA 封装
（顶视图）

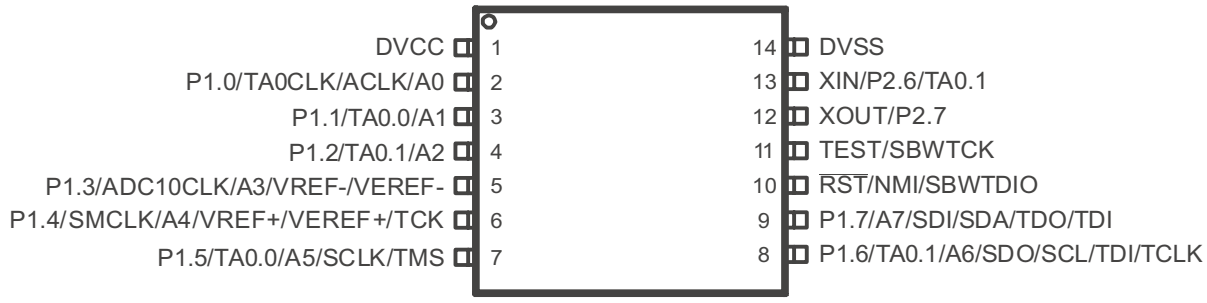


NOTE: 详细 I/O 信息，请见 应用信息中的端口电路原理图。

Copyright © 2010–2011, Texas Instruments Incorporated

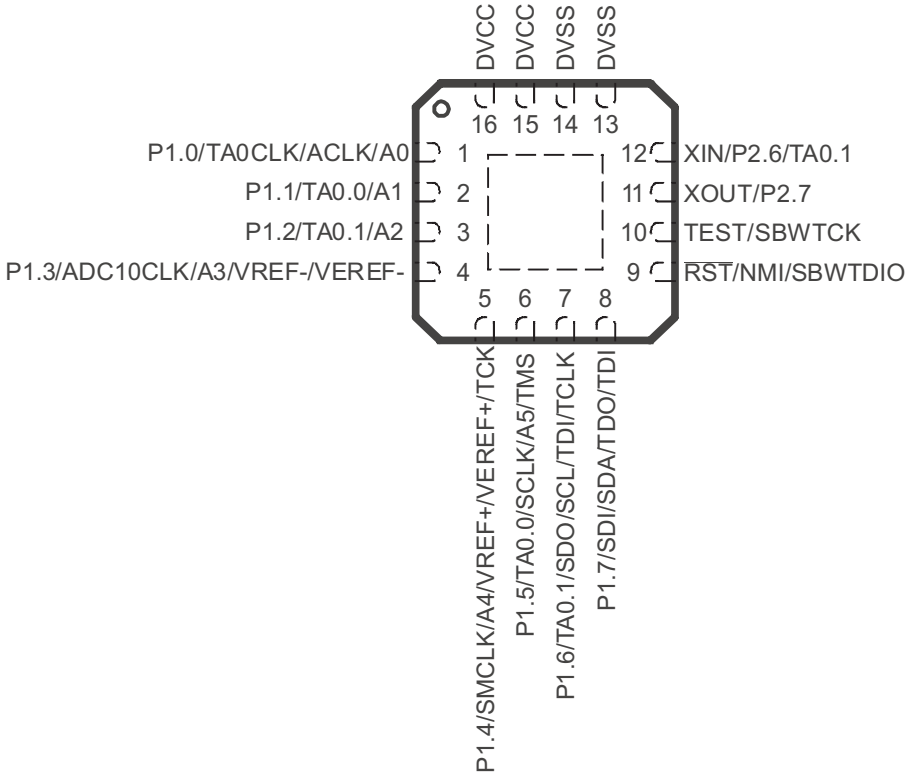
器件引脚分配，MSP430G2x31

N 或者PW 封装
（顶视图）



NOTE: 详细 I/O 信息，请见 应用信息中的端口电路原理图。

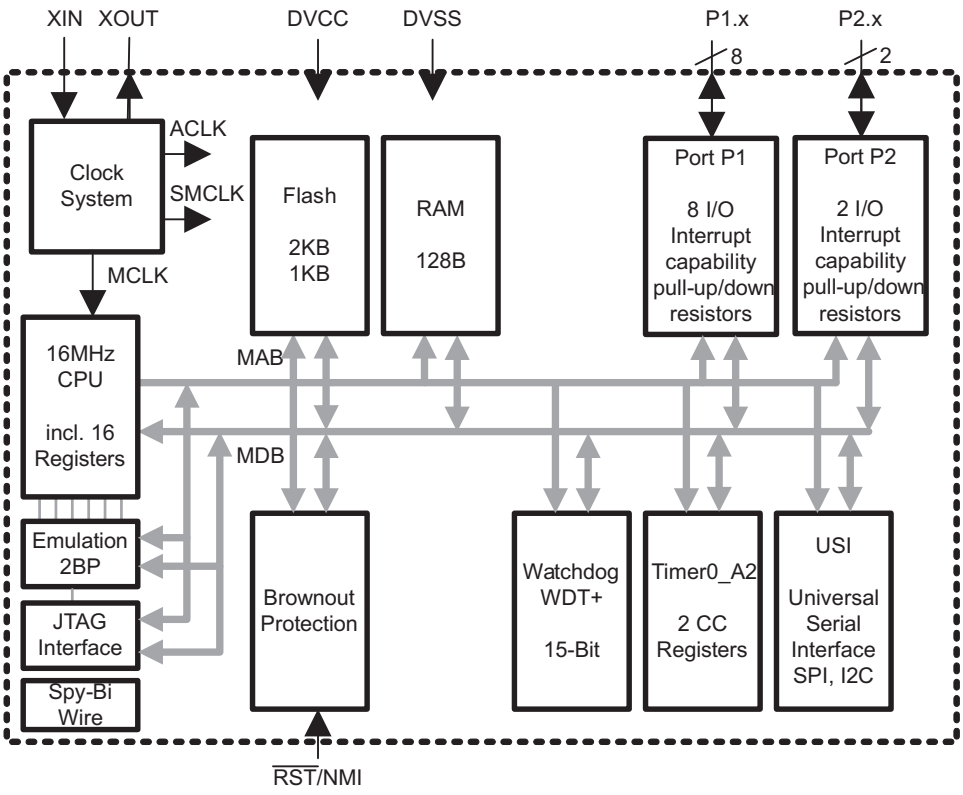
RSA 封装
（顶视图）



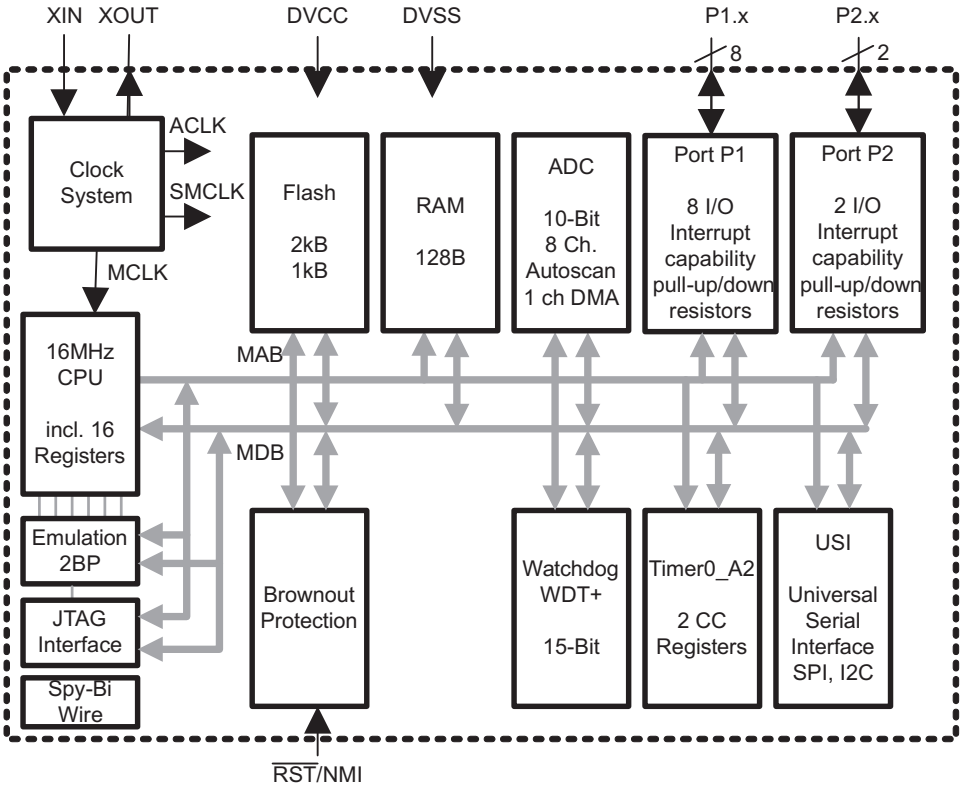
NOTE: 详细 I/O 信息，请见 应用信息中的端口电路原理图。

Copyright © 2010–2011, Texas Instruments Incorporated

功能方框图，MSP430G2x21



功能方框图，MSP430G2x31



Copyright © 2010–2011, Texas Instruments Incorporated

Table 2. 端子功能

端子			I/O	说明
名称	编号			
	N，PW	RSA		
P1.0/ TA0CLK/ ACLK/ A0	2	1	I/O	通用数字 I/O 引脚 Timer0_A，时钟信号 TACLK 输入 ACLK 信号输出 ADC10 模拟输入 A0(1)
P1.1/ TA0.0/ A1	3	2	I/O	通用数字 I/O 引脚 Timer0_A，捕捉：CCI0A 输入，比较：Out0 输出 ADC10 模拟输入 A1(1)
P1.2/ TA0.1/ A2	4	3	I/O	通用数字 I/O 引脚 Timer0_A，捕捉：CCI1A 输入，比较：Out1 输出 ADC10 模拟输入 A2(1)
P1.3/ ADC10CLK/ A3/ VREF-/VEREF	5	4	I/O	通用型数字 I/O 引脚 ADC10，转换时钟输出(1) ADC10 模拟输入 A3(1) ADC10 负基准电压(1)
P1.4/ SMCLK/ A4/ VREF+/VEREF+/ TCK	6	5	I/O	通用数字 I/O 引脚 SMCLK 信号输出 ADC10 模拟输入 A4(1) ADC10 正基准电压(1) JTAG 测试时钟，用于器件编程和测试的输入端子
P1.5/ TA0.0/ A5/ SCLK/ TMS	7	6	I/O	通用型数字 I/O 引脚 Timer0_A，比较：Out0 输出 ADC10 模拟输入 A5(1) USI: I2C 模式中的时钟输入；SPI 模式中的时钟输入/输出 JTAG 测试模式选择，用于器件编程和测试的输入端子
P1.6/ TA0.1/ A6/ SDO/ SCL/ TDI/TCLK	8	7	I/O	通用型数字 I/O 引脚 Timer0_A，捕捉：CCI1A 输入，比较：Out1 输出 ADC10 模拟输入 A6(1) USI：SPI 模式中的数据输出 USI：I2C 模式中的 I2C 时钟 编程和测试期间的 JTAG 测试数据输入或者测试时钟输入
P1.7/ A7/ SDI/ SDA/ TDO/TDI(2)	9	8	I/O	通用数字 I/O 引脚 ADC 模拟输入 A7(1) USI：SPI 模式中的 数据输入 USI：I2C 模式中的 I2C 数据 编程和测试期间的 JTAG 测试数据输出端子或者测试数据输入
XIN/ P2.6/ TA0.1	13	12	I/O	晶体振荡器的输入端子 通用数字 I/O 引脚 Timer0_A，比较：Out1 输出
XOUT/ P2.7	12	11	I/O	晶体振荡器的输出端子(3) 通用型数字 I/O 引脚
$\overline{\text{RST}}$/ NMI/ SBWTDIO	10	9	I	复位 不可屏蔽中断输入 编程和测试期间，两线制测试数据输入/输出
测试/ SBWTCK	11	10	I	为端口 1 上的 JTAG 引脚选择测试模式。器件保护熔丝被连接至 TEST 上。 编程及测试期间的两线制 (Spy-Bi-Wire) 测试时钟输入
DVCC	V	15，16	不可用	电源电压
DVSS	14	13，14	不可用	接地基准
四方扁平无引线封装 (QFN) 焊盘	-	焊盘	不可用	建议将 QFN 封装焊盘连接至 V_{SS}。

(1) 仅限于 MSP430G2x31 器件
(2) TDO 或 TDI 通过 JTAG 指令来选择。
(3) 如果 XOUT/P2.7 用作一个输入，则在 P2SEL.7 被清除之前将产生过多的电流。 这是由于复位之后振荡器输出驱动器连接至该焊盘所致。

Copyright © 2010–2011, Texas Instruments Incorporated

简式说明

CPU

MSP430 CPU 具有一个对于应用高度透明的 16 位精简指令集 (RISC) 架构。 所有的操作（程序流指令除外）均作为寄存器操作与用于源操作数的 7 种寻址模式和用于目的操作数的 4 种寻址模式一起执行。

CPU 与 16 个寄存器进行了集成，从而提供精简指令执行时间。 寄存器至寄存器操作执行时间为 CPU 时钟的一个周期。

其中的 4 个寄存器（R0 至 R3）分别专门用作程序计数器、栈指针、状态寄存器和常数发生器。 其余的寄存器为通用型寄存器。

采用数据、地址和控制总线将外设连接至 CPU，并可利用所有的指令对外设进行控制。

该指令集包括带有 3 种格式和 7 种地址模式的 51 条原始指令以及用于扩展地址范围的额外指令。 每条指令均可操作字和字节数据。

指令集

该指令集包括具有 3 种格式和 7 种地址模式的 51 条指令 。 每条指令均可操作字和字节数据。Table 3给出了 3 种指令格式的示例；Table 4显示了地址模式。

Program Counter	PC/R0
Stack Pointer	SP/R1
Status Register	SR/CG1/R2
Constant Generator	CG2/R3
General-Purpose Register	R4
General-Purpose Register	R5
General-Purpose Register	R6
General-Purpose Register	R7
General-Purpose Register	R8
General-Purpose Register	R9
General-Purpose Register	R10
General-Purpose Register	R11
General-Purpose Register	R12
General-Purpose Register	R13
General-Purpose Register	R14
General-Purpose Register	R15

Table 3. 指令字格式

指令格式	句法	工作方式
双操作数，源操作数-目的操作数	加上 R4，R5	R4 + R5 ---> R5
单操作数，仅目的操作数	调用 R8	PC -->(TOS)，R8-->PC
相对跳转，无条件/有条件	JNE	等于则跳转位 = 0

Table 4. 地址模式说明(1)

地址模式	S	D	句法	示例	工作方式
寄存器	✓	✓	MOV Rs，Rd	MOV R10，R11	R10-- -->R11
加索引的	✓	✓	MOV X(Rn)，Y(Rm)	MOV 2(R5)，6(R6)	M(2+R5)-- -->M(6+R6)
符号（PC 相关）	✓	✓	MOV EDE，TONI		M(EDE) -- --> M(TONI)
绝对	✓	✓	MOV &MEM，&TCDAT		M(MEM)-- -->M(TCDAT)
间接	✓		MOV @Rn，Y(Rm)	MOV @R10，Tab(R6)	M(R10)-- -->M(Tab+R6)
间接自动递增	✓		MOV @Rn+，Rm	MOV @R10+，R11	M(R10)-- -->R11 R10+2-- --> R10
立即	✓		MOV #X,TONI	MOV #45，TONI	#45-- -->M(TONI)

(1) S = 源，D = 目的

Copyright © 2010–2011, Texas Instruments Incorporated

操作模式

MSP430 具有一种运行模式及 5 种可利用软件来选择的低功耗操作模式。 一个中断事件能够将器件从任一低功耗模式唤醒、处理请求、并在接收到来自中断程序的返回信号时恢复至低功耗模式。

以下 6 种操作模式可利用软件来配置：

- 激活模式 (AM)
  - 所有时钟处于激活状态
- 低功耗模式 0 (LPM0)
  - CPU 被禁用
  - ACLK 和 SMCLK 仍然有效，MCLK 被禁用
- 低功耗模式 1 (LPM1)
  - CPU 被禁用
  - ACLK 和 SMCLK 仍然有效，MCLK 被禁用
  - 如果 DCO 不是在激活模式下被使用，则 DCO 的 dc 生成器被禁用
- 低功耗模式 2 (LPM2)
  - CPU 被禁用
  - MCLK 和 SMCLK 被禁用
  - DCO 的 dc 生成器保持启用
  - ACLK 保持激活
- 低功耗模式 3 (LPM3)
  - CPU 被禁用
  - MCLK 和 SMCLK 被禁用
  - DCO 的 dc 生成器被禁用
  - ACLK 保持激活
- 低功耗模式 4 (LPM4)
  - CPU 被禁用
  - ACLK 被禁用
  - MCLK 和 SMCLK 被禁用
  - DCO 的 dc 生成器被禁用
  - 晶体振荡器被停止

Copyright © 2010–2011, Texas Instruments Incorporated

中断矢量地址

中断矢量和加电起动地址位于 0FFFFh 至 0FFC0h 的地址范围内。 该矢量包含适当中断处理程序指令序列的 16 位地址。

如果复位矢量（位于地址 0FFFEh）包含 0FFFFh（例如：闪存未编程），则 CPU 在加电之后将立即进入 LPM4。

Table 5. 中断源、标志、和矢量

中断源	中断标志	系统中断	字地址	优先级
加电 外部复位 安全装置定时器+ 违反闪存密钥 PC 超出范围(1)	PORIFG RSTIFG WDTIFG KEYV(2)	复位	0FFFEh	31，最高
NMI 振荡器故障 闪存内存访问冲突	NMIIFG OFIFG ACCVIFG(2)(3)	(不)可屏蔽 (不)可屏蔽 (不)可屏蔽	0FFFCh	30
			0FFFAh	29
			0FFF8h	28
			0FFF6h	27
安全装置定时器 +	WDTIFG	可屏蔽	0FFF4h	26
Timer_A2	TACCR0 CCIFG(4)	可屏蔽	0FFF2h	25
Timer_A2	TACCR1 CCIFG，TAIFG(2)(4)	可屏蔽	0FFF0h	24
			0FFEEh	23
			0FFECh	22
ADC10(5)	ADC10IFG(4)(5)	可屏蔽	0FFEAh	21
USI	USIIFG，USISTTIFG(2)(4)	可屏蔽	0FFE8h	20
I/O 端口 P2（两个标志）	P2IFG.6 至 P2IFG.7(2)(4)	可屏蔽	0FFE6h	19
I/O 端口 P1（八个标志）	P1IFG.0 至 P1IFG.7(2)(4)	可屏蔽	0FFE4h	18
			0FFE2h	17
			0FFE0h	16
请参阅(6)			0FFDEh 至 0FFC0h	15 至 0，最低

(1) 如果 CPU 试图从模块寄存器内存地址范围（0h 至 01FFh）或未使用的地址范围内读取指令，则生成一个复位。
(2) 多源标志
(3) (不)可屏蔽：独立的中断启用位能禁用一个中断事件，但通用型中断启用则不能。
(4) 中断标志位于模块之中。
(5) 仅限于 MSP430G2x31 器件
(6) 位于地址 0FFDEh 至 0FFC0h 的中断矢量在该器件中未使用，可在需要时用于常规程序代码。

Copyright © 2010–2011, Texas Instruments Incorporated

特别功能寄存器 (SFR)

大多数中断及模块启用位均采集在最低的地址空间里。 未分配给一个功能性用途的特别功能寄存器位本身未在器件中出现。 简单的软件访问与这种配置一起提供。

图例

rw：	可以对位进行读写操作。
rw-0，1：	可以对位进行读写操作。 由 PUC 对其进行复位或置位。
rw-(0，1)：	可以对位进行读写操作。 由 POR 对其进行复位或置位。
	器件中不存在 SFR 位。

Table 6. 中断启用寄存器 1 和 2

地址	7	6	5	4	3	2	1	0
00h			**ACCVIE**	**NMIIE**			**OFIE**	**WDTIE**
			rw-0	rw-0			rw-0	rw-0

WDTIE	安全装置定时器中断启用。 如果选择的是安全装置模式，则处于未激活状态。 如果安全装置定时器被配置成间隔定时器模式，则其处于运行状态。
OFIE	振荡器故障中断启用
NMIIE	(不)可屏蔽中断启用
ACCVIE	闪存访问冲突中断启用

地址	7	6	5	4	3	2	1	0
01h								

Table 7. 中断标志寄存器 1 和 2

地址	7	6	5	4	3	2	1	0
02h				**NMIIFG**	**RSTIFG**	**PORIFG**	**OFIFG**	**WDTIFG**
				rw-0	rw-(0)	rw-(1)	rw-1	rw-(0)

WDTIFG	安全装置定时器溢出（在安全装置模式中）或安全密钥冲突上的设置。 V_{CC}加电时的复位或者一个处于复位模式的$\overline{RST}$/NMI 引脚上的复位条件。
OFIFG	振荡器故障时的标志设定。
PORIFG	加电复位中断标志。 在 V_{CC}加电时设定。
RSTIFG	外部复位中断标志。 在处于复位模式中的$\overline{RST}$/NMI 引脚上设定一个复位条件。 V_{CC}加电时复位。
NMIIFG	通过$\overline{RST}$/NMI 引脚进行设定

地址	7	6	5	4	3	2	1	0
03h								

Copyright © 2010–2011, Texas Instruments Incorporated

内存组织

Table 8. 内存组织

		MSP430G2021 MSP430G2031	MSP430G2121 MSP430G2131	MSP430G2221 MSP430G2231
内存 主内存：中断矢量 主内存：代码内存	大小 闪存 闪存内	512B 0xFFFF 至 0xFFC0 0xFFFF 至 0xFE00	1kB 0xFFFF 至 0xFFC0 0xFFFF 至 0xFC00	2kB 0xFFFF 至 0xFFC0 0xFFFF 至 0xF800
信息内存	大小 闪存	256 字节 010FFh 至 01000h	256 字节 010FFh 至 01000h	256 字节 010FFh 至 01000h
RAM	大小	128B 027Fh 至 0200h	128B 027Fh 至 0200h	128B 027Fh 至 0200h
外设	16 位 8 位 8 位 SFR	01FFh 至 0100h 0FFh 至 010h 0Fh 至 00h	01FFh 至 0100h 0FFh 至 010h 0Fh 至 00h	01FFh 至 0100h 0FFh 至 010h 0Fh 至 00h

闪存存储器

闪存可存储器通过 Spy-Bi-Wire/JTAG 端口进行编程或由 CPU 进行系统内编程。 CPU 能执行到闪存的单字节和单字写入操作。 闪存的特性包括：

- 闪存具有 n 个主内存段和 4 个均为 64字节的信息内存段（A 至 D）。 主内存中每一段的大小为 512 字节。
- 0 至 n 段可以一步擦除，也可以单独地擦除每一段。
- A 至 D 段可以单独擦除，也可将 0 至 n 段作为一个组进行擦除。 A 至 D 段也被称为*信息内存*。
- A 段包含校准数据。 在复位之后，提供的保护防止对 A 段进行编程及擦除操作。 可以将其解锁，但如果需要器件专用的校准数据，应注意不要将该段擦除。

Copyright © 2010–2011, Texas Instruments Incorporated

外设

通过数据、地址和控制总线将外设连接至 CPU，并可采用所有的指令对外设进行控制。 如需了解完整的模块说明，请查阅 *《MSP430x2xx 系列用户指南》*（文献编号：SLAU144）。

振荡器和系统时钟

时钟系统由基本时钟模块提供支持，此时钟模块支持一个 32768Hz 手表晶体振荡器、一个内部超低功耗低频振荡器和一个内部数字控制振荡器 (DCO) 。 基本时钟模块设计用于同时满足低系统成本及低功耗的要求。 内部 DCO 提供了一个快速接通时钟源并可在不到 1µs 的时间里实现稳定。 基本时钟模块提供了以下时钟信号：

- 辅助时钟 (ACLK)，此时钟由一个 32768 Hz 手表晶振或内部 LF 振荡器提供信号源。
- 主时钟 (MCLK)，CPU 所采用的系统时钟。
- 系统子时钟 (SMCLK)，外设模块所采用的子系统时钟。

Table 9. DCO 校准数据
（出厂时在闪存信息内存段 A 内提供）

DCO 频率	校准寄存器	大小	地址
1MHz	CALBC1_1MHZ	字节	010FFh
	CALDCO_1MHZ	字节	010FEh

欠压

欠压电路的目的是在加电及断电期间向器件提供正确的内部复位信号。

数字 I/O

执行一个 8 位 I/O - 端口 P1 - 和 I/O 端口 P2 的两个位：

- 所有单独的 I/O 位均可进行独立编程。
- 输入、输出、和中断条件可进行任一组合。
- 针对端口 P1 的全部八个位和端口 2 的两个位的边沿可选中断输入功能。
- 所有指令均支持到端口控制寄存器的读/写访问。
- 每个 I/O 具有一个可单独编程的上拉/下拉电阻器。

WDT+ 安全装置定时器

安全装置定时器 (WDT+) 模块的主要功能是在软件问题发生后执行受控的系统重启。 如果选定的时间间隔结束，则产生一个系统复位。 如果在一个应用中不需要安全装置功能，则该模块可被禁用或配置为一个间隔定时器，并能在选定的时间间隔上产生中断。

Copyright © 2010–2011, Texas Instruments Incorporated

Timer_A2

Timer_A2 是具有两个个捕获/比较寄存器的 16 位定时器/计数器。 Timer_A2 能支持多个捕获/比较寄存器、PWM 输出和间隔定时。 Timer_A2 也具有丰富的中断能力。 计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。

Table 10. Timer_A2 信号连接-带有 ADC10 的器件

输入引脚编号		器件输入信号	模块输入名称	模块区块	模块输出信号	输出引脚编号	
PW，N	RSA					PW，N	RSA
2-P1.0	1-P1.0	TACLK	TACLK	定时器	不可用		
		ACLK	ACLK				
		SMCLK	SMCLK				
2-P1.0	1-P1.0	TACLK	INCLK				
3-P1.1	2-P1.1	TA0	CCI0A	CCR0	TA0	3-P1.1	2-P1.1
		ACLK（内部）	CCI0B			7-P1.5	6-P1.5
		VSS	GND				
		VCC	VCC				
4-P1.2	3-P1.2	TA1	CCI1A	CCR1	TA1	4-P1.2	3-P1.2
8-P1.6	7-P1.6	TA1	CCI1B			8-P1.6	7-P1.6
		VSS	GND			13-P2.6	12-P2.6
		VCC	VCC				

USI

通用串行接口 (USI) 模块用于串行通信并为诸如 SPI 或者 I2C 的同步通信协议提供基本硬件。

ADC10（仅限于 MSP430G2x31）

ADC10 模块支持快速、10 位模数转换。 该模块执行一个 10 位逐次逼近 (SAR) 内核、采样选择控制、基准发生器和用于转换结果自动处理的数据传输控制器，或者称为 DTC，因而无需 CPU 的任何干预即可对 ADC 采样进行转换和存储。

Copyright © 2010–2011, Texas Instruments Incorporated

外设文件映射

Table 11. 支持字访问的外设

模块	寄存器说明	寄存器名称	偏移
ADC10（仅限于 MSP430G2x31）	ADC 数据传输起始地址	ADC10SA	1BCh
	ADC 控制 0	ADC10CTL0	01B0h
	ADC 控制 1	ADC10CTL0	01B2h
	ADC 内存	ADC10MEM	01B4h
Timer_A	捕获/比较寄存器	TACCR1	0174h
	捕获/比较寄存器	TACCR0	0172h
	Timer_A 寄存器	TAR	0170h
	捕获/比较控制	TACCTL1	0164h
	捕获/比较控制	TACCTL0	0162h
	Timer_A 控制	TACTL	0160h
	Timer_A 中断矢量	TAIV	012Eh
闪存存储器	闪存控制 3	FCTL3	012Ch
	闪存控制 2	FCTL2	012Ah
	闪存控制 1	FCTL1	0128h
安全装置定时器+	安全装置/定时器控制	WDTCTL	0120h

Table 12. 支持字节访问的外设

模块	寄存器说明	寄存器名称	偏移
ADC10（仅限于 MSP430G2x31）	ADC 模拟启用	ADC10AE0	04Ah
	ADC 数据传输控制 1	ADC10DTC1	049h
	ADC 数据传输控制 0	ADC10DTC0	048h
USI	USI 控制 0	USICTL0	078h
	USI 控制 1	USICTL1	079h
	USI 时钟控制	USICKCTL	07Ah
	USI 位计数器	USICNT	07Bh
	USI 移位寄存器	USISR	07Ch
基本时钟系统 +	基本时钟系统控制 3	BCSCTL3	053h
	基本时钟系统控制 2	BCSCTL2	058h
	基本时钟系统控制 1	BCSCTL1	057h
	DCO 时钟频率控制	DCOCTL	056h
端口 P2	端口 P2 电阻器启用	P2REN	02Fh
	端口 P2 选择	P2SEL	02Eh
	端口 P2 中断启用	P2IE	02Dh
	端口 P2 中断边沿选择	P2IES	02Ch
	端口 P2 中断标志	P2IFG	02Bh
	端口 P2 方向	P2DIR	02Ah
	端口 P2 输出	P2OUT	029h
	端口 P2 输入	P2IN	028h
端口 P1	端口 P1 电阻器启用	P1REN	027h
	端口 P1 选择	P1SEL	026h
	端口 P1 中断启用	P1IE	025h
	端口 P1 中断边沿选择	P1IES	024h
	端口 P1 中断标志	P1IFG	023h
	端口 P1 方向	P1DIR	022h
	端口 P1 输出	P1OUT	021h
	端口 P1 输入	P1IN	020h

Copyright © 2010–2011, Texas Instruments Incorporated

Table 12. 支持字节访问的外设 (continued)

模块	寄存器说明	寄存器名称	偏移
特别功能	SFR 中断标志 2	IFG2	003h
	SFR 中断标志 1	IFG1	002h
	SFR 中断启用 2	IE2	001h
	SFR 中断启用 1	IE1	000h

Copyright © 2010–2011, Texas Instruments Incorporated

最大绝对额定值(1)

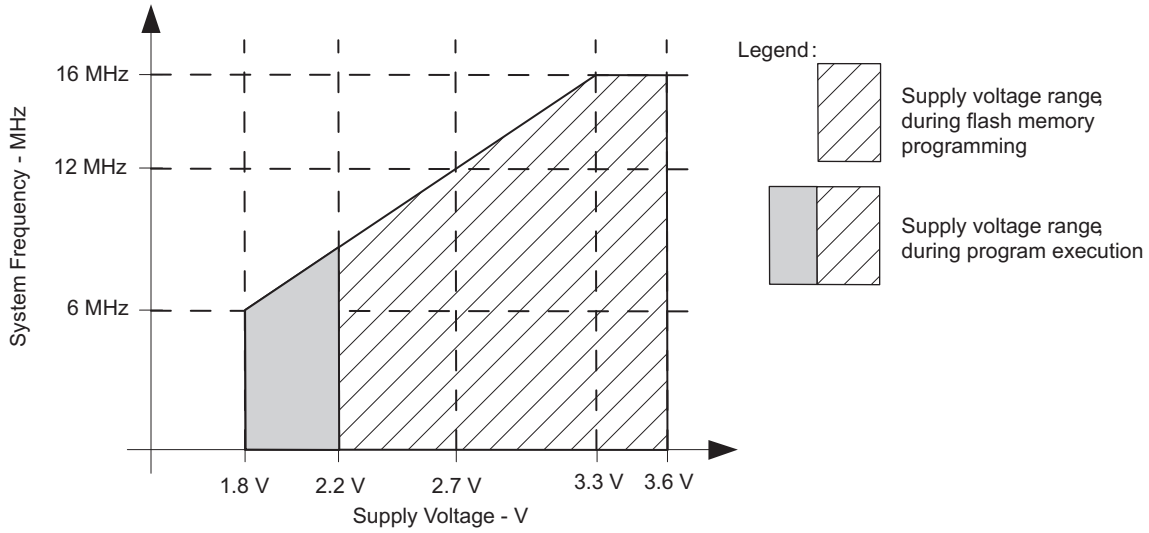
施加在 V_{CC}至 V_{SS}上的电压		-0.3V 至 4.1V
施加在任一引脚上的电压(2)		-0.3V 至 V_{CC}+0.3V
任一器件引脚上的二极管电流		±2mA
贮存温度范围，T_{stg}(3)	未编程器件	-55°C 至 150°C
	已编程器件	-55°C 至 150°C

(1) 超出"最大绝对额定值"下列出的值的应力可能会对器件造成永久损坏。 这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作或者在超出那些"推荐的运行条件"下标明的任何其它情况，在此并未说明。 长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 所有电压值均参考于 V_{SS}。 JTAG 熔丝烧断电压，V_{FB}，允许超过最大绝对额定值。 当 JTAG 熔丝烧断时将此电压施加至 TEST 引脚。
(3) 在电路板焊接期间可以采用较高的温度（需遵循现行的 JEDEC J-STD-020 规范），峰值回流焊温度不得超过器件装运包装盒或卷盘上标注的界定的值。

建议的运行条件

			最小值	标称值	最大值	单位
V_{CC}	电源电压	在程序执行期间	1.8		3.6	V
		闪存编程期间	2.2		3.6	
V_{SS}	电源电压			0		V
T_A	自然通风工作温度范围	I 版本	-40		85	°C
$f_{系统}$	处理器频率（最大 MCLK 频率）(1)(2)	V_{CC}=1.8V，占空比 = 50%±10%	DC		6	MHz
		V_{CC}=2.7V，占空比 = 50%±10%	DC		12	
		V_{CC}=3.3V，占空比 = 50%±10%	DC		16	

(1) MSP430 CPU 直接采用 MCLK 进行定时。 MCLK 的高相位及低相位均不得超过额定最大频率的脉冲宽度。
(2) 模块可能具有一个不同的最大输入时钟规格指标。 查看本数据表中各个模块的规格。



Note: 最小处理器频率由系统时钟来规定。 闪存编程或擦除操作需要一个 2.2V 的最小 V_{CC}。

Figure 1. 安全操作区域

电气特性

除外部电流之外的有源模式电源电流（流入 V_{CC}）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(1)(2)

(1) 所有输入均连接至 0V 或 V_{CC}。 输出不供应或吸收任何电流。
(2) 利用一个带有 9pF 负载电容的 Micro Crystal CC4V-T1A SMD 晶振对电流进行特性分析。 选择合适的内部和外部负载电容以与所需的 9pF 电容值精确匹配。

Copyright © 2010–2011, Texas Instruments Incorporated

除外部电流之外的有源模式电源电流（流入 V_{CC}）(continued)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(1)(2)

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$I_{AM，1MHz}$	有源模式 (AM) 电流（1MHz 时）	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=1MHz， f_{ACLK} = 32768 Hz， 程序在闪存中执行， BCSCTL1=CALBC1_1MHZ， DCOCTL=CALDCO_1MHZ， CPUOFF=0，SCG0=0，SCG1=0， OSCOFF=0		2.2V		220		μA
				3V		300	370	

典型特性 - 有源模式电源电流（流入 V_{CC}）

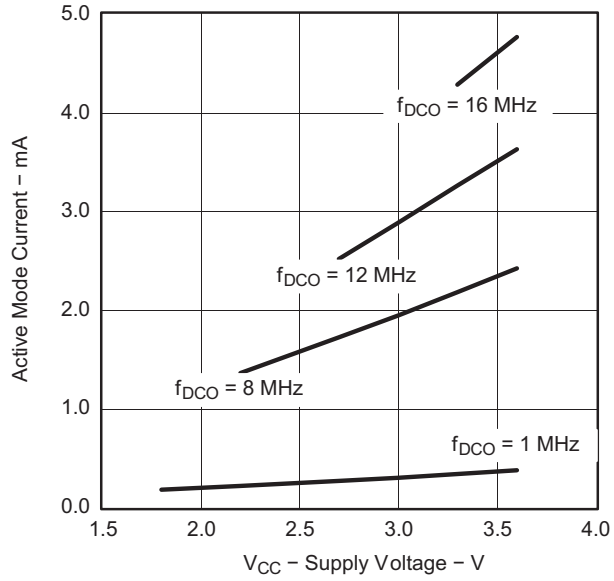


Figure 2. 有源模式电流与 V_{CC}间的关系，T_A=25°C

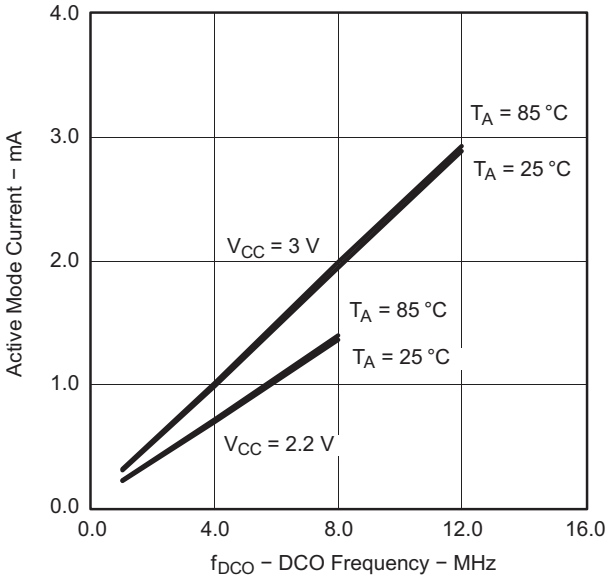


Figure 3. 有源模式电流与 DCO 频率的关系

Copyright © 2010–2011, Texas Instruments Incorporated

不含外部电流的低功耗模式电源电流（流入 V_{CC}）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(1)(2)

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$I_{LPM0,1MHz}$	低功耗模式 0 (LPM0) 电流(3)	f_{MCLK}=0MHz， $f_{SMCLK}=f_{DCO}$=1MHz， f_{ACLK}=32768Hz， BCSCTL1=CALBC1_1MHZ， DCOCTL=CALDCO_1MHZ， CPUOFF=1，SCG0=0，SCG1=0，OSCOFF=0	25°C	2.2V		65		μA
I_{LPM2}	低功耗模式 2 (LPM2) 电流(4)	$f_{MCLK}=f_{SMCLK}$=0MHz， f_{DCO}=1MHz， f_{ACLK}=32768Hz， BCSCTL1=CALBC1_1MHZ， DCOCTL=CALDCO_1MHZ， CPUOFF=1，SCG0=0，SCG1=1，OSCOFF=0	25°C	2.2V		22		μA
$I_{LPM3,LFXT1}$	低功耗模式 3 (LPM3) 电流(4)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0 MHz， f_{ACLK}=32768Hz， CPUOFF=1， SCG0=1，SCG1=1，OSCOFF=0	25°C	2.2V		0.7	1.5	μA
$I_{LPM3,VLO}$	低功耗模式 3 电流，(LPM3)(4)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0MHz， f_{ACLK}取自内部 LF 振荡器 (VLO)， CPUOFF=1，SCG0=1，SCG1=1，OSCOFF=0	25°C	2.2V		0.5	0.7	μA
I_{LPM4}	低功耗模式 4 (LPM4) 电流(5)	$f_{DCO}=f_{MCLK}=f_{SMCLK}$=0MHz， f_{ACLK}=0Hz， CPUOFF=1，SCG0=1，SCG1=1，OSCOFF=1	25°C	2.2V		0.1	0.5	μA
			85°C	2.2V		0.8	1.5	μA

(1) 所有输入均连接至 0V 或 V_{CC}。 输出不供应或吸收任何电流。
(2) 利用一个带有 9pF 负载电容的 Micro Crystal CC4V-T1A SMD 晶振对电流进行特性分析。
(3) 针对欠压及由 SMCLK 进行定时的 WDT 的电流。
(4) 针对欠压及由 ACLK 进行定时的 WDT 的电流。
(5) 包括用于欠压的电流。

典型特性低功耗模式电源电流

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

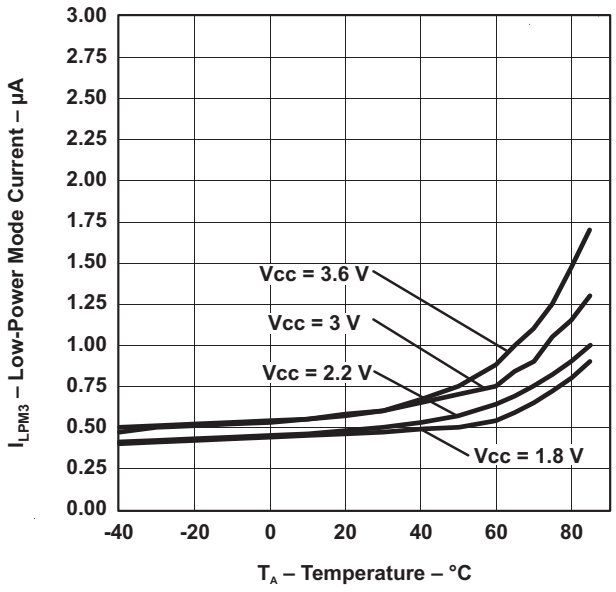


Figure 4. LPM3 电流与温度间的关系

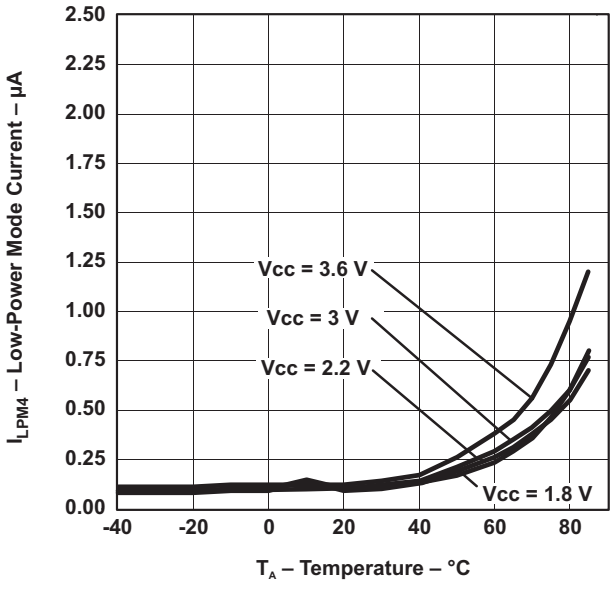


Figure 5. LPM4 电流与温度间的关系

Copyright © 2010–2011, Texas Instruments Incorporated

施密特触发器输入 - 端口 Px

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{IT+}	正向输入阀值电压			$0.45V_{CC}$		$0.75V_{CC}$	V
			3V	1.35		2.25	
V_{IT-}	负向输入阀值电压			$0.25V_{CC}$		$0.55V_{CC}$	V
			3V	0.75		1.65	
V_{hys}	输入电压滞后 (V_{IT+}-V_{IT-})		3V	0.3		1	V
$R_{拉}$	上拉/下拉电阻器	对于上拉电阻：$V_{IN}=V_{SS}$ 对于下拉电阻：$V_{IN}=V_{CC}$	3V	20	35	50	kΩ
C_I	输入电容	$V_{IN}=V_{SS}$或 V_{CC}			5		pF

泄漏电流 - 端口 Px

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	最大值	单位
$I_{lkg(Px.y)}$	高阻抗泄漏电流	(1) (2)	3V		±50	nA

(1) 泄漏电流是在把 V_{SS}或 V_{CC} 施加至对应引脚上的情况下测量的，除非另有说明。
(2) 数字端口引脚的泄漏电流单独测量。 为输入选择端口引脚，而且上拉/下拉电阻器被禁用。

输出 - 端口 Px

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{(OHmax)}$=-6mA(1)	3V		V_{CC}-0.3		V
V_{OL}	低电平输出电压	$I_{(OLmax)}$=6mA(1)	3V		V_{SS}+0.3		V

(1) 所有输出加在一起的最大总电流 $I_{(OHmax)}$和 $I_{(OLmax)}$不应超过 ±48mA，以保持额定的最大压降。

输出频率 - 端口 Px

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$f_{Px.y}$	端口输出频率（带有负载）	Px.y, C_L=20pF，R_L=1kΩ(1)(2)	3V		12		MHz
f_{Port_CLK}	时钟输出频率	Px.y，C_L=20pF(2)	3V		16		MHz

(1) 在 V_{CC} 和 V_{SS} 之间带有2 × 0.5 kΩ 的阻性分压器被用作负载。 输出被连接至分压器的中心抽头。
(2) 在额定的反复频率下，输出电压至少达到 V_{CC}的 10% 和 90%。

Copyright © 2010–2011, Texas Instruments Incorporated

典型特性-输出

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

典型低电平输出电流
与
低电平输出电压
的关系

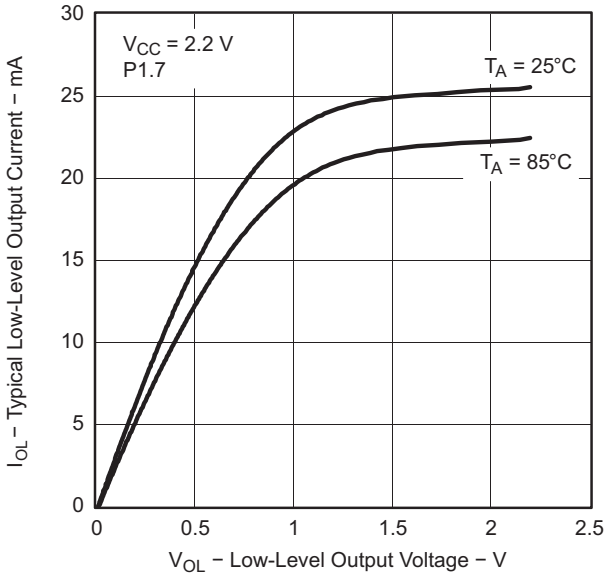


Figure 6.

典型低电平输出电流
与
低电平输出电压
的关系

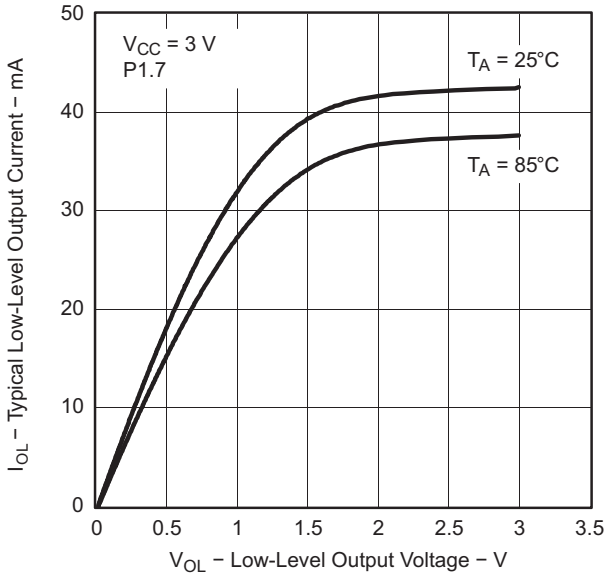


Figure 7.

典型高电平输出电流
与
高电平输出电压
的关系

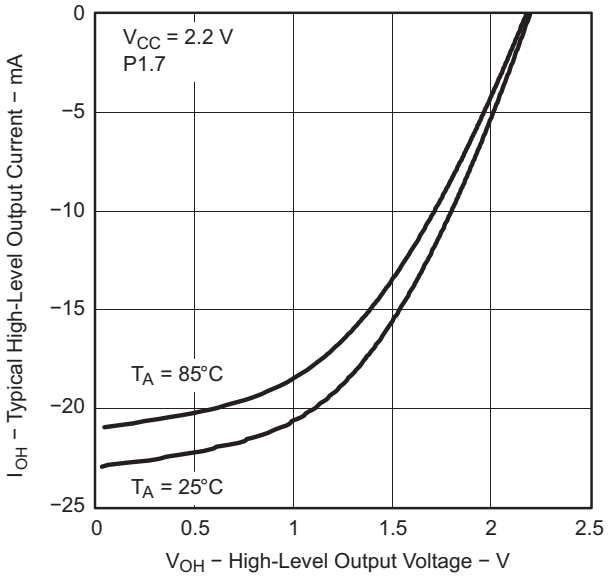


Figure 8.

典型高电平输出电流
与
高电平输出电压
的关系

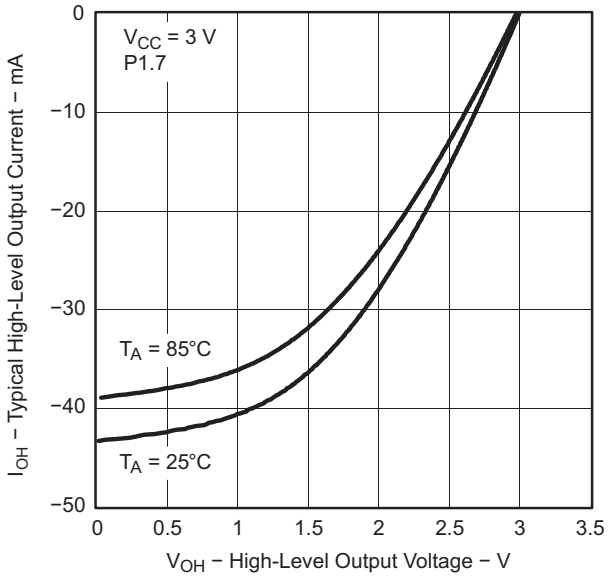


Figure 9.

Copyright © 2010–2011, Texas Instruments Incorporated

加电复位 (POR) /欠压复位 (BOR)(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{CC}（开始）	请参阅Figure 10	$dV_{CC}/dt \le 3V/s$			$0.7 \times V_{(B_IT-)}$		V
$V_{(B_IT-)}$	请见Figure 10至Figure 12	$dV_{CC}/dt \le 3V/s$			1.35		V
$V_{hys(B_IT-)}$	请参阅Figure 10	$dV_{CC}/dt \le 3V/s$			140		mV
$t_{d(BOR)}$	请参阅 Figure 10					2000	µs
$t_{(复位)}$	$\overline{RST}$/NMI 引脚上所需的脉冲长度到内部接受的复位		2.2V-3V	2			µs

(1) 欠压模块的流耗已包含在 I_{CC}流耗数据中。 电压电平 $V_{(B_IT-)}+V_{hys(B_IT-)} \le 1.8V$。

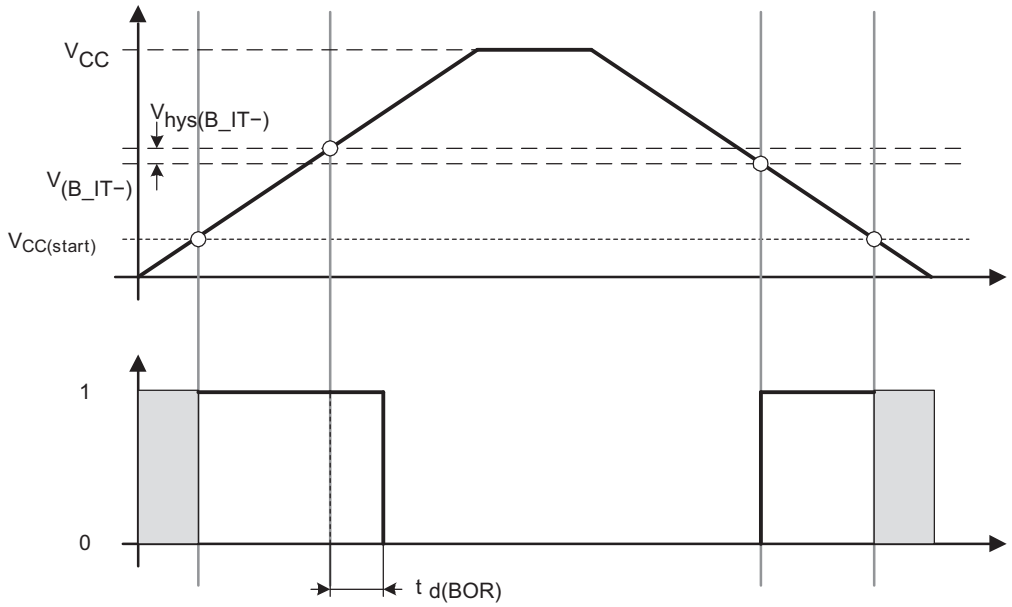


Figure 10. POR /欠压复位 (BOR) 与电源电压的关系

Copyright © 2010–2011, Texas Instruments Incorporated

典型特性-POR / 欠压复位 (BOR)

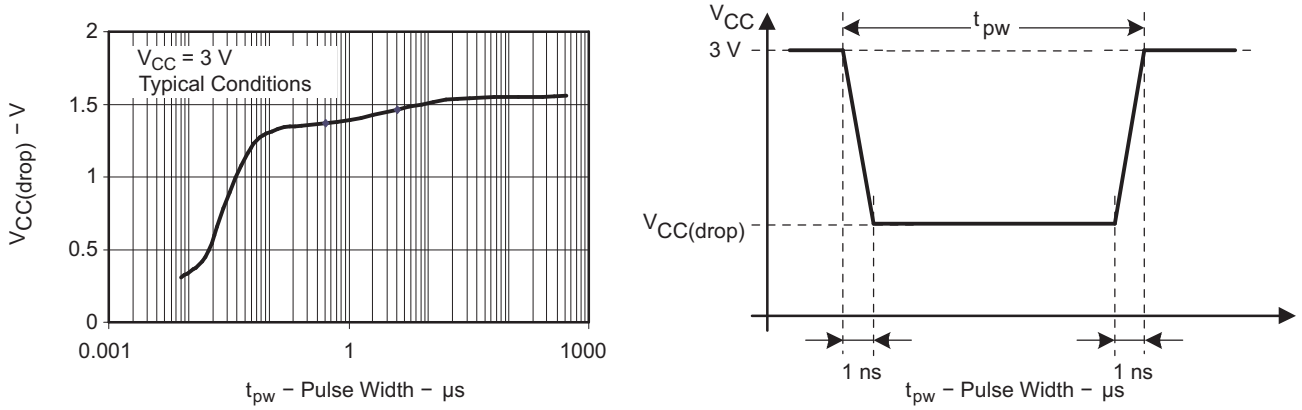


Figure 11. 具有一个矩形压降的 $V_{CC(压降)}$ 电平用于生成一个 POR / 欠压信号

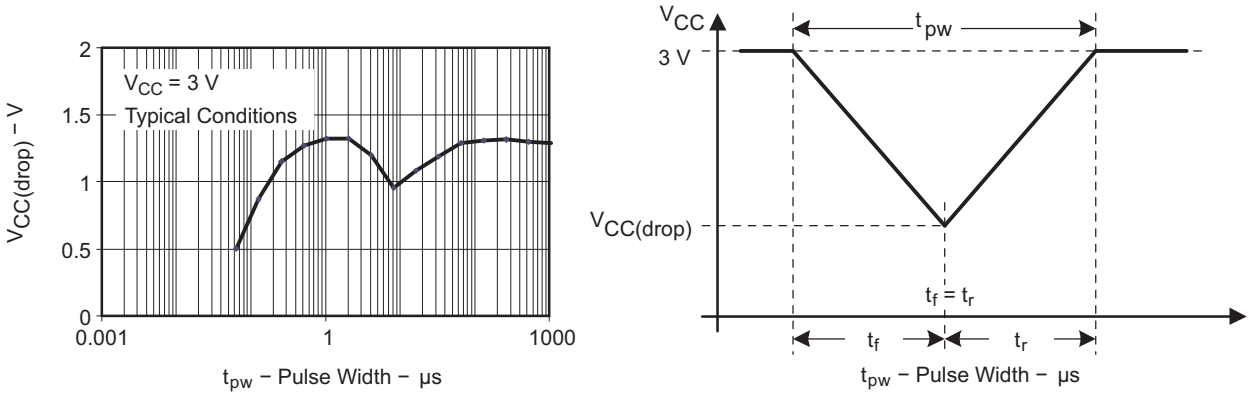


Figure 12. 具有一个三角形压降的 $V_{CC(压降)}$ 电平用于生成一个 POR / 欠压信号

Copyright © 2010–2011, Texas Instruments Incorporated

主 DCO 特性

- 由 RSELx 选择的所有范围与 RSELx + 1 重叠：RSELx = 0 与 RSELx = 1 重叠, ... RSELx = 14 与 RSELx = 15 重叠。
- DCO 控制位 DCOx 具有一个由参数 S_{DCO}规定的步长。
- 调制控制位 MODx 用于选择 32 个 DCOCLK 周期之内 $f_{DCO(RSEL,DCO+1)}$ 的使用频度。 频率 $f_{DCO(RSEL,DCO)}$ 用于剩余的周期。 该频率是一个平均值，等于： $f_{average} = \frac{32 \times f_{DCO(RSEL,DCO)} \times f_{DCO(RSEL,DCO+1)}}{MOD \times f_{DCO(RSEL,DCO)} + (32 - MOD) \times f_{DCO(RSEL,DCO+1)}}$

DCO 频率

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{CC}	电源电压	RSELx<14		1.8		3.6	V
		RSELx=14		2.2		3.6	V
		RSELx=15		3		3.6	V
$f_{DCO(0,0)}$	DCO 频率 (0，0)	RSELx=0，DCOx=0，MODx=0	3V	0.06		0.14	MHz
$f_{DCO(0,3)}$	DCO 频率 (0，3)	RSELx=0，DCOx=3，MODx=0	3V		0.12		MHz
$f_{DCO(1,3)}$	DCO 频率 (1，3)	RSELx=1，DCOx=3，MODx=0	3V		0.15		MHz
$f_{DCO(2,3)}$	DCO 频率 (2，3)	RSELx=2，DCOx=3，MODx=0	3V		0.21		MHz
$f_{DCO(3,3)}$	DCO 频率 (3，3)	RSELx=3，DCOx=3，MODx=0	3V		0.30		MHz
$f_{DCO(4,3)}$	DCO 频率 (4，3)	RSELx=4，DCOx=3，MODx=0	3V		0.41		MHz
$f_{DCO(5,3)}$	DCO 频率 (5，3)	RSELx=5，DCOx=3，MODx=0	3V		0.58		MHz
$f_{DCO(6,3)}$	DCO 频率 (6，3)	RSELx=6，DCOx=3，MODx=0	3V		0.80		MHz
$f_{DCO(7,3)}$	DCO 频率 (7，3)	RSELx=7，DCOx=3，MODx=0	3V	0.8		1.5	MHz
$f_{DCO(8,3)}$	DCO 频率 (8，3)	RSELx=8，DCOx=3，MODx=0	3V		1.6		MHz
$f_{DCO(9,3)}$	DCO 频率 (9，3)	RSELx=9，DCOx=3，MODx=0	3V		2.3		MHz
$f_{DCO(10,3)}$	DCO 频率 (10，3)	RSELx=10，DCOx=3，MODx=0	3V		3.4		MHz
$f_{DCO(11,3)}$	DCO 频率 (11，3)	RSELx=11，DCOx=3，MODx=0	3V		4.25		MHz
$f_{DCO(12,3)}$	DCO 频率 (12，3)	RSELx=12，DCOx=3，MODx=0	3V	4.3		7.3	MHz
$f_{DCO(13,3)}$	DCO 频率 (13，3)	RSELx=13，DCOx=3，MODx=0	3V		7.8		MHz
$f_{DCO(14,3)}$	DCO 频率 (14，3)	RSELx=14，DCOx=3，MODx=0	3V	8.6		13.9	MHz
$f_{DCO(15,3)}$	DCO 频率 (15，3)	RSELx=15，DCOx=3，MODx=0	3V		15.25		MHz
$f_{DCO(15,7)}$	DCO 频率 (15，7)	RSELx=15，DCOx=7，MODx=0	3V		21		MHz
S_{RSEL}	RSEL 和 RSEL+1 范围之间的频率阶跃	$S_{RSEL}=f_{DCO(RSEL+1,DCO)}/f_{DCO(RSEL,DCO)}$	3V		1.35		比率
S_{DCO}	DCO 与 DCO+1 抽头之间的频率阶跃	$S_{DCO}=f_{DCO(RSEL,DCO+1)}/f_{DCO(RSEL,DCO)}$	3V		1.08		比率
占空比		在 SMCLK 输出端上测量	3V		50		%

Copyright © 2010–2011, Texas Instruments Incorporated

经校准的 DCO 频率-容差

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数	测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
1MHz 容差（在整个温度范围内）(1)	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ，在 30°C 和 3 V 条件下进行校准	0°C 至 85°C	3V	-3	±0.5	+3	%
在 V_{CC} 电压下的 1MHz 容差	BCSCTL1=CALBC1_1MHZ，DCOCTL=CALDCO_1MHZ, 在 30°C 和 3 V 条件下进行校准	30°C	1.8V 至 3.6V	-3	±2	+3	%
1MHz 总容差	BCSCTL1 = CALBC1_1MHZ，DCOCTL = CALDCO_1MHZ，在 30°C 及 3 V 条件下进行校准	-40°C 至 85°C	1.8V 至 3.6V	-6	±3	+6	%

(1) 这是在温度为 30°C 时测得的频率在整个温度范围内所发生的变化。

从低功耗模式 (LPM3/4) 唤醒-电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$t_{DCO,LPM3/4}$	从 LPM3/4 的 DCO 时钟唤醒时间 (1)	BCSCTL1=CALBC1_1MHz，DCOCTL=CALDCO_1MHz	3V		1.5		µs
$t_{CPU,LPM3/4}$	从 LPM3/4 的 CPU 唤醒时间 (2)				$1/f_{MCLK}$+ $t_{时钟,LPM3/4}$		

(1) DCO 时钟唤醒时间的测量范围从一个外部唤醒信号（例如：端口中断）的边沿到可从外部观察到的一个时钟引脚（MCLK 或 SMCLK）上的第一个时钟信号边沿。
(2) 参数只有在 DCOCLK 用于 MCLK 时才适用。

典型特性-从 LPM3/4 的 DCO 时钟唤醒时间

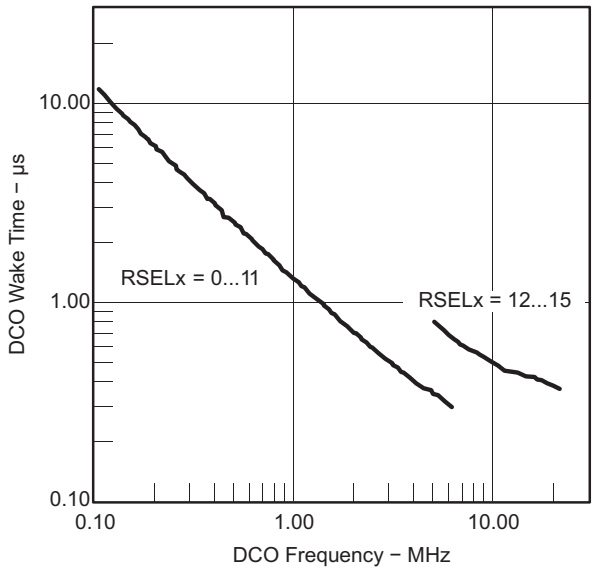


Figure 13. 从 LPM3 的 DCO 唤醒时间与 DCO 频率的关系

Copyright © 2010–2011, Texas Instruments Incorporated

晶体振荡器，XT1，低频模式(1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$f_{LFXT1,LF}$	LFXT1 振荡器晶振频率，LF 模式 0，1	XTS=0, LFXT1Sx=0 或 1	1.8V 至 3.6V		32768		Hz
$f_{LFXT1,LF,逻辑}$	LFXT1 振荡器逻辑电平方波输入频率，LF 模式	XTS=0，XCAPx=0，LFXT1Sx=3	1.8V 至 3.6V	10000	32768	50000	Hz
OA_{LF}	LF 晶体的振荡裕度	XTS=0，LFXT1Sx=0，$f_{LFXT1,LF}$=32768Hz，$C_{L,eff}$=6pF			500		kΩ
		XTS=0，LFXT1Sx=0，$f_{LFXT1,LF}$=32768 Hz，$C_{L,eff}$=12pF			200		
$C_{L,eff}$	集成型有效负载电容，LF 模式(2)	XTS=0，XCAPx=0			1		pF
		XTS=0，XCAPx=1			5.5		
		XTS=0，XCAPx=2			8.5		
		XTS=0，XCAPx=3			11		
	占空比，LF 模式	XTS=0，在 P2.0/ACLK 上测量，$f_{LFXT1,LF}$=32768Hz	2.2V	30	50	70	%
$f_{故障,LF}$	振荡器故障频率，LF 模式(3)	XTS=0，XCAPx=0，LFXT1Sx=3(4)	2.2V	10		10000	Hz

(1) 如欲改善 XT1 振荡器上的电磁干扰 (EMI)，则应遵守下面的指导准则。
(a) 应使器件与晶体之间的走线尽可能地短。
(b) 在振荡器引脚的周围设计一个良好的接地平面。
(c) 防止来自其它时钟或数据线路的串扰进入振荡器引脚 XIN 和 XOUT。
(d) 应避免在 XIN 和 XOUT 引脚的下方或附近布设 PCB 走线。
(e) 采用旨在消除振荡器 XIN 和 XOUT 引脚上的任何寄生负载的组装材料和惯例。
(f) 如果采用的是敷形涂覆，则应确保其不会在振荡器引脚之间引起电容/电阻泄漏电流。
(g) 如其它文档显示的那样，为了支持串行编程适配器，不要将 XOUT 线路由至 JTAG 头。 串行编程适配器不再需要该信号。

(2) 包括寄生键合及封装电容（每引脚约 2pF）。
由于 PCB 会增加额外的电容，因此建议通过测量 ACLK 频率来检验正确的负载。 为了完成正确的设置，有效负载电容应始终与所用晶体的规格相匹配。

(3) 低于 MIN 规格值的频率负责设定故障标志。 高于 MAX 规格值的频率并不设定故障标志。 位于 MAX 与 MIN 规格值之间的频率可以设定标志。

(4) 采用逻辑电平输入频率来测量，但也适合于采用晶体的操作。

内部超低功耗低频振荡器 (VLO)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		T_A	V_{CC}	最小值	典型值	最大值	单位
f_{VLO}	VLO 频率	-40°C 至 85°C	3V	4	12	20	kHz
df_{VLO}/d_T	VLO 频率温度漂移	-40°C 至 85°C	3V		0.5		%/°C
df_{VLO}/dV_{CC}	VLO 频率电源电压漂移	25°C	1.8V 至 3.6V		4		%/V

Timer_A

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{TA}	Timer_A 输入时钟频率	内部：SMCLK，ACLK 外部：TACLK，INCLK 占空比 = 50%±10%			$f_{系统}$		MHz
$t_{TA,cap}$	Timer_A 捕获时序	TA0, TA1	3V	20			ns

Copyright © 2010–2011, Texas Instruments Incorporated

USI，通用串行接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{USI}	USI 时钟频率	外部：SCLK， 占空比 = 50%±10%， SPI 受控模式			$f_{系统}$		MHz
$V_{OL\ ,\ I2C}$	SDA 和 SCL 上的低电平输出电压	处于 I2C 模式中的 USI 模块， $I_{(OLmax)}$=1.5mA	3V	V_{SS}		V_{SS}+0.4	V

典型特性 - SDA 和 SCL 上的 USI 低电平输出电压

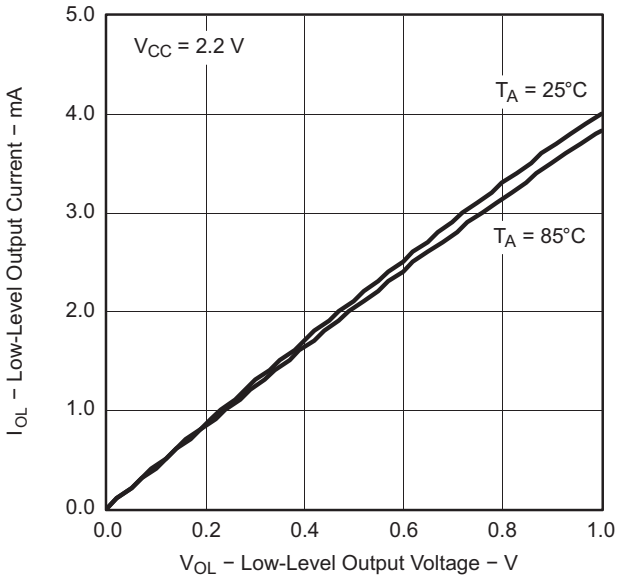


Figure 14. USI 低电平输出电压与输出电流间的关系

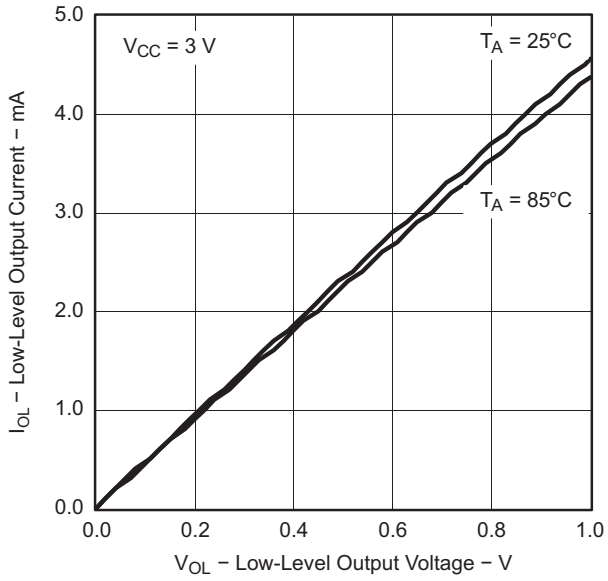


Figure 15. USI 低电平输出电压与输出电流间的关系

Copyright © 2010–2011, Texas Instruments Incorporated

10 位 ADC，电源及输入范围条件（仅限 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(1)

参数		测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
V_{CC}	模拟电源电压	V_{SS}=0V			2.2		3.6	V
V_{Ax}	模拟输入电压(2)	在 ADC10AE 寄存器中选择的所有 Ax 端子、模拟输入		3V	0		V_{CC}	V
I_{ADC10}	ADC10 电源电流(3)	$f_{ADC10CLK}$=5.0MHz，ADC10ON=1，REFON=0，ADC10SHT0=1，ADC10SHT1=0，ADC10DIV=0	25°C	3V		0.6		mA
I_{REF+}	基准电源电流，基准缓冲器被禁用(4)	$f_{ADC10CLK}$=5.0MHz，ADC10ON=0，REF2_5V=0，REFON=1，REFOUT=0	25°C	3V		0.25		mA
		$f_{ADC10CLK}$=5.0MHz，ADC10ON=0，REF2_5V=1，REFON=1，REFOUT=0				0.25		
$I_{REFB,0}$	ADC10SR=0 时的基准缓冲器电源电流(4)	$f_{ADC10CLK}$=5.0MHz，ADC10ON=0，REFON=1，REF2_5V=0，REFOUT=1，ADC10SR=0	25°C	3V		1.1		mA
$I_{REFB,1}$	ADC10SR=1 时的基准缓冲器电源电流(4)	$f_{ADC10CLK}$=5.0MHz，ADC10ON=0，REFON=1，REF2_5V=0，REFOUT=1，ADC10SR=1	25°C	3V		0.5		mA
C_I	输入电容	每次仅可选择一个端子 Ax	25°C	3V			27	pF
R_I	输入 MUX 导通电阻	$0V \le V_{Ax} \le V_{CC}$	25°C	3V		1000		Ω

(1) 在泄漏电流表中，漏电流用 Px.y/Ax 参数来定义。
(2) 模拟输入电压范围必须位于所选择的基准电压范围 V_{R+} 至 V_{R-}之内，以获得有效的转换结果。
(3) 内部基准电源电流不包含在流耗参数 I_{ADC10}之中。
(4) 内部基准电流通过 V_{CC}端子来提供。 流耗与 ADC10 控制位无关，除非转换是有源的。 REFON 位使得内置基准能够在启动一个 A/D 转换之前实现稳定。

Copyright © 2010–2011, Texas Instruments Incorporated

10 位 ADC，内置电压基准（仅限 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$V_{CC,REF+}$	正内置基准模拟电源电压范围	I_{VREF+}≤1mA，REF2_5V=0		2.2			V
		I_{VREF+}≤1mA，REF2_5V=1		2.9			
V_{REF+}	正内置基准电压	I_{VREF+}≤I_{VREF+}最大值，REF2_5V=0	3V	1.41	1.5	1.59	V
		I_{VREF+}≤I_{VREF+}最大值，REF2_5V=1		2.35	2.5	2.65	
$I_{LD,VREF+}$	最大 VREF+ 负载电流		3V			±1	mA
	VREF+ 负载调节	I_{VREF+}=500μA±100μA， 模拟输入电压 V_{Ax}≠0.75V, REF2_5V=0	3V			±2	LSB
		I_{VREF+}=500μA±100μA， 模拟输入电压 V_{Ax}≠1.25V, REF2_5V=1				±2	
	V_{REF+}负载调节响应时间	I_{VREF+}=100μA→900μA， V_{Ax}≠0.5×VREF+， 转换结果的误差 ≤ 1LSB， ADC10SR=0	3V			400	ns
C_{VREF+}	VREF+ 引脚上的最大电容	I_{VREF+}≤±1mA，REFON=1，REFOUT=1	3V			100	pF
TC_{REF+}	温度系数	（0mA≤I_{VREF+}≤1mA）时，I_{VREF+}保持恒定	3V			±100	ppm/°C
t_{REFON}	内部基准电压至 99.9% VREF 的稳定时间	I_{VREF+}=0.5mA，REF2_5V=0， REFON=0→1	3.6V			30	μs
$t_{REFBURST}$	基准缓冲器至 99.9% VREF 的稳定时间	I_{VREF+}=0.5mA， REF2_5V=1，REFON=1， REFBURST=1，ADC10SR=0	3V			2	μs

Copyright © 2010–2011, Texas Instruments Incorporated

10 位 ADC，外部基准(1)（仅限 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
VEREF+	正外部基准输入电压范围 (2)	VEREF+>VEREF-，SREF1=1，SREF0=0		1.4		V_{CC}	V
		VEREF-≤VEREF+≤V_{CC}-0.15V，SREF1=1，SREF0=1(3)		1.4		3	
VEREF-	负外部基准输入电压范围 (4)	VEREF+>VEREF-		0		1.2	V
ΔVEREF	差分外部基准输入电压范围，ΔVEREF=VEREF+– VEREF–	VEREF+>VEREF- (5)		1.4		V_{CC}	V
I_{VEREF+}	流入 VEREF+ 的静态输入电流	0V≤VEREF+≤V_{CC}，SREF1=1，SREF0=0	3V		±1		μA
		0V≤VEREF+≤V_{CC}-0.15V≤3V，SREF1=1，SREF0=1(3)	3V		0		
I_{VEREF-}	流入 VEREF- 的静态输入电流	0V≤VEREF-≤V_{CC}	3V		±1		μA

(1) 在转换期间采用外部基准，以对电容阵列进行充电和放电。 在转换期间，输入电容，即 C_I，也是外部基准的动态负载。 基准电源的动态阻抗应遵照有关模拟源阻抗的建议，以使充电稳定至 10 位准确度。
(2) 准确度限定了最小的正外部基准电压。 对于较低的准确度要求，可以采用较低的基准电压电平。
(3) 在此条件下，外部基准在内部进行缓冲。 基准缓冲器处于运行状态，并需要基准缓冲器电源电流 I_{REFB}。 流耗可被限制为 REBURST=1 的采样及转换周期。
(4) 准确度限定了最大的负外部基准电压。 对于较低的准确度要求，可以采用较高的基准电压电平。
(5) 准确度限定了最小的外部差分基准电压。 对于较低的准确度要求，可以采用较低的差分基准电压电平。

10 位 ADC，时序参数（仅限于 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件		V_{CC}	最小值	典型值	最大值	单位
$f_{ADC10CLK}$	ADC10 输入时钟频率	对于 ADC10 线性度参数的额定性能	ADC10SR=0	3V	0.45		6.3	MHz
			ADC10SR=1		0.45		1.5	
$f_{ADC10OSC}$	ADC10 内置振荡器频率	ADC10DIVx=0，ADC10SSELx=0，$f_{ADC10CLK}=f_{ADC10OSC}$		3V	3.7		6.3	MHz
$t_{转换}$	转换时间	ADC10 内置振荡器，ADC10SSELx=0，$f_{ADC10CLK}=f_{ADC10OSC}$		3V	2.06		3.51	μs
		$f_{ADC10CLK}$取自 ACLK，MCLK，或 SMCLK，ADC10SSELx≠0			13× ADC10DIV× $1/f_{ADC10CLK}$			
$t_{ADC10ON}$	ADC 的接通稳定时间	(1)					100	ns

(1) 条件是：在 t_{AC10ON}之后启动一个转换中的误差小于 ±0.5LSB。 基准及输入信号已稳定。

10 位 ADC，线性参数（仅限于 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
E_I	积分线性误差		3V			±1	LSB
E_D	差分线性误差		3V			±1	LSB
E_O	偏移误差	源阻抗 R_S<100Ω	3V			±1	LSB
E_G	增益误差		3V		±1.1	±2	LSB
E_T	全部未调整误差		3V		±2	±5	LSB

Copyright © 2010–2011, Texas Instruments Incorporated

10 位 ADC，温度传感器及内置 V_{MID}（仅限于 MSP430G2x31）

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$I_{传感器}$	温度传感器电源电流 (1)	REFON=0，INCHx=0Ah，T_A=25°C	3V		60		μA
$TC_{传感器}$		ADC10ON=1，INCHx=0Ah (2)	3V		3.55		mV/°C
$t_{传感器（采样）}$	通道 10 被选择时所需的采样时间 (3)	ADC10ON=1, INCHx=0Ah, 转换结果的误差 ≤ 1LSB	3V	30			μs
I_{VMID}	流入通道 11 中的分压器的电流	ADC10ON=1，INCHx=0Bh	3V			(4)	μA
V_{MID}	通道 11 中的 V_{CC} 分压器	ADC10ON=1，INCHx=0Bh，$V_{MID} \neq 0.5 \times V_{CC}$	3V		1.5		V
$t_{VMID（采样）}$	通道 11 时被选择时所需的采样时间 (5)	ADC10ON=1, INCHx=0Bh, 转换结果的误差 ≤ 1LSB	3V	1220			ns

(1) 假如（ADC10ON=1 且 REFON=1）或（ADC10ON=1 和 INCH=0Ah 且采样信号为高电平），传感器流耗为 I_{SENSOR}。 当 REFON=1 时，I_{SENSOR}包含于 I_{REF+}中。 当 REFON=0 时，I_{SENSOR}在温度传感器输入 (INCH=0Ah) 的转换期间采用。
(2) 可采用下面的公式来计算温度传感器输出电压：
$V_{感应器，典型值}=TC_{感应器}(273+T\ [°C])+ V_{偏移，感应器}[mV]$ 或
$V_{感应器，典型值}= TC_{感应器}T\ [°C]+V_{感应器}(T_A=0°C)\ [mV]$
(3) 传感器的典型等效阻抗为 51kΩ。 所需的采样时间包括传感器接通时间 $t_{SENSOR(on)}$。
(4) 无需额外的电流。 在采样期间使用 V_{MID}。
(5) 接通时间 $t_{VMID(on)}$ 包含于采样时间 $t_{VMID(sample)}$ 之中；无需额外的接通时间。

闪存存储器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
$V_{CC(PGM/ERASE)}$	编程及擦除电源电压			2.2		3.6	V
f_{FTG}	闪存时序生成器频率			257		476	kHz
I_{PGM}	编程期间来自 V_{CC} 的电源电流		2.2V/3.6V		1	5	mA
$I_{擦除}$	擦除期间来自 V_{CC} 的电源电流		2.2V/3.6V		1	7	mA
t_{CPT}	累计编程时间 (1)		2.2V/3.6V			10	ms
$t_{CMErase}$	累计批量擦除时间		2.2V/3.6V	20			ms
	编程/擦除耐久性			10^4	10^5		周期
$t_{保持}$	数据保持持续时间	T_J=25°C		100			年
$t_{字}$	字或字节编程时间	(2)			30		t_{FTG}
$t_{块，LPM3/0}$	第一个字节或字的块编程时间	(2)			25		t_{FTG}
$t_{块，1-63}$	用于每个额外字节或字的块编程时间	(2)			18		t_{FTG}
$t_{块，末端}$	块编程末端序列等待时间	(2)			6		t_{FTG}
$t_{批量擦除}$	批量擦除时间	(2)			10593		t_{FTG}
$t_{段擦除}$	段擦除时间	(2)			4819		t_{FTG}

(1) 当对一个 64 字节闪存块进行写入操作时，不得超过累计编程时间。 该参数适用于所有的编程方法：单个字/字节写入及块写入模式。
(2) 这些数值被实线连接至闪存控制器的状态机中 ($t_{FTG}=1/f_{FTG}$)。

Copyright © 2010–2011, Texas Instruments Incorporated

RAM

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	最大值	单位
$V_{(RAMh)}$	RAM 保持电源电压 (1)	CPU 暂停	1.6		V

(1) 当 RAM 中的数据保持不变时，该参数确定了最小电源电压 V_{CC}。 在该电源电压条件下不应执行任何程序。

JTAG 及 Spy-Bi-Wire 接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{SBW}	Spy-Bi-Wire 输入频率		2.2V/3V	0		20	MHz
$t_{SBW,低电平}$	Spy-Bi-Wire 低电平时钟脉冲长度		2.2V/3V	0.025		15	µs
$t_{SBW,En}$	Spy-Bi-Wire 启用时间（TEST 高电平以接受第一个时钟边沿 (1)）		2.2V/3V			1	µs
$t_{SBW,Ret}$	Spy-Bi-Wire 返回至正常运行时间		2.2V/3V	15		100	µs
f_{TCK}	TCK 输入频率 (2)		2.2V	0		5	MHz
			3V	0		10	MHz
$R_{内部}$	TEST 上的内部下拉电阻值		2.2V/3V	25	60	90	kΩ

(1) 访问 Spy-Bi-Wire 接口的工具在把 TEST/SBWCLK 引脚拉至高电平之后必需等待最大 $t_{SBW,En}$ 时间，而后再应用第一个 SBWCLK 时钟脉冲边沿。
(2) 可限制 f_{TCK} 以满足选定模块的定时要求。

JTAG 熔丝 (1)

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	最大值	单位
$V_{CC(FB)}$	熔丝烧断情况下的电源电压	T_A=25°C	2.5		V
V_{FB}	TEST 上针对熔丝烧断的电压电平		6	7	V
I_{FB}	熔丝烧断期间流入 TEST 的电源电流			100	mA
t_{FB}	熔丝烧断的时间			1	ms

(1) 一旦熔丝烧断，则不能继续使用 JTAG/测试、Spy-Bi-Wire，而仿真功能可用，且 JTAG 被切换至旁路模式。

Copyright © 2010–2011, Texas Instruments Incorporated

应用信息

端口 P1 引脚电路原理图：P1.0 至 P1.3，采用施密特触发器的输入/输出 - MSP430G2x21

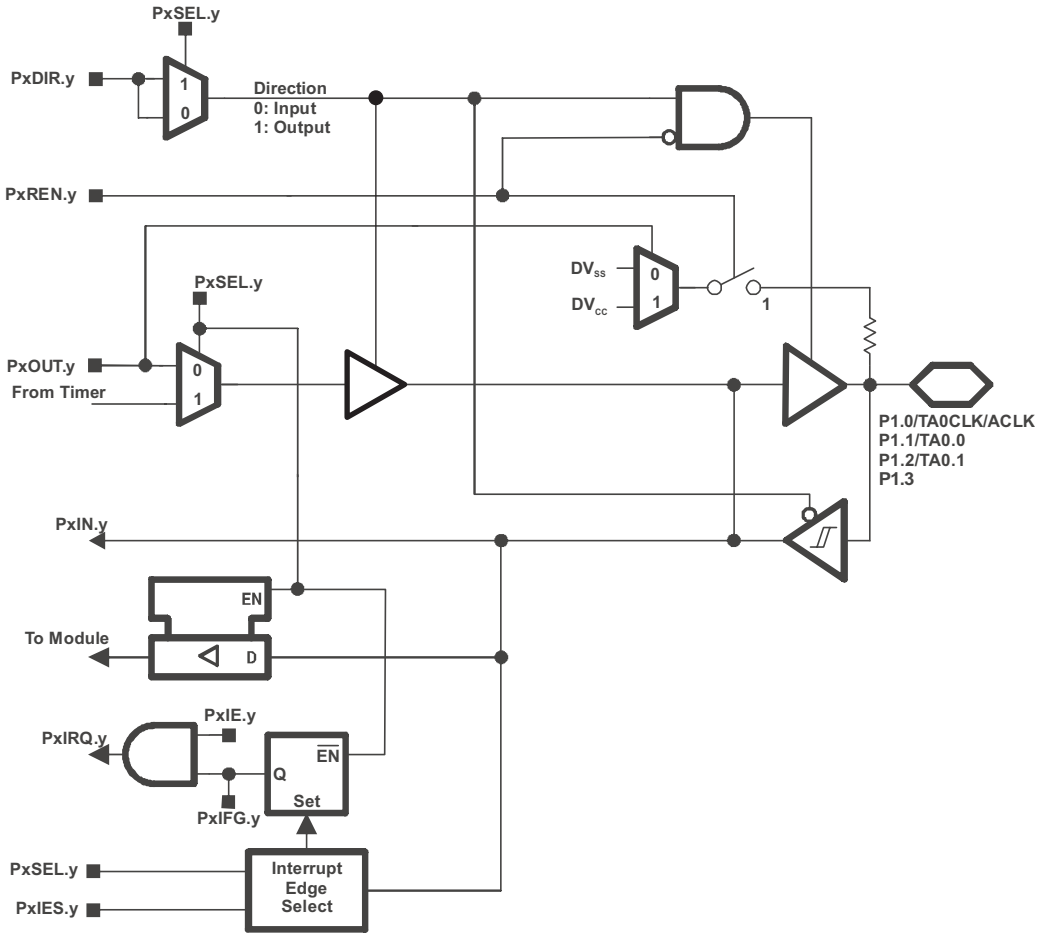


Table 13. 端口 P1（P1.0 至 P1.3）引脚功能 - MSP430G2x21

引脚名称 (P1.x)	x	功能	控制位/信号	
			P1DIR.x	P1SEL.x
P1.0/	0	P1.0 (I/O)	I: 0 ; O: 1	0
TA0CLK/		TA0CLK	0	1
ACLK		ACLK	1	1
P1.1/	1	P1.1 (I/O)	I: 0 ; O: 1	0
TA0.0		TA0.CCI0A	0	1
		TA0.0	1	1
P1.2/	2	P1.2 (I/O)	I: 0 ; O: 1	0
TA0.1		TA0.CCI1A	0	1
		TA0.1	1	1
P1.3	3	P1.3 (I/O)	I: 0 ; O: 1	0

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.4，采用施密特触发器的输入/输出-MSP430G2x21

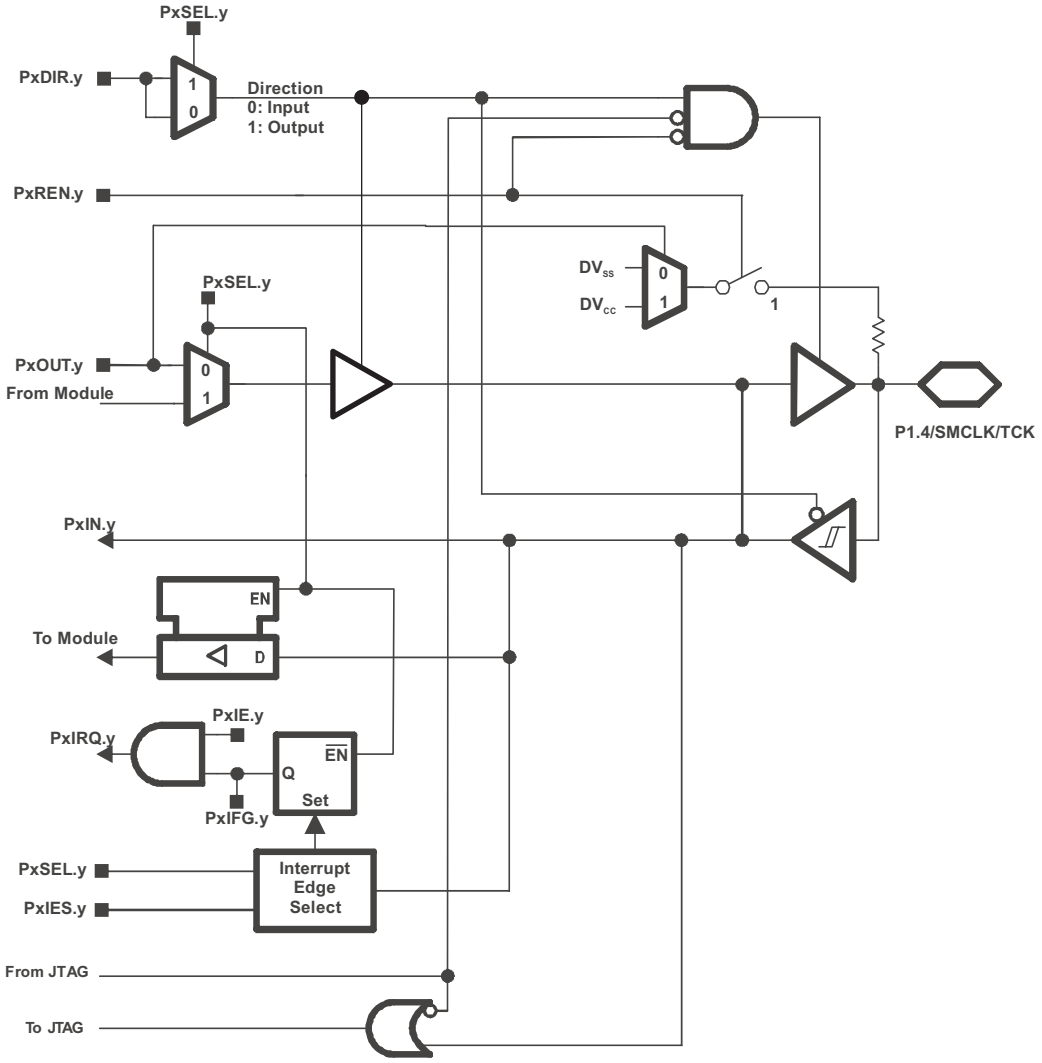


Table 14. 端口 P1 (P1.4) 引脚功能 - MSP430G2x21

引脚名称 (P1.x)	x	功能	控制位/信号(1)		
			P1DIR.x	P1SEL.x	JTAG 模式
P1.4/	4	P1.x (I/O)	I: 0 ; O: 1	0	0
SMCLK/		SMCLK	1	1	0
TCK		TCK	X	X	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.5，使用施密特触发器的输入/输出 - MSP430G2x21

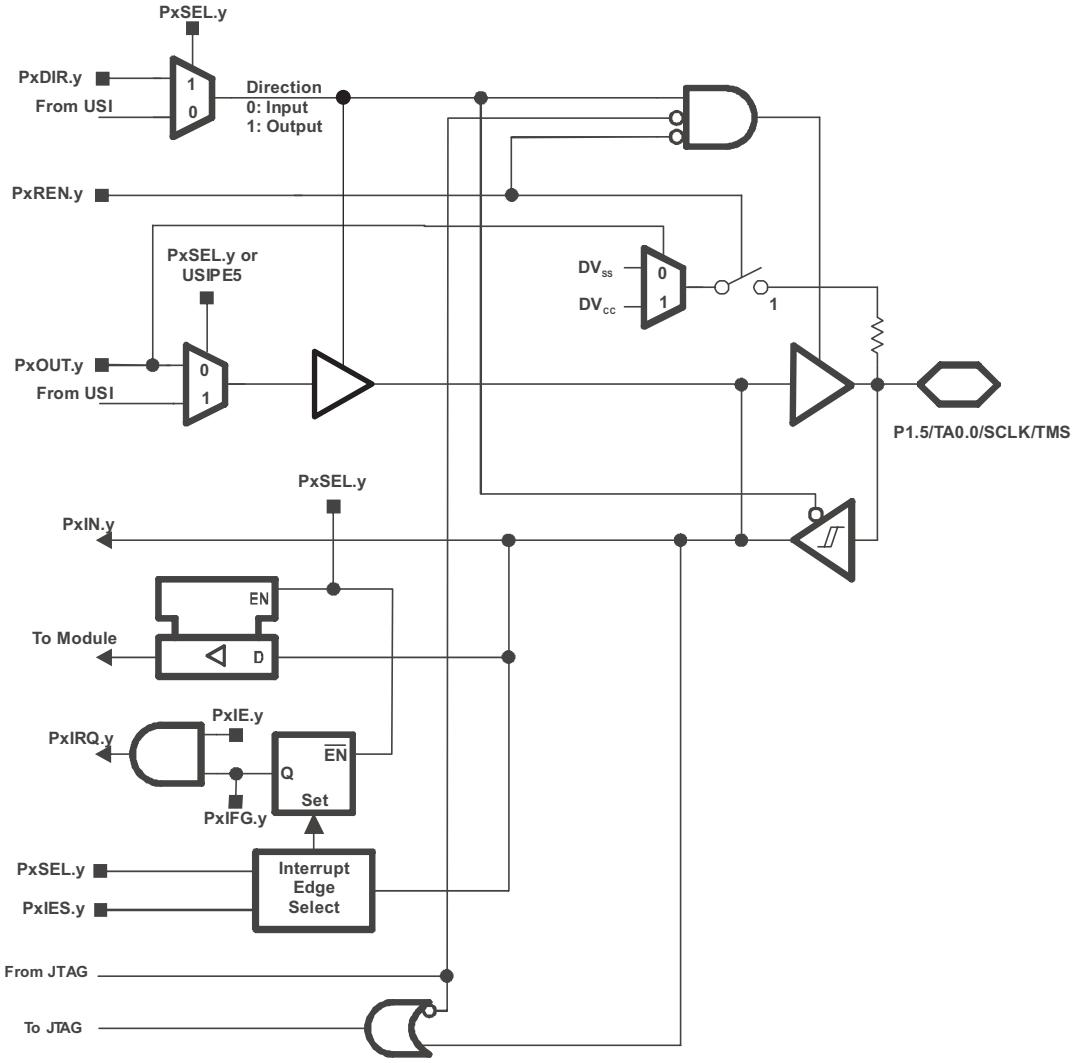


Table 15. 端口 P1 (P1.5) 引脚功能 - MSP430G2x21

引脚名称 (P1.x)	x	功能	控制位/信号(1)			
			P1DIR.x	P1SEL.x	USIP.x	JTAG 模式
P1.5/	5	P1.x (I/O)	I: 0 ; O: 1	0	0	0
TA0.0/		TA0.0	1	1	0	0
SCLK/		SCLK	X	X	1	0
TMS		TMS	X	X	0	1

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.6，使用施密特触发器的输入/输出 - MSP430G2x21

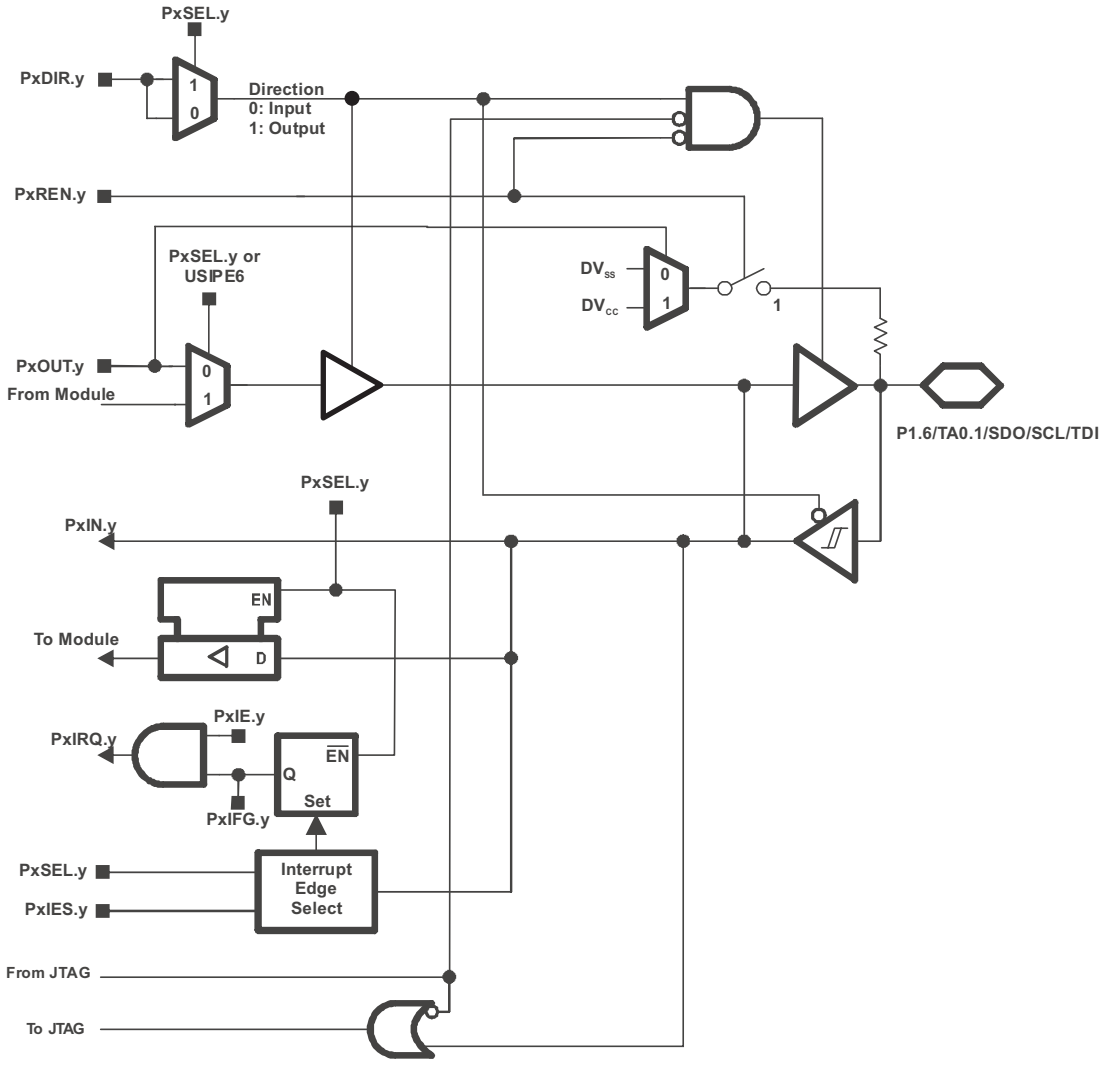


Table 16. 端口 P1 (P1.5) 引脚功能 - MSP430G2x21

引脚名称 (P1.x)	x	功能	控制位/信号(1)			
			P1DIR.x	P1SEL.x	USIP.x	JTAG 模式
P1.6/	6	P1.x (I/O)	I: 0 ; O: 1	0	0	0
TA0.1/		TA0.1	1	1	0	0
		TA0.CCI1B	0	1	0	0
SDO/SCL/		SDO/SCL	X	X	1	0
TDI/TCLK		TDI/TCLK	X	X	0	1

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.7，使用施密特触发器的输入/输出 - MSP430G2x21

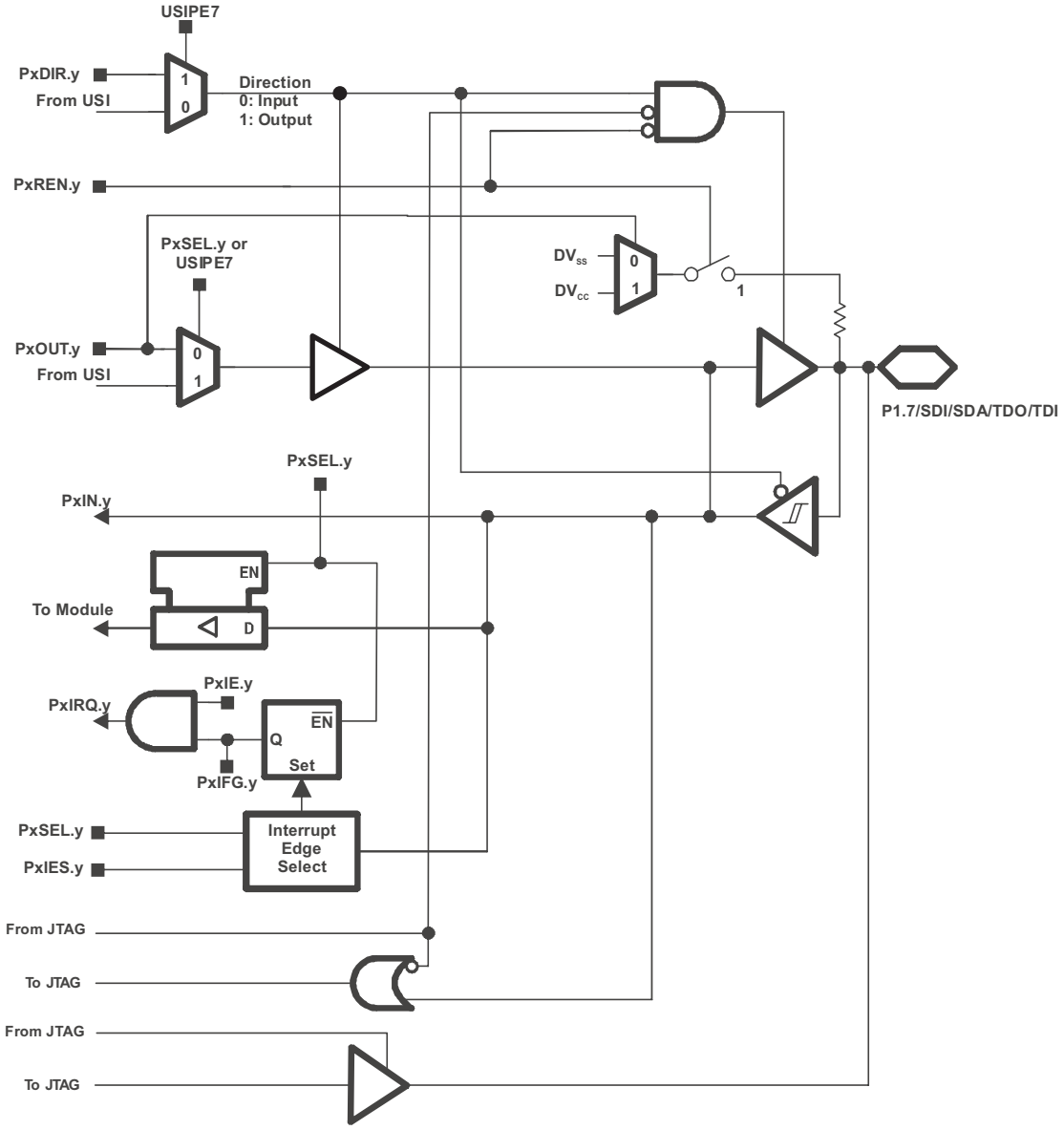


Table 17. 端口 P1 (P1.7) 引脚功能 - MSP430G2x21

引脚名称 P(1.x)	x	功能	控制位/信号 (1)			
			P1DIR.x	P1SEL.x	USIP.x	JTAG 模式
P1.7/	7	P1.x (I/O)	I: 0 ; O: 1	0	0	0
SDI/SDA/		SDI/SDA	X	X	1	0
TDO/TDI		TDO/TDI	X	X	0	1

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.0 至 P1.2，使用施密特触发器的输入/输出 - MSP430G2x31

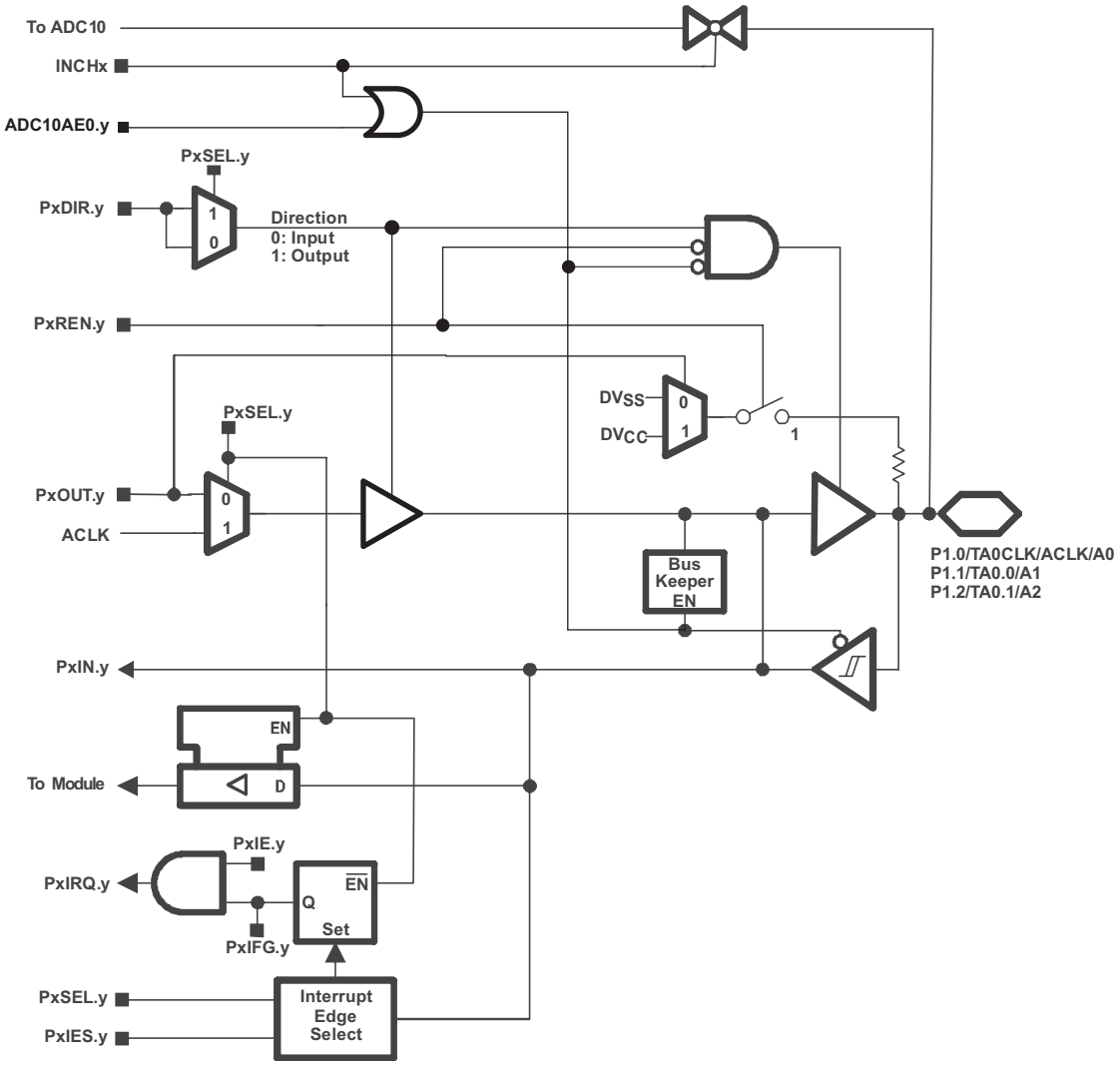


Table 18. 端口 P1 (P1.0 至 P1.2) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号(1)		
			P1DIR.x	P1SEL.x	ADC10AE.x (INCH.y=1)
P1.0/	0	P1.x (I/O)	I: 0 ; O: 1	0	0
TA0CLK/		TA0.TACLK	0	1	0
ACLK/		ACLK	1	1	0
A0		A0	X	X	1 (y=0)
P1.1/	1	P1.x (I/O)	I: 0 ; O: 1	0	0
TA0.0/		TA0.0	1	1	0
		TA0.CCI0A	0	1	0
A1		A1	X	X	1 (y=1)
P1.2/	2	P1.x (I/O)	I: 0 ; O: 1	0	0
TA0.1/		TA0.1	1	1	0
		TA0.CCI1A	0	1	0
A2/		A2	X	X	1 (y=2)

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.3，使用施密特触发器的输入/输出 - MSP430G2x31

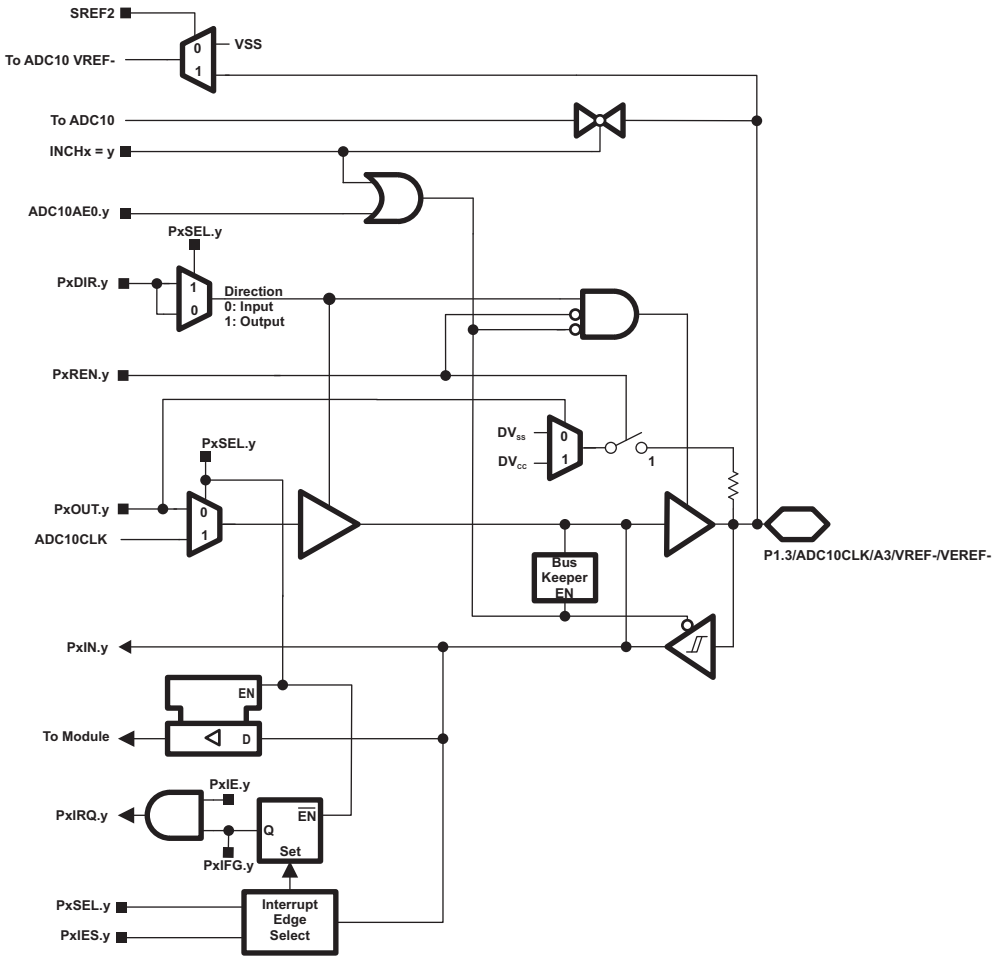


Table 19. 端口 P1 (P1.3) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号(1)		
			P1DIR.x	P1SEL.x	ADC10AE.x (INCH.x=1)
P1.3/	3	P1.x (I/O)	I: 0 ; O: 1	0	0
ADC10CLK/		ADC10CLK	1	1	0
A3/		A3	X	X	1 (y=3)
VREF-/		VREF-	X	X	1
VEREF-		VEREF-	X	X	1

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.4，使用施密特触发器的输入/输出 - MSP430G2x31

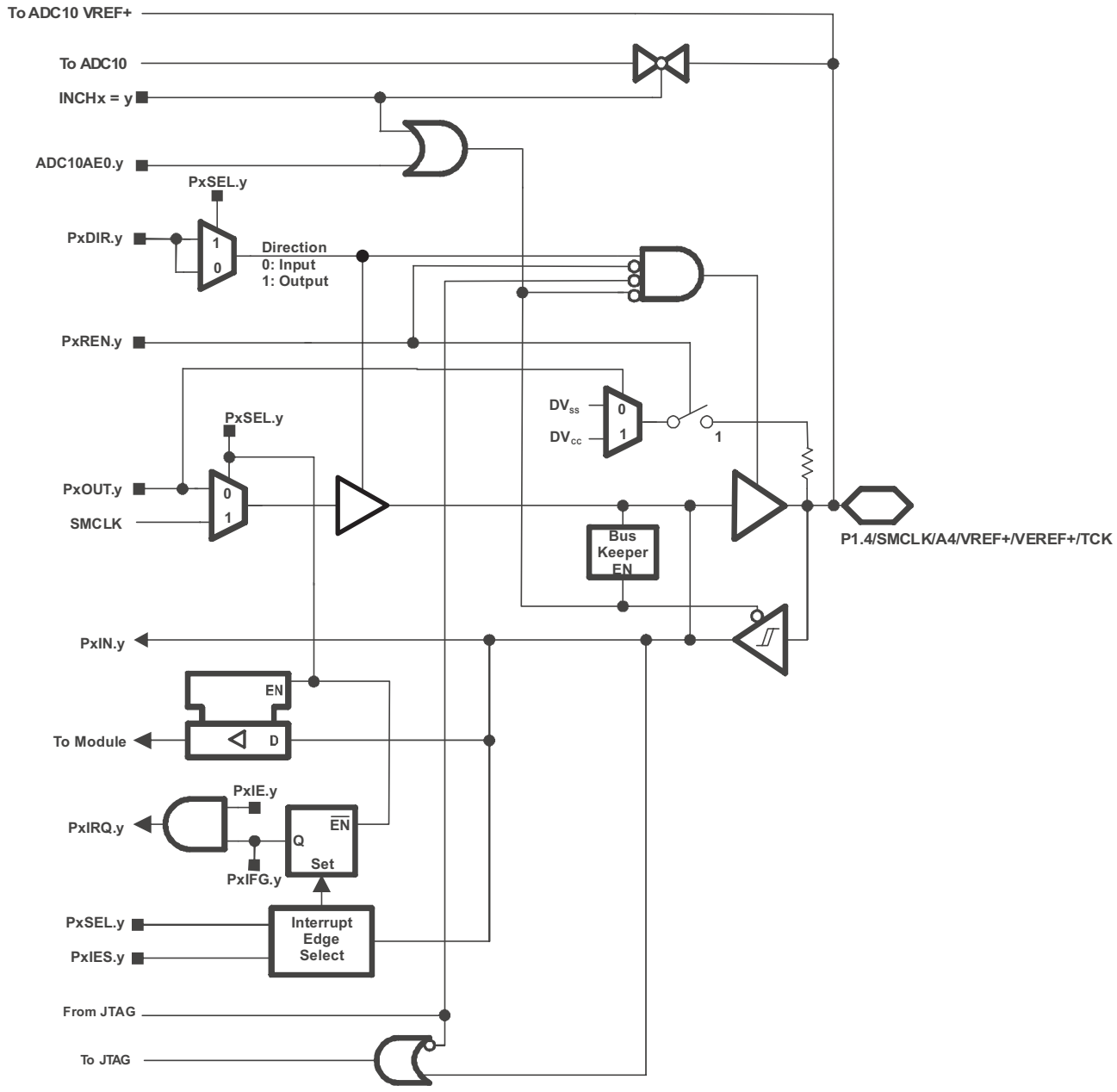
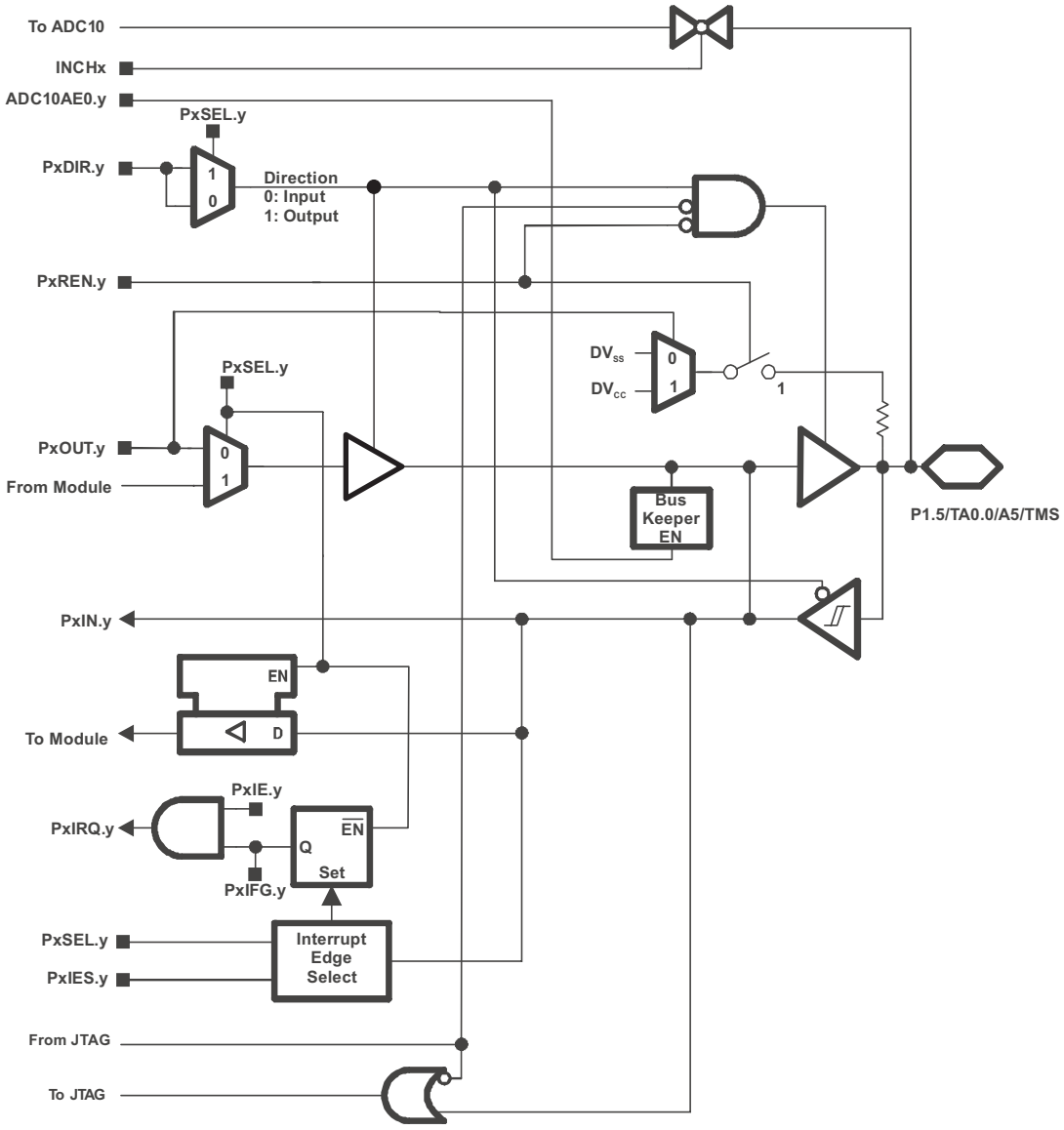


Table 20. 端口 P1 (P1.4) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号 (1)			
			P1DIR.x	P1SEL.x	ADC10AE.x (INCH.x=1)	JTAG 模式
P1.4/	4	P1.x (I/O)	I: 0 ; O: 1	0	0	0
SMCLK/		SMCLK	1	1	0	0
A4/		A4	X	X	1 (y=4)	0
VREF+/		VREF+	X	X	1	0
VEREF+/		VEREF+	X	X	1	0
TCK		TCK	X	X	0	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.5，使用施密特触发器的输入/输出 - MSP430G2x31



Copyright © 2010–2011, Texas Instruments Incorporated

Table 21. 端口 P1 (P1.5) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号 (1)				
			P1DIR.x	P1SEL.x	USIP.x	ADC10AE.x (INCH.x=1)	JTAG 模式
P1.5/	5	P1.x (I/O)	I: 0 ; O: 1	0	0	0	0
TA0.0/		TA0.0	1	1	0	0	0
A5/		A5	X	X	X	1 (y=5)	0
SCLK/		SCLK	X	X	1	0	0
TMS		TMS	X	X	0	0	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.6，使用施密特触发器的输入/输出 - MSP430G2x31

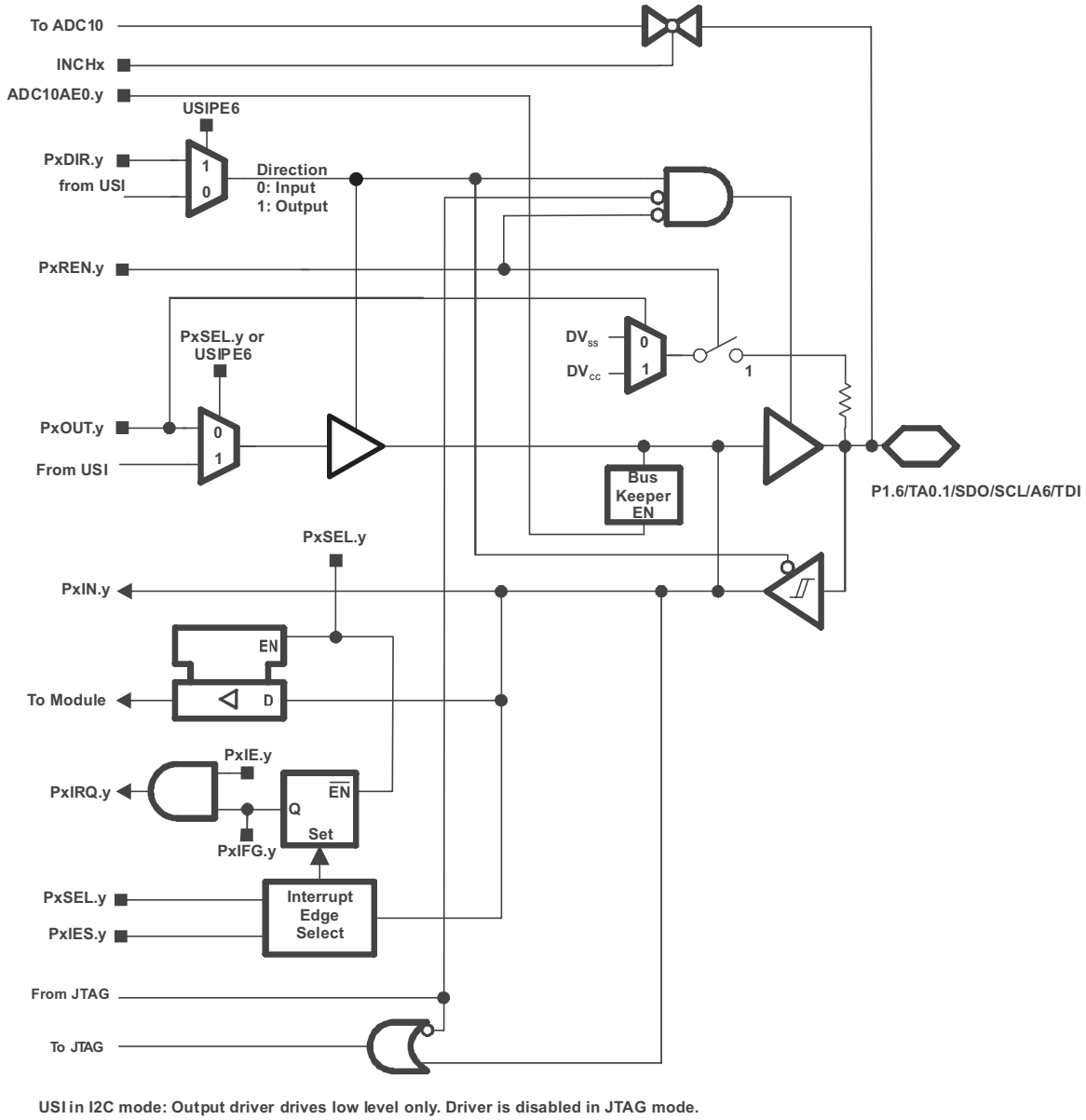


Table 22. 端口 P1 (P1.5) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号 (1)				
			P1DIR.x	P1SEL.x	USIP.x	ADC10AE.x (INCH.x=1)	JTAG 模式
P1.6/	6	P1.x (I/O)	I: 0 ; O: 1	0	0	0	0
TA0.1/		TA0.1	1	1	0	0	0
		TA0.CCR1B	0	1	0	0	0
A6/		A6	X	X	0	1 (y=6)	0
SDO/		SDO	X	X	1	0	0
TDI/TCLK		TDI/TCLK	X	X	0	0	1

(1) X = 无关

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P1 引脚电路原理图：P1.7，使用施密特触发器的输入/输出 - MSP430G2x31

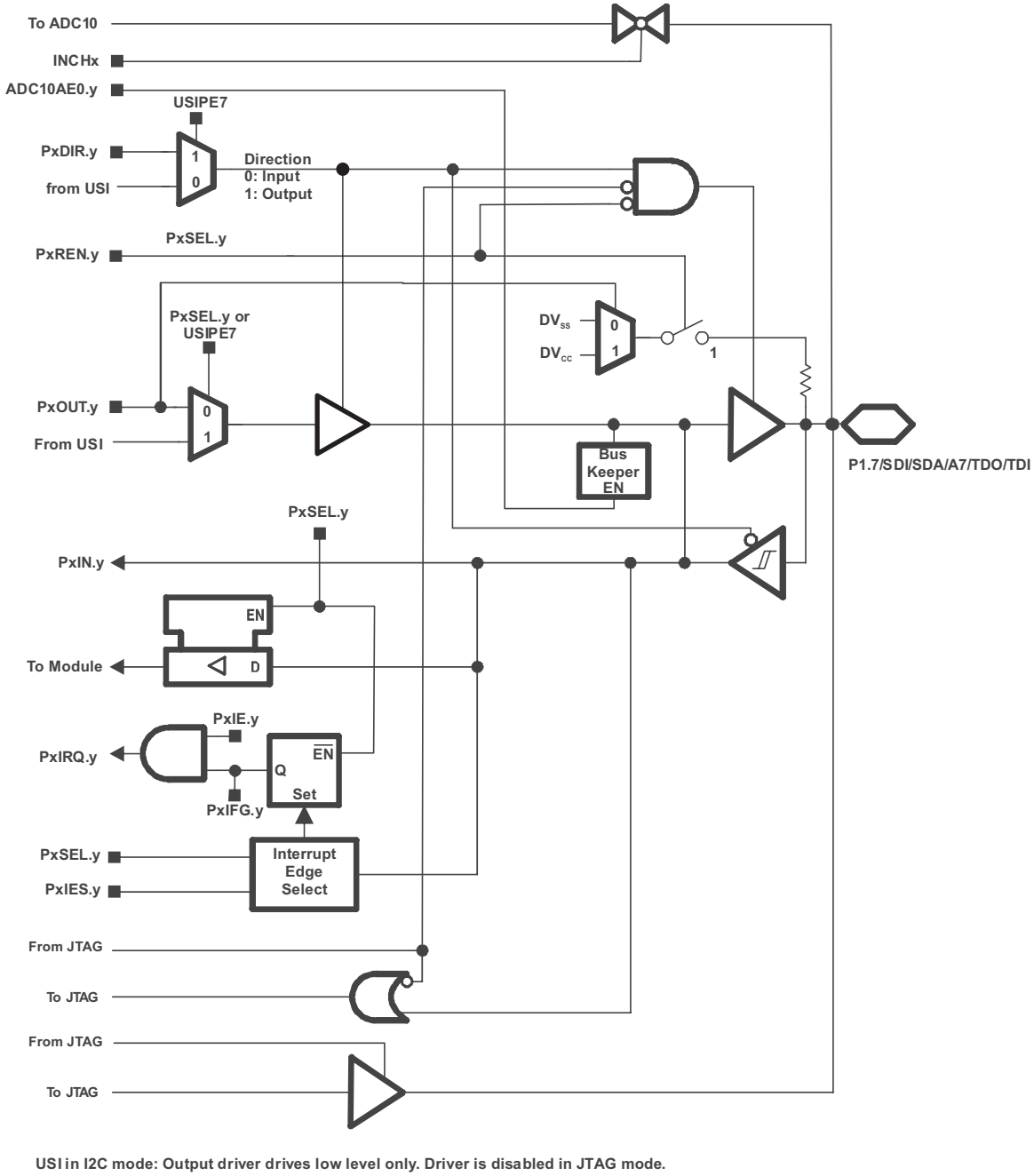


Table 23. 端口 P1 (P1.7) 引脚功能 - MSP430G2x31

引脚名称 (P1.x)	x	功能	控制位/信号 (1)				
			P1DIR.x	P1SEL.x	USIP.x	ADC10AE.x (INCH.x=1)	JTAG 模式
P1.7/	7	P1.x (I/O)	I: 0 ; O: 1	0	0	0	0
A7/		A7	X	X	0	1 (y=7)	0
SDI/SDO		SDI/SDO	X	X	1	0	0
TDO/TDI		TDO/TDI	X	X	0	0	1

(1) X = 无关

端口 P2 引脚电路原理图：P2.6，采用施密特触发器的输入/输出-MSP430G2x21 和 MSP430G2x31

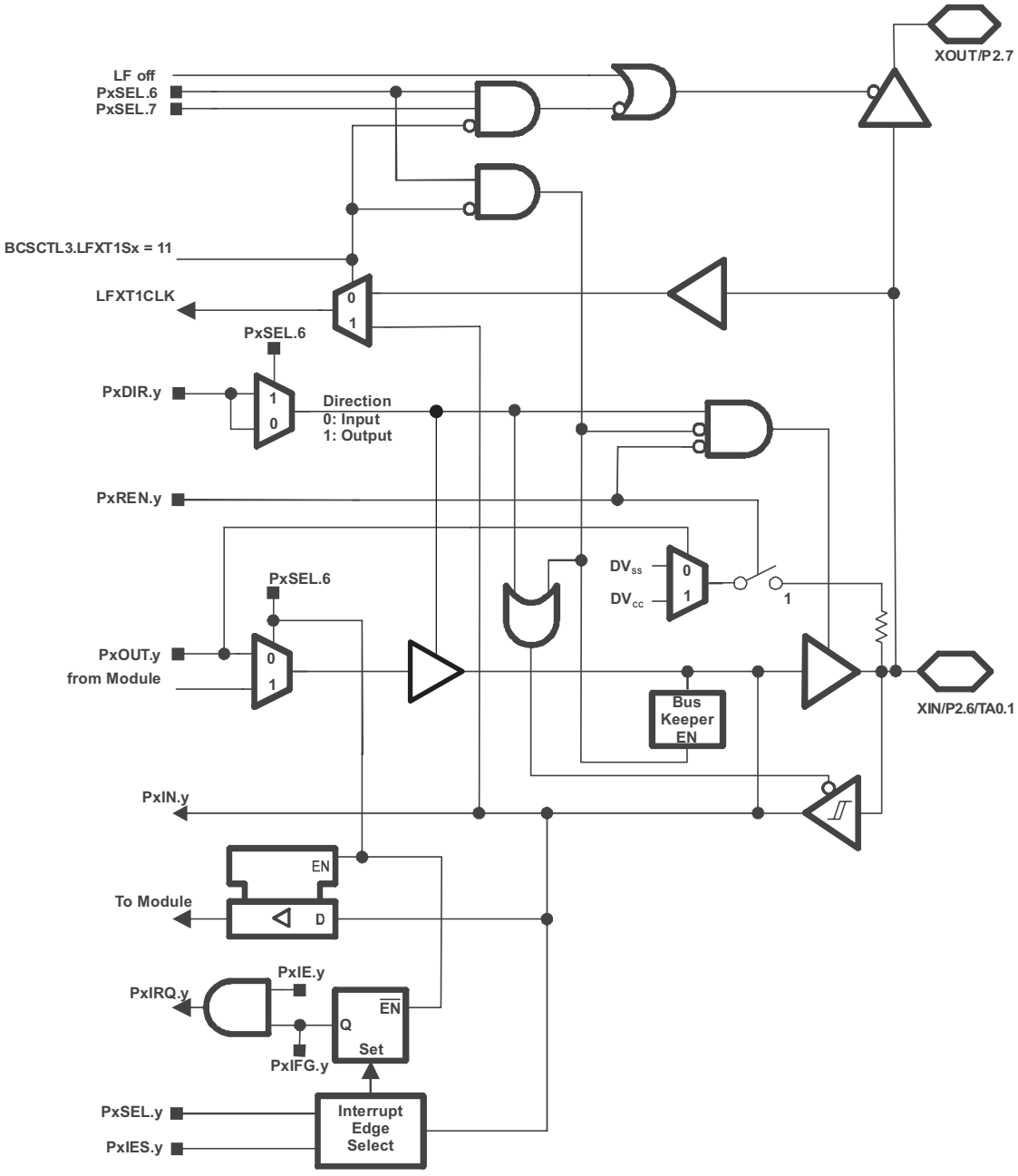


Table 24. 端口 P2 (P2.6) 引脚功能 - MSP430G2x21 和 MSP430G2x31

引脚名称 (P2.x)	x	功能	控制位/信号(1)		
			P2DIR.x	P2SEL.6	P2SEL.7
XIN	6	XIN	0	1	1
P2.6		P2.x (I/O)	I: 0 ; O: 1	0	X
TA0.1		TA0.1(2)	1	1	X

(1) X = 无关
(2) 要求 BCSCTL3.LFXT1Sx=11。

Copyright © 2010–2011, Texas Instruments Incorporated

端口 P2 引脚电路原理图：P2.7，采用施密特触发器的输入/输出 - MSP430G2x21 和 MSP430G2x31

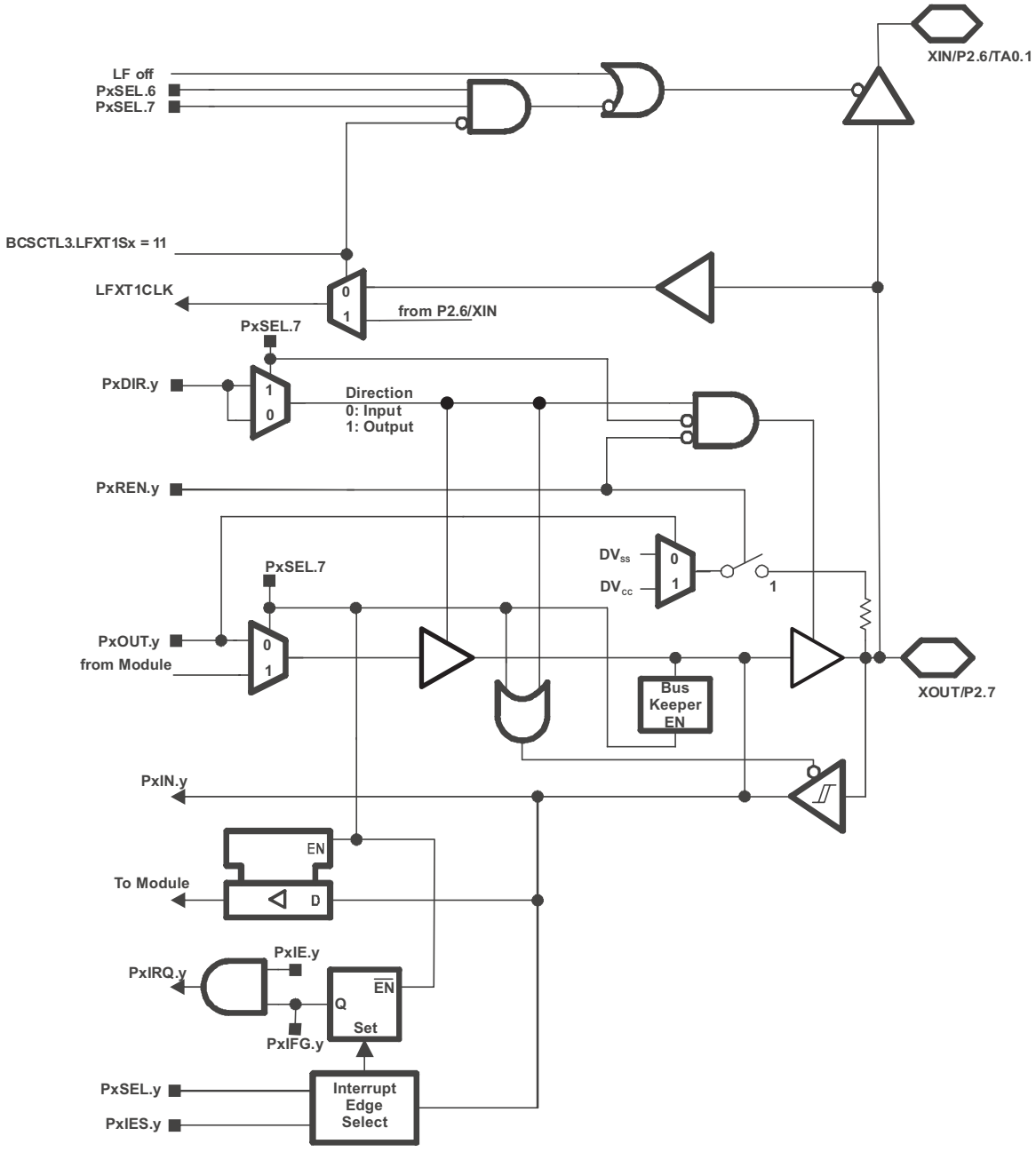


Table 25. 端口 P2 (P2.7) 引脚功能 - MSP430G2x21 和 MSP430G2x31

引脚名称 (P2.x)	x	功能	控制位/信号(1)		
			P2DIR.x	P2SEL.6	P2SEL.7
XOUT	7	XOUT	1	1	1
P2.7		P2.x (I/O)	I: 0 ; O: 1	X	0

(1) X = 无关

修订历史记录

修订	说明
SLAS694	更新了产品预览发布
SLAS694A	更新了产品预览发布 改变了全部采样。
SLAS694B	更新了产品预览发布
SLAS694C	生产数据发布
SLAS694D	更新了表 12，表 15，表 16，表 17，表 19，表 20，表 21，表 24，表 25。 更新了 MSP430G2x31 端口电路原理图：P1.0 至 P1.3，P1.5，P1.6，P1.7。
SLAS694E	更新了表 20，表 21，表 24。 更新了 MSP430G2x31 端口电路原理图：P1.3，P1.4。
SLAS694F	在Table 2中更正了 TA0.1 信号说明。 在Table 11中增加了 ADC10SA 寄存器。 在Table 12中添加了 ADC10DTC1 和 ADC10DTC0 寄存器。 Table 13中已连接的控制位。 Table 25中已连接的控制位。
SLAS694G	在 绝对最大额定值中，将 TT_{stg}，已编程器件，改为 -40°C 至 150°C。
SLAS694H	在 最大绝对额定值中，将 T_{stg}，以编程器件，改为 -55°C 至 150°C。 在 建议的运行条件中，将 V_{CC}=1.8V 时 f_{SYSTEM} 最大值从 4.15 改为 6MHz。
SLAS694I	更正了应用信息中所有端口电路原理图（在 PxOUT.y 复用之后增加了缓冲器）

Copyright © 2010–2011, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430G2121IN14	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	MSP430G2121	Samples
MSP430G2121IPW14	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2121	Samples
MSP430G2121IPW14R	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2121	Samples
MSP430G2121IRSA16R	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2121	Samples
MSP430G2121IRSA16T	NRND	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2121	
MSP430G2131IN14	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	MSP430G2131	Samples
MSP430G2131IPW14	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2131	Samples
MSP430G2131IPW14R	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2131	Samples
MSP430G2131IRSA16R	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2131	Samples
MSP430G2131IRSA16T	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2131	Samples
MSP430G2221IN14	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	MSP430G2221	Samples
MSP430G2221IPW14	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2221	Samples
MSP430G2221IPW14R	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2221	Samples
MSP430G2221IRSA16R	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2221	Samples
MSP430G2221IRSA16T	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2221	Samples
MSP430G2231IN14	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	MSP430G2231	Samples
MSP430G2231IPW14	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2231	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430G2231IPW14R	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	G2231	Samples
MSP430G2231IRSA16R	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2231	Samples
MSP430G2231IRSA16T	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430G 2231	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check http://www.ti.com/productcontent for the latest availability information and additional product content details.
TBD: The Pb-Free/Green conversion plan has not been defined.
Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.
Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSP430G2231 :

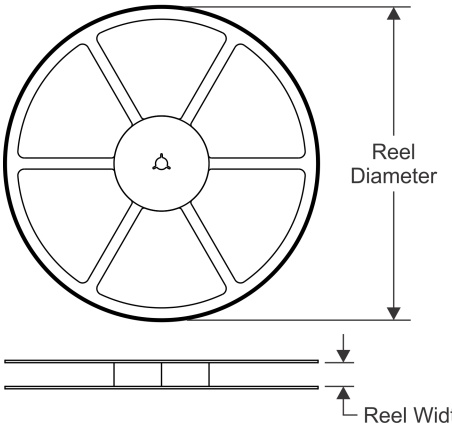
- Automotive: MSP430G2231-Q1
- Enhanced Product: MSP430G2231-EP

NOTE: Qualified Version Definitions:

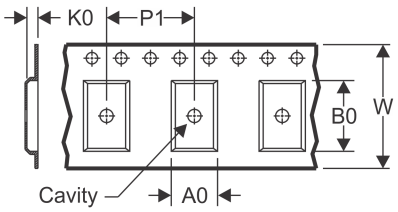
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

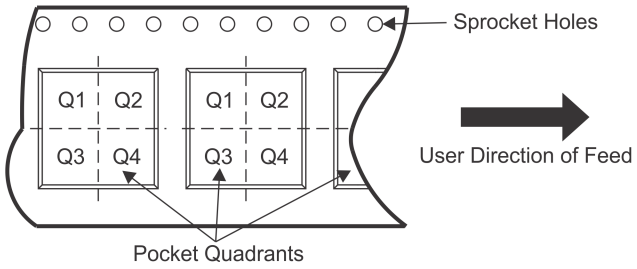


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

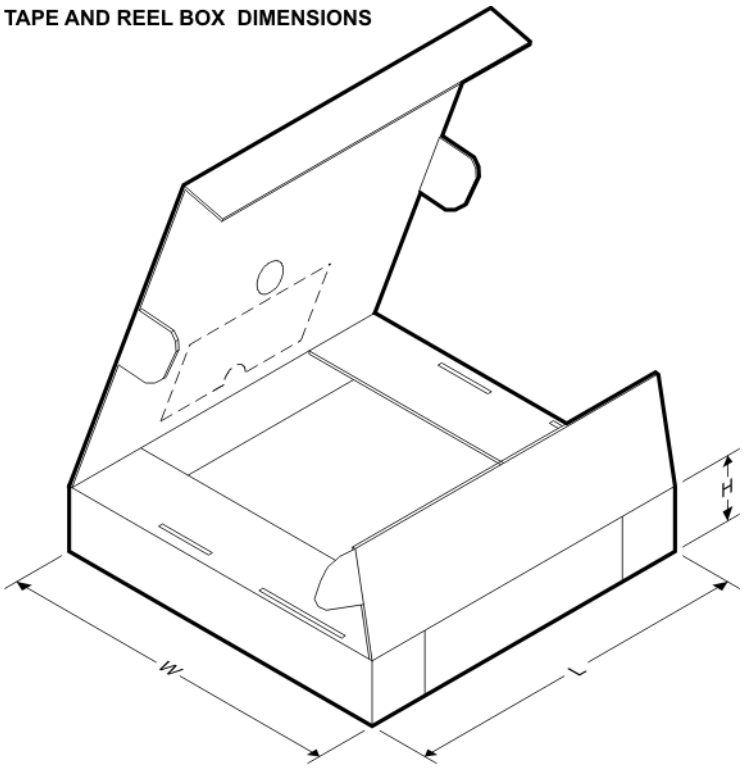
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430G2121IPW14R	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430G2121IRSA16R	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2121IRSA16T	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2131IPW14R	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430G2131IRSA16R	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2131IRSA16T	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2221IPW14R	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430G2221IRSA16R	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2221IRSA16T	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2231IPW14R	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430G2231IRSA16R	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430G2231IRSA16T	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

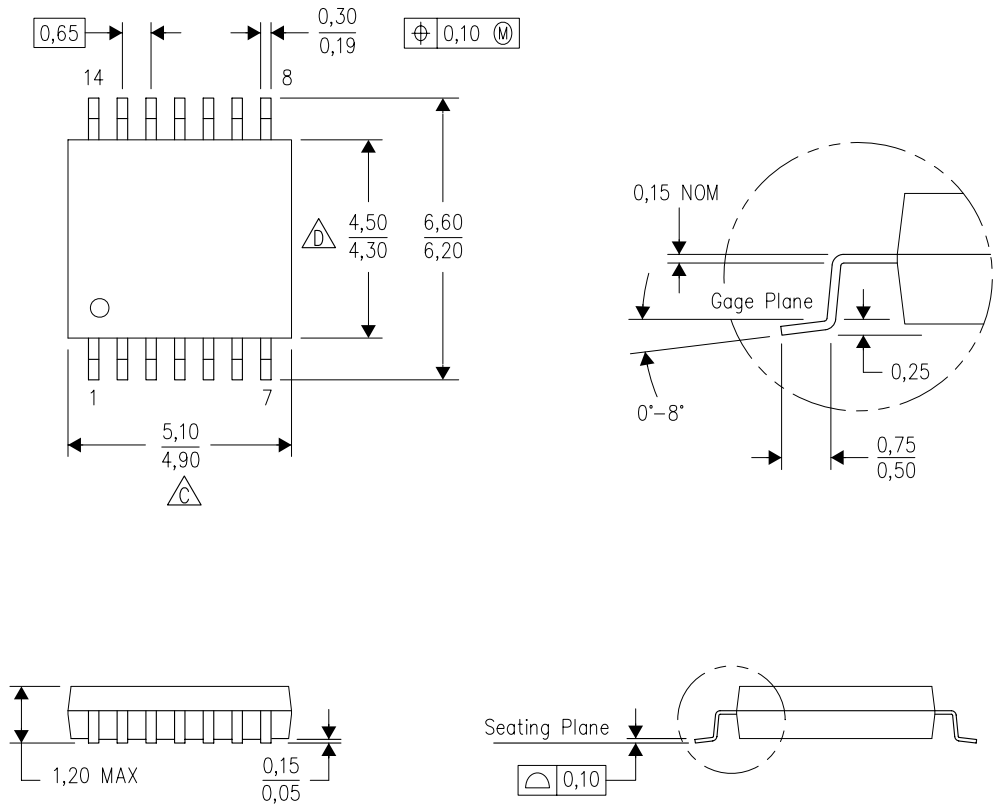
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430G2121IPW14R	TSSOP	PW	14	2000	367.0	367.0	35.0
MSP430G2121IRSA16R	QFN	RSA	16	3000	367.0	367.0	35.0
MSP430G2121IRSA16T	QFN	RSA	16	250	210.0	185.0	35.0
MSP430G2131IPW14R	TSSOP	PW	14	2000	367.0	367.0	35.0
MSP430G2131IRSA16R	QFN	RSA	16	3000	367.0	367.0	35.0
MSP430G2131IRSA16T	QFN	RSA	16	250	210.0	185.0	35.0
MSP430G2221IPW14R	TSSOP	PW	14	2000	367.0	367.0	35.0
MSP430G2221IRSA16R	QFN	RSA	16	3000	367.0	367.0	35.0
MSP430G2221IRSA16T	QFN	RSA	16	250	210.0	185.0	35.0
MSP430G2231IPW14R	TSSOP	PW	14	2000	367.0	367.0	35.0
MSP430G2231IRSA16R	QFN	RSA	16	3000	367.0	367.0	35.0
MSP430G2231IRSA16T	QFN	RSA	16	250	210.0	185.0	35.0

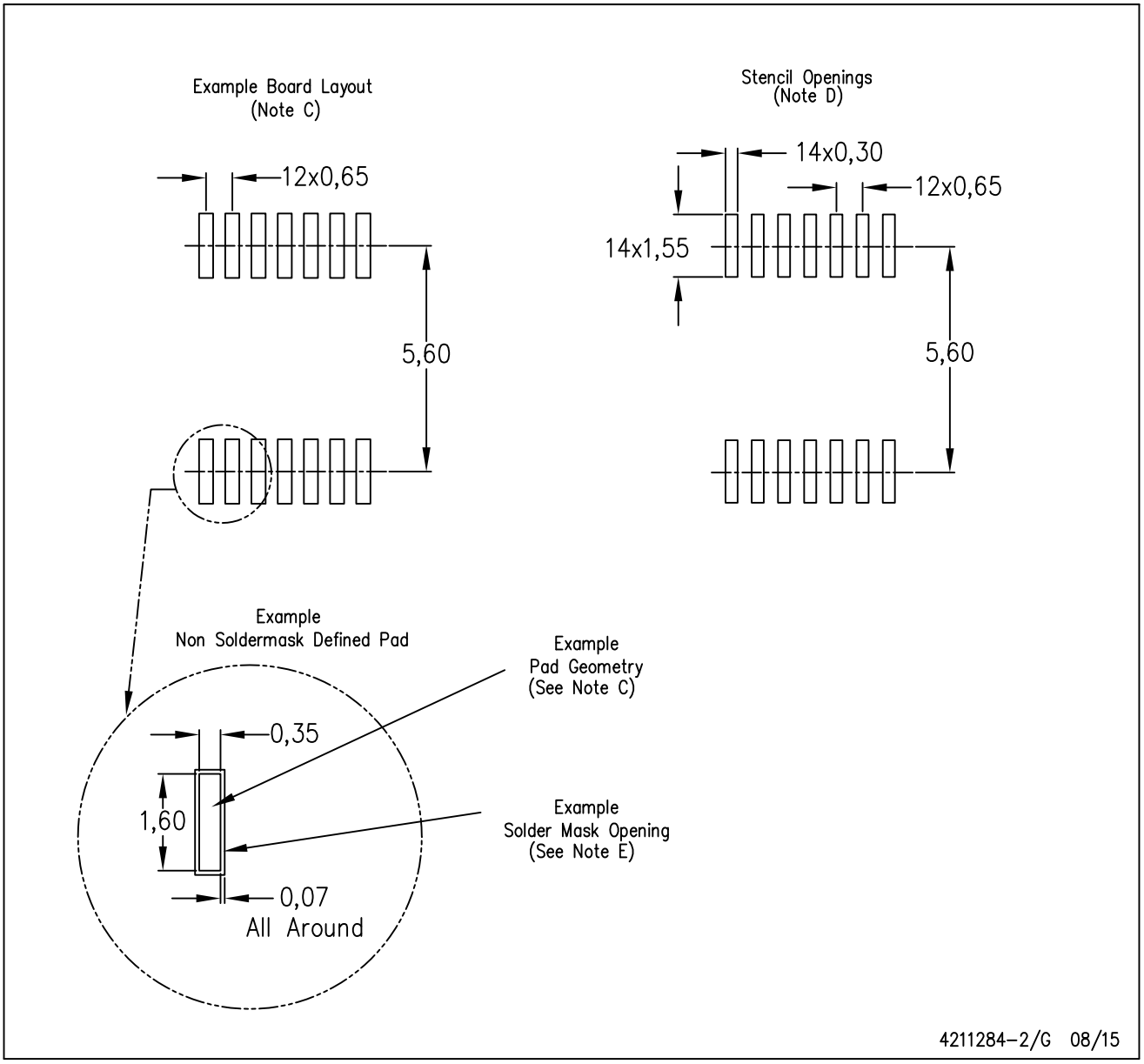
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE

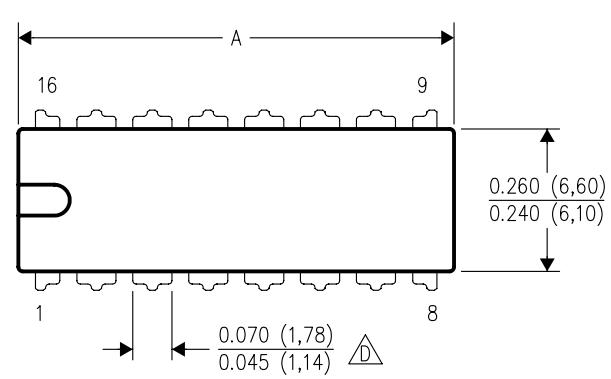


NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

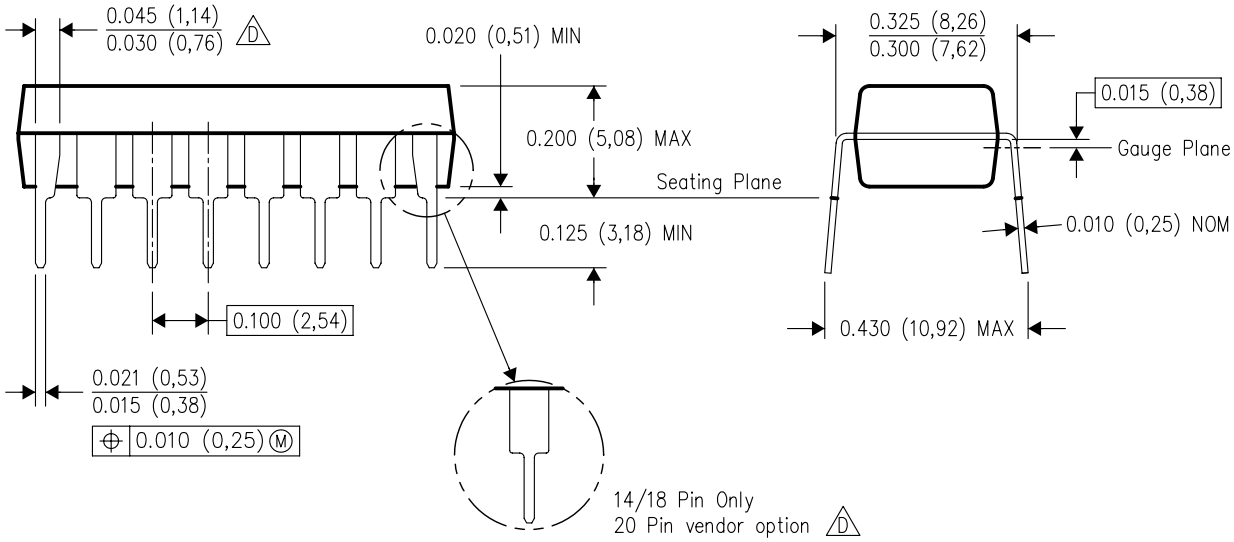
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



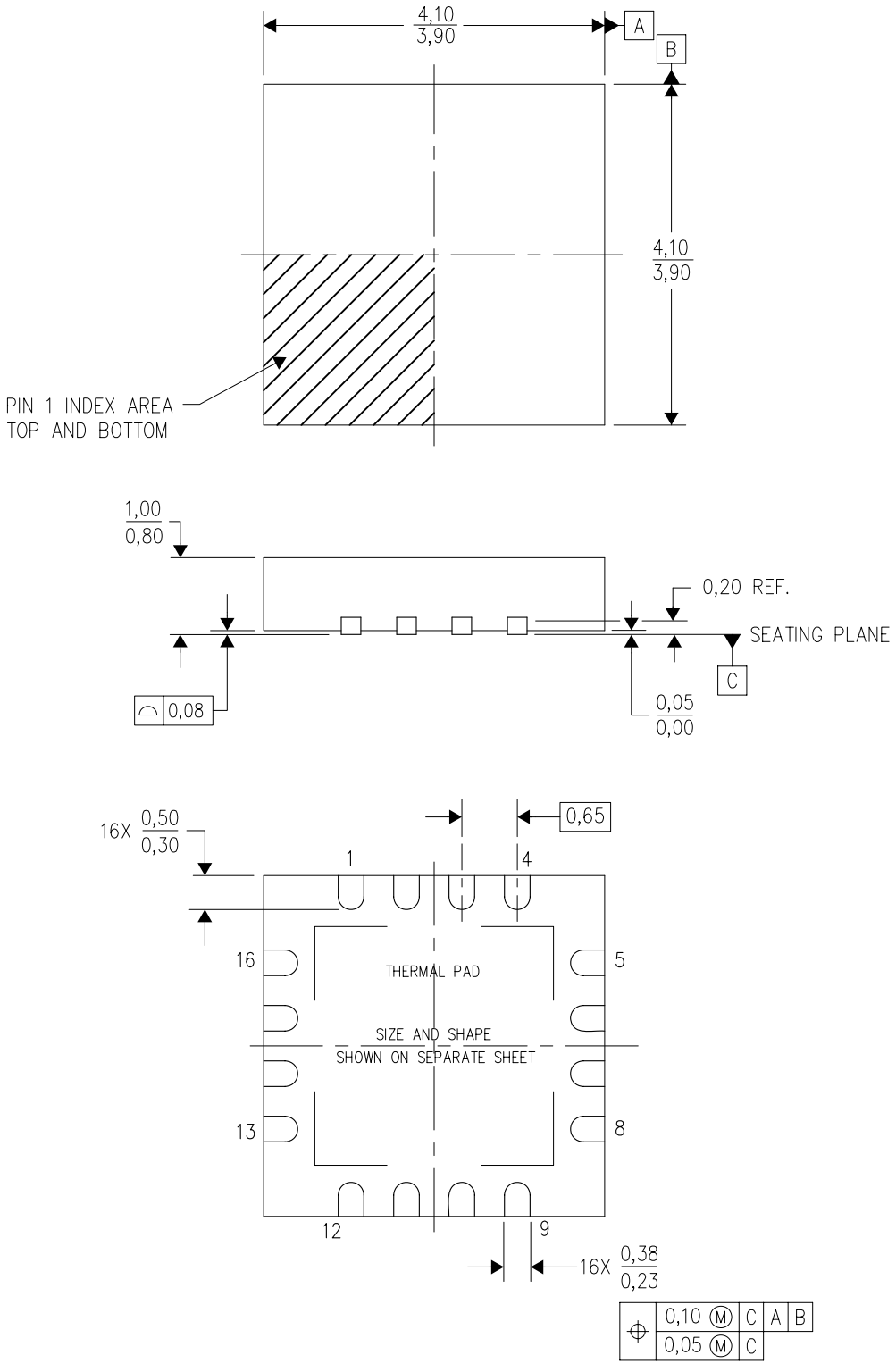
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

RSA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Falls within JEDEC MO–220.

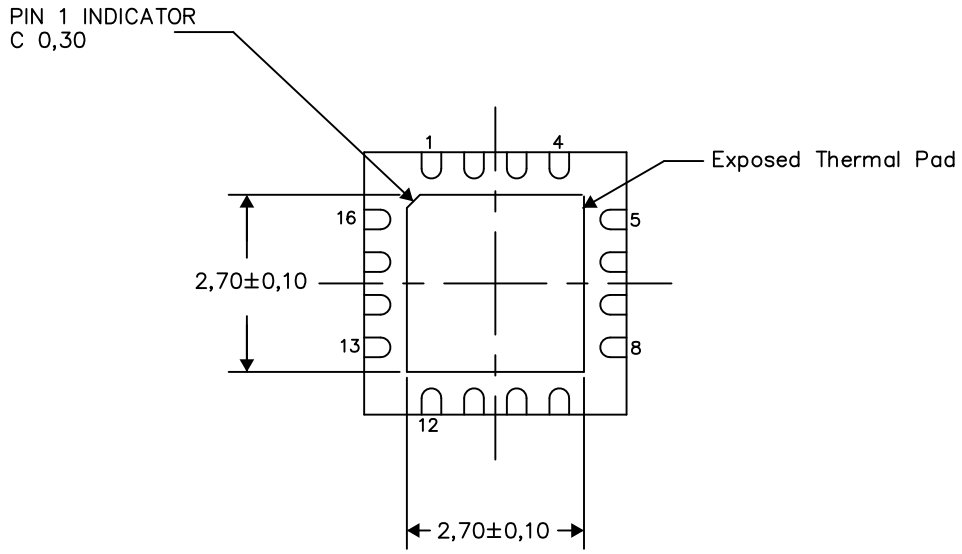
RSA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



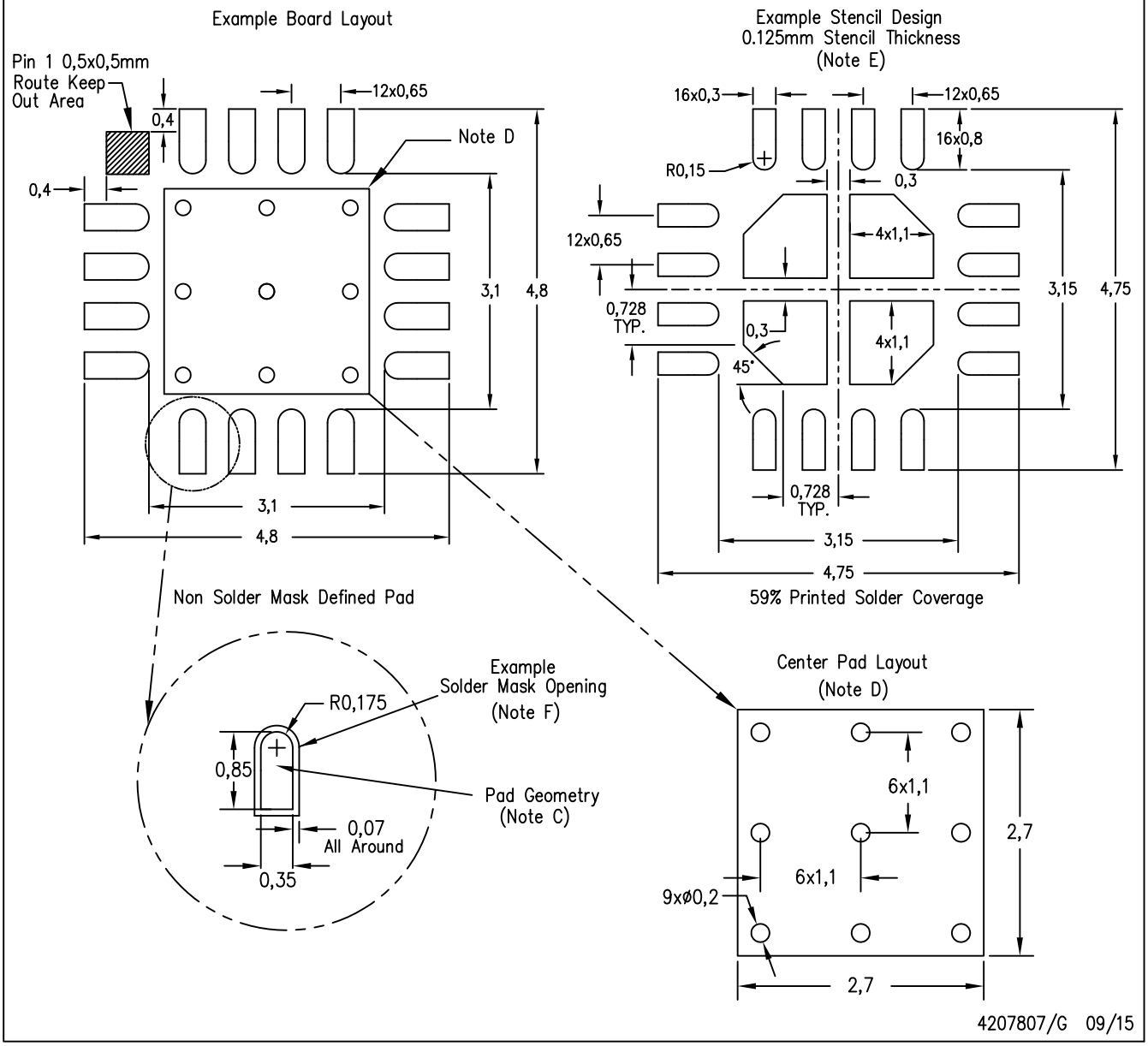
Bottom View

Exposed Thermal Pad Dimensions

4206364–2/0 09/15

NOTES:
A. All linear dimensions are in millimeters

RSA (S–PVQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for solder mask tolerances.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司