

**TMS320F2809, TMS320F2808, TMS320F2806
TMS320F2802, TMS320F2801, TMS320C2802
TMS320C2801, TMS320F28016, TMS320F28015**
数字信号处理器处理器

Data Manual



PRODUCTION DATA information is current as of publication date.
Products conform to specifications per the terms of the Texas
Instruments standard warranty. Production processing does not
necessarily include testing of all parameters.

Literature Number: ZHCS898N
October 2003–Revised May 2012

内容

1	F280x, F2801x, C280x DSPs	8
1.1	特性	8
1.2	开始使用	9
2	简介	10
2.1	引脚分配	13
2.2	信号说明	18
3	功能概述	24
3.1	内存映射	25
3.2	简要说明	33
3.2.1	C28x CPU	33
3.2.2	内存总线（哈佛总线架构）	33
3.2.3	外设总线	33
3.2.4	实时 JTAG 和分析	34
3.2.5	闪存	34
3.2.6	ROM	34
3.2.7	M0, M1 SARAM	34
3.2.8	L0, L1, H0 SARAM	35
3.2.9	引导 ROM	35
3.2.10	安全性	36
3.2.11	外设中断扩展 (PIE) 块	37
3.2.12	外部中断 (XINT1, XINT2, XNMI)	37
3.2.13	振荡器和锁相环 (PLL)	37
3.2.14	安全装置	37
3.2.15	外设时钟	37
3.2.16	低功率模式	37
3.2.17	外设帧 0, 1, 2 (PFn)	38
3.2.18	通用输入/输出 (GPIO) 复用器	38
3.2.19	32 位 CPU 定时器 (0, 1, 2)	38
3.2.20	控制外设	38
3.2.21	串行端口外设	39
3.3	寄存器映射	39
3.4	器件仿真寄存器	41
3.5	中断	41
3.5.1	外部中断	44
3.6	系统控制	45
3.6.1	OSC 和 PLL 块	46
3.6.1.1	外部基准振荡器时钟选项	47
3.6.1.2	基于 PLL 的时钟模块	48
3.6.1.3	输入时钟损失	49
3.6.2	安全装置块	50
3.7	低功率模式块	51
4	外设	52
4.1	32 位 CPU 定时器 0/1/2	52
4.2	增强型 PWM 模块 (ePWM1/2/3/4/5/6)	54
4.3	高分辨率 PWM (HRPWM)	57
4.4	增强型 CAP 模块 (eCAP1/2/3/4)	57
4.5	增强型 QEP 模块 (eQEP1/2)	60
4.6	增强型模数转换器 (ADC) 模块	62
4.6.1	如果 ADC 未被使用, ADC 连接	65
4.6.2	ADC 寄存器	66
4.7	增强型控制器局域网 (eCAN) 模块 (eCAN-A 和 eCAN-B)	67

4.8	串行通信接口 (SCI) 模块 (SCI-A, SCI-B)	72
4.9	串行外设接口 (SPI) 模块 (SPI-A, SPI-B, SPI-C, SPI-D)	75
4.10	内部集成电路 (I2C)	79
4.11	GPIO MUX	81
5	器件支持	85
5.1	器件和开发支持工具命名规则	85
5.2	文档支持	87
5.3	社区资源	92
6	电气规范	93
6.1	最大绝对额定值	93
6.2	建议的运行条件	94
6.3	电气特性	94
6.4	流耗	95
6.4.1	减少流耗	99
6.4.2	流耗图	100
6.5	针对 DSP 的无信号缓冲的仿真器连接	102
6.6	时序参数符号	103
6.6.1	定时参数的通用注释	103
6.6.2	测试负载电路	103
6.6.3	器件时钟表	104
6.7	时钟要求和特性	105
6.8	电源排序	106
6.8.1	电源管理和监控电路解决方案	106
6.9	通用输入/输出 (GPIO)	109
6.9.1	GPIO - 输出时序	109
6.9.2	GPIO - 输入时序	110
6.9.3	针对输入信号的采样窗口宽度	111
6.9.4	低功耗唤醒时序	112
6.10	增强型控制外设	115
6.10.1	增强型脉宽调制器 (ePWM) 时序	115
6.10.2	触发区输入时序	115
6.10.3	外部中断时序	117
6.10.4	I2C 电气特性和时序	118
6.10.5	串行外设接口 (SPI) 主控模式时序	118
6.10.6	SPI 受控模式时序	123
6.10.7	片载模数转换器	125
6.10.7.1	ADC 加电控制位时序	127
6.10.7.2	定义	128
6.10.7.3	顺序采样模式 (单通道) (SMODE = 0)	129
6.10.7.4	同步采样模式 (双通道) (SMODE=1)	130
6.11	详细说明	131
6.12	闪存定时	132
6.13	ROM 时序 (只适用于 C280x)	134
7	从 F280x 器件到 C280x 器件的迁移	135
7.1	迁移事件	135
8	修订历史记录	136
9	机械数据	137

图片列表

2-1	TMS320F2809, TMS320F2808 100 引脚 PZ LQFP (顶视图)	14
2-2	TMS320F2806 100 引脚 PZ LQFP (顶视图)	15
2-3	TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801 100 引脚 PZ LQFP (顶视图)	16
2-4	TMS320F2801x 100 引脚 PZ LQFP (顶视图)	17
2-5	TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320F28016, TMS320F28015, TMS320C2802, TMS320C2801 100 焊球 GGM 和 ZGM MicroStar BGA™ (顶视图)	17
3-1	功能方框图	25
3-2	F2809 内存映射	26
3-3	F2808 内存映射	27
3-4	F2806 内存映射	28
3-5	F2802, C2802 内存映射	29
3-6	F2801, F28015, F28016, C2801 内存映射	29
3-7	外部和 PIE 中断源	43
3-8	使用 PIE 块的中断复用	43
3-9	时钟和复位域	45
3-10	OSC 和 PLL 块方框图	46
3-11	使用一个 3.3V 外部振荡器	47
3-12	使用一个 1.8V 外部振荡器	47
3-13	使用内部振荡器	47
3-14	安全装置模块	50
4-1	CPU 定时器	52
4-2	CPU 定时器中断信号和输出信号	53
4-3	280x 系统中多个 PWM 模块	54
4-4	ePWM 子模块显示关键内部信号互连	56
4-5	eCAP 功能方框图	58
4-6	eQEP 功能方框图	60
4-7	ADC 模块的方框图	63
4-8	带有内部基准的 ADC 引脚连接	64
4-9	带有外部基准的 ADC 引脚连接	65
4-10	eCAN 方框图和接口电路图	68
4-11	eCAN-A 内存映射	69
4-12	eCAN-B 内存映射	70
4-13	串行通信接口 (SCI) 模块方框图	74
4-14	SPI 模块方框图 (受控模式)	78
4-15	I2C 外设模块接口	80
4-16	GPIO MUX 方框图	81
4-17	使用采样窗口的限定:	84
5-1	TMS320x280x/2801x 示例器件命名规则	86
6-1	典型运行电流与频率间的关系 (F2808)	100
6-2	典型运行功率与频率间的关系 (F2808)	100
6-3	典型运行电流与频率间的关系 (C280x)	101
6-4	典型运行功率与频率间的关系 (C280x)	101
6-5	针对 DSP 的无信号缓冲的仿真器连接	102
6-6	3.3V 测试负载电路	103
6-7	时钟时序	106
6-8	加电复位	107

6-9	热复位	108
6-10	写入 PLLCR 寄存器所产生的效果的示例	109
6-11	通用输出时序	110
6-12	采样模式	110
6-13	通用输入时序	111
6-14	IDLE 进入和退出定时	112
6-15	STANDY 进入和退出时序图	113
6-16	使用 GPION 的 HALT 唤醒	114
6-17	PWM Hi-Z 特性.....	115
6-18	ADCSOCAO或者ADCSOCBO时序.....	117
6-19	外部中断时序	117
6-20	SPI 主控模式外部时序（时钟相位 = 0）	120
6-21	SPI 主控模式外部时序（时钟相位 = 1）	122
6-22	SPI 受控模式外部时序（时钟相位 = 0）	124
6-23	SPI 受控模式外部时序（时钟相位 = 1）	125
6-24	ADC 加电控制位时序	127
6-25	ADC 模拟输入阻抗模型	128
6-26	顺序采样模式（单通道）时序	129
6-27	同步采样模式时序.....	130

图表列表

2-1	硬件特性（100MHz 驱动器）	11
2-2	硬件特性（60MHz 器件）	12
2-3	信号说明	18
3-1	F2809 中闪存扇区的地址	30
3-2	F2808 中闪存扇区的地址	30
3-3	F2806, F2802 中闪存扇区的地址	30
3-4	F2801, F28015, F28016 中闪存扇区的地址	31
3-5	使用安全代码模块的影响	31
3-6	等待状态	32
3-7	引导模式选择	35
3-8	外设帧 0 寄存器	40
3-9	外设帧 1 寄存器	40
3-10	外设帧 2 寄存器	41
3-11	器件仿真寄存器	41
3-12	PIE 外设中断	43
3-13	PIE 配置和控制寄存器	44
3-14	外部中断寄存器	44
3-15	PLL、计时、安全装置和低功率模式寄存器	46
3-16	PLL 寄存器位定义	48
3-17	可能的 PLL 配置模式	49
3-18	低功率模式	51
4-1	CPU 定时器 0, 1, 2 配置和控制寄存器	53
4-2	ePWM 控制和状态寄存器	55
4-3	eCAP 控制和状态寄存器	59
4-4	eQEP 控制和状态寄存器	61
4-5	ADC 寄存器	66
4-6	3.3V eCAN 收发器	68
4-7	CAN 寄存器映射	71
4-8	SCI-A 寄存器	73
4-9	SCI-B 寄存器	73
4-10	SPI-A 寄存器	76
4-11	SPI-B 寄存器	76
4-12	SPI-C 寄存器	77
4-13	SPI-D 寄存器	77
4-14	I2C-A 寄存器	80
4-15	GPIO 寄存器	82
4-16	F2808 GPIO MUX 表	83
5-1	TMS320x280x, 2801x 外设选择指南	87
6-1	TMS320F2809, TMS320F2808 100MHz SYSCLKOUT 上电源引脚的流耗	95
6-2	100MHz SYSCLKOUT 时 TMS320F2806 电源引脚 的流耗	96
6-3	100MHz SYSCLKOUT 时 TMS320F2802, TMS320F2801 电源引脚的流耗	97
6-4	100MHz SYSCLKOUT 时 TMS320C2802, TMS320C2801 电源引脚的流耗	98
6-5	不同外设的典型流耗（在 100MHz 上时）	99
6-6	TMS320x280x 时钟表和命名规则（100MHz 器件）	104
6-7	TMS320x280x/2801x 时钟表和命名规则（60MHz 器件）	104
6-8	输入时钟频率	105
6-9	XCLKIN 时序要求 - PLL 被启用	105

6-10	XCLKIN时序需求 - PLL 被禁用	105
6-11	XCLKOUT 开关特性 (PLL 旁通或者被禁用)	105
6-12	电源管理和监控电路解决方案	106
6-13	复位XRS时序要求	108
6-14	通用输出开关特性	109
6-15	通用输入时序要求	110
6-16	IDLE 模式时序要求	112
6-17	IDLE 模式开关特性	112
6-18	STANDBY 模式定时要求	113
6-19	STANDBY 模式开关特性	113
6-20	HALT 模式时序要求	114
6-21	HALT 模式开关特性	114
6-22	ePWM 时序要求	115
6-23	ePWM 开关特性	115
6-24	触发区输入时序要求	115
6-25	SYSCLKOUT=60-100MHz时, 高分辨率 PWM 特性	116
6-26	增强型捕捉 (eCAP) 时序要求	116
6-27	eCAP 开关特性	116
6-28	增强型正交编码器脉冲 (eQEP) 时序要求	116
6-29	eQEP 开关特性	116
6-30	外部 ADC 转换开始开关特性	117
6-31	外部中断时序要求	117
6-32	外部中断开关特性	117
6-33	I2C 时序	118
6-34	SPI 主控模式外部时序 (时钟相位 = 0)	119
6-35	SPI 主控模式外部时序 (时钟相位 = 1)	121
6-36	SPI 受控模式外部时序 (时钟相位 = 0)	123
6-37	SPI 受控模式外部时序 (时钟相位 = 1)	124
6-38	ADC 电气特性 (在推荐的运行条件下)	125
6-39	ADC 加电延迟	127
6-40	针对不同 ADC 配置的功耗 (在12.5MHzADCCLK 上)	127
6-41	顺序采样模式时序	129
6-42	同步采样模式时序	130
6-43	对于A 和S 温度材料的闪存耐受度	132
6-44	闪存对于 Q 温度材料的耐受度	132
6-45	100MHzSYSCLKOUT 上的闪存参数	132
6-46	闪存 / OTP 访问时序	133
6-47	不同频率上所需最小的闪存 / OTP 等待状态	133
6-48	ROM/OTP 访问时序	134
6-49	不同频率上 ROM/ROM (OTP 区域) 所要求的最小等待状态	134
9-1	F280x 热性能模型 100 引脚 GGM 结果	137
9-2	F280x 热性能模型 100 引脚 PZ 结果	137
9-3	C280x 热性能模型 100 引脚 GGM 结果	137
9-4	C280x 热性能模型 100 引脚 PZ 结果	137
9-5	F2809 热性能模型 100 引脚 GGM 结果	137
9-6	F2809 热性能模型 100 引脚 PZ 结果	138

数字信号处理器处理器

查询样品: [TMS320F2809](#), [TMS320F2808](#), [TMS320F2806](#), [TMS320F2802](#), [TMS320F2801](#), [TMS320C2802](#),
[TMS320C2801](#), [TMS320F28016](#), [TMS320F28015](#)

1 F280x, F2801x, C280x DSPs

1.1 特性

- 高性能静态 CMOS 技术
 - 100MHz (10ns 周期时间)
 - 60MHz (16.67ns 周期时间)
 - 低功耗 (1.8V 电压, 3.3V I/O) 设计
- JTAG 边界扫描支持⁽¹⁾
- 高性能 32 位 CPU (TMS320C28x™)
 - 16 x 16 和 32 x 32 介质访问控制 (MAC) 运算
 - 16 x 16 双 MAC
 - 哈佛 (Harvard) 总线架构
 - 连动运算
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码 (使用 C/C++ 和汇编语言)
- 片上存储器
 - F2809: 128K x 16 闪存, 18K x 16 SARAM
 - F2808: 64K x 16 闪存, 18K x 16 SARAM
 - F2806: 32K x 16 闪存, 10K x 16 SARAM
 - F2802: 32K x 16 闪存, 6K x 16 SARAM
 - F2801: 16K x 16 闪存, 6K x 16 SARAM
 - F2801x: 16K x 16 闪存, 6K x 16 SARAM
 - 1K x 16 一次性可编程 (OTP) ROM (只适用于闪存器件)
 - C2802: 32K x 16 ROM, 6K x 16 SARAM
 - C2801: 16K x 16 ROM, 6K x 16 SARAM
- 引导 ROM (4K x 16)
 - 带有软件启动模式 (通过 SCI, SPI, CAN, I2C, 和并行 I/O)
 - 标准数学表
- 时钟和系统控制
 - 支持动态锁相环 (PLL) 比率变化
 - 片载振荡器
 - 安全装置定时器模块
- 任一 GPIO A 引脚可被连接至三个外部内核中断中的一个
- 可支持全部 43 个外设中断的外设中断扩展 (PIE) 块
- 字节序: 小端序
- 128 位安全密钥/锁
 - 保护闪存 / OTP/L0/L1 块
 - 防止固件逆向工程
- 三个 32 位 CPU 定时器
- 增强型控制外设
 - 多达 16 个脉宽调制 (PWM) 输出
 - 具有 150ps 微边界定位 (MEP) 的最多 6 个高分辨率 PWM (HRPWM) 输出
 - 多达四个捕捉输入
 - 多达两个正交编码器接口
 - 多达六个 32 位/六个 16 位定时器
- 串行端口外设
 - 多达 4 个 SPI 模块
 - 多达 2 个 SCI (UART) 模块
 - 多达 2 个控制器局域网 (CAN) 模块
 - 一个集成电路间 (I2C) 总线
- 12 位模数转换器 (ADC), 16 个通道
 - 2 x 8 通道输入复用器
 - 两个采样和保持
 - 单一/同步转换
 - 快速转换率:
80ns-12.5 每秒百万次采样 (MSPS) (只适用于 F2809)
160ns-6.25MSPS (281x)
267ns-3.75 MSPS (F2801x)
 - 内部或者外部基准
- 多达 35 个具有输入滤波功能可单独编程的多路复用通用输入输出 (GPIO) 引脚
- 高级仿真特性
 - 分析和断点功能
 - 借助硬件的实时调试
- 开发支持包括
 - ANSI C/C++ 编译器/汇编语言/连接器
 - Code Composer Studio™ IDE
 - DSP/BIOS™
 - 数字电机控制和数字电源软件库
- 低功耗模式和省电模式
 - 支持 IDLE (空闲)、STANDBY (待机)、HALT (暂停) 模式

(1) IEEE 标准 1149.1-1990 标准测试端口和边界扫描架构



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

TMS320C28x, Code Composer Studio, DSP/BIOS, MicroStar BGA, C28x, TI, TMS320C2000 are trademarks of Texas Instruments.

eZdsp is a trademark of Spectrum Digital.

All other trademarks are the property of their respective owners.

- 可禁用独立外设时钟
- 封装选项
 - 薄型四方扁平 (PZ) 封装
 - MicroStar BGA™ (GGM, ZGM)
- 温度选项
 - A: -40°C 至 85°C (PZ, GGM, ZGM)
 - S: -40°C 至 125°C (PZ, GGM, ZGM)
 - Q: -40°C 至 125°C (PZ)

1.2 开始使用

这个部分给出了首次进行 C28x™ 器件开发时所采取步骤的概述。有关这些步骤的详细情况，请参阅：

- 《开始使用 TMS320C28x 数字信号控制器》（文献号：[SPRAAM0](#)）。
- C2000 入门网站 (<http://www.ti.com/c2000getstarted>)

步骤 1. 获得合适的开发工具

使用一个 C28x 器件开始工作的最快速的方法就是获得一个 eZdsp™ 套件来进行初始开发，此套件，在一个包装内包括：

- 借助 USB 或者并行端口实现的板载 JTAG 仿真
- 合适的仿真驱动器
- Code Composer Studio™ 用于 eZdsp 的集成开发环境 (IDE)

一旦您已经熟悉此器件并在您自己的硬件上开始开发时，请分别购买 Code Composer Studio™ IDE 用于软件开发和一个 JTAG 仿真工具来启动您的项目。

步骤 2. 下载驱动器软件

为了简化 C28x 器件的编程，建议用户下载并使用 C/C++ 头文件和示例来开始下载用于 C28x 和它们外设的软件。

为您的器件下载合适的头文件包之后，参考以下资源来获得分步指令以指导您如何为您自己的软件运行外设示例和使用头文件结构。

- /doc 目录下内的快速启动请先读我文件来运行您的第一个应用。
- 《用 C/C++ 设计 TMS320x28xx 和 28xxx 外设应用报告》（文献编号[SPRAA85](#)）。

步骤 3. 下载闪存编程软件

很多 C28x 器件包括片载闪存内存和工具，此工具允许您使用您的软件 IP 来编辑闪存。

- 闪存工具：C28xx 闪存工具
- 《TMS320F281x™ 闪存编程解决方案》（文献编号[SPRB169](#)）。
- 《在 TMS320F28xxx DSP 上从内部闪存运行一个应用》（文献编号[SPRA958](#)）。

步骤 4. 转到更多高级主题

要获得更多的应用软件和其它高级主题，请访问 TI™ 网站，网址为<http://www.ti.com>或者<http://www.ti.com/c2000getstarted>。

2 简介

TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320F28015, TMS320F28016, TMS320C2802, 和 TMS320C2801 器件, TMS320C28x™ DSP 系列产品成员, 是针对要求严格控制应用的高度集成、高性能解决方案。

在整个文档

中, TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801, TMS320F28015, 和 TMS320F28016 分别被简写为 F2809, F2808, F2806, F2802, F2801, C2802, C2801, F28015, 和 F28016。TMS320F28015 和 TMS320F28016 被分别简写成 F2801x。表 2-1 提供了每个器件特性的汇总。

表 2-1. 硬件特性（100MHz 驱动器）

特性:	类型 ⁽¹⁾	F2809	F2808	F2806	F2802	F2801	C2802	C2801
指令周期（100MHz 时）	-	10ns	10ns	10ns	10ns	10ns	10ns	10ns
单周期访问 RAM (SARAM)（16 位字）	-	18K (L0, L1, M0, M1, H0)	18K (L0, L1, M0, M1, H0)	10K (L0, L1, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)
3.3V 片载闪存（16 位字）	-	128K	64K	32K	32K	16K	-	-
片载 ROM（16 位字）	-	-	-	-	-	-	32K	16K
片载闪存 / SARAM/OTP 块的代码安全	-	支持	支持	支持	支持	支持	支持	支持
引导 ROM (4K X 16)	-	支持	支持	支持	支持	支持	支持	支持
一次性可编程 (OTP) ROM（16 位字）	-	1K	1K	1K	1K	1K	-	-
PWM 输出	0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3	ePWM1/2/3	ePWM1/2/3	ePWM1/2/3
HRPWM 通道	0	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A	ePWM1A/2A/3A/4A	ePWM1A/2A/3A	ePWM1A/2A/3A	ePWM1A/2A/3A	ePWM1A/2A/3A
32 位捕捉输入或者辅助 PWM 输出	0	eCAP1/2/3/4	eCAP1/2/3/4	eCAP1/2/3/4	eCAP1/2	eCAP1/2	eCAP1/2	eCAP1/2
32 位正交编码器脉冲 (QEP) 通道（四个输入/通道）	0	eQEP1/2	eQEP1/2	eQEP1/2	eQEP1	eQEP1	eQEP1	eQEP1
安全装置定时器	-	支持	支持	支持	支持	支持	支持	支持
12 位, 16 通道模数转换器 (ADC) 转换时间	1	80ns	160ns	160ns	160ns	160ns	160ns	160ns
32 位 CPU 定时器	-	3	3	3	3	3	3	3
串行外设接口 (SPI)	0	SPI-A/B/C/D	SPI-A/B/C/D	SPI-A/B/C/D	SPI-A/B	SPI-A/B	SPI-A/B	SPI-A/B
串行通信接口 (SCI)	0	SCI-A/B	SCI-A/B	SCI-A/B	SCI-A	SCI-A	SCI-A	SCI-A
增强型控制器局域网络 (eCAN)	0	eCAN-A/B	eCAN-A/B	eCAN-A	eCAN-A	eCAN-A	eCAN-A	eCAN-A
内部集成电路 (I2C)	0	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A	I2C-A
数字 I/O 引脚（共用）	-	35	35	35	35	35	35	35
外部中断	-	3	3	3	3	3	3	3
电源电压	1.8V 内核, 3.3V I/O	-	支持	支持	支持	支持	支持	支持
封装	100 引脚 PZ	-	支持	支持	支持	支持	支持	支持
	100 焊球 GGM, ZGM	-	支持	支持	支持	支持	支持	支持
温度选项	A: -40°C 至 85°C	-	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	S: -40°C 至 125°C	-	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	Q: -40°C 至 125°C	-	(PZ)	(PZ)	(PZ)	(PZ)	(PZ)	(PZ)
产品状态 ⁽²⁾		-	TMS	TMS	TMS	TMS	TMS	TMS

- (1) 一个类型变化代表一个外设模块中的主要功能特性的差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能性。这些特定器件差异显示在《TMS320x28xx, 28xxx DSP 外设参考手册》（文献编号 [SPNU566](#)）列表中和外设参考指南中。
- (2) 器件级说明，请见节 5.1，器件和开发支持工具命名规则。

表 2-2. 硬件特性（60MHz 器件）

功能:		类型 ⁽¹⁾	F2802-60	F2801-60	F28016	F28015
指令周期（60MHz 时）		-	16.67ns	16.67ns	16.67ns	16.67ns
单周期访问 RAM (SARAM)（16 位字）		-	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)	6K (L0, M0, M1)
3.3 V 片载闪存 (16 位字)		-	32K	16K	16K	16K
片载 ROM（16 位字）		-	-	-	-	-
片载闪存 /SARAM/OTP 块的代码安全		-	支持	支持	支持	支持
引导 ROM (4K X 16)		-	支持	支持	支持	支持
一次性可编程 (OTP) ROM (16 位字)		-	1K	1K	1K	1K
PWM 输出		0	ePWM1/2/3	ePWM1/2/3	ePWM1/2/3/4	ePWM1/2/3/4
HRPWM 通道		0	ePWM1A/2A/3A	ePWM1A/2A/3A	ePWM1A/2A/3A/4A	ePWM1A/2A/3A/4A
32 位 CAPTURE 输入或者辅助 PWM 输出		0	eCAP1/2	eCAP1/2	eCAP1/2	eCAP1/2
32 位 QEP 通道（四个输入/通道）		0	eQEP1	eQEP1	-	-
安全装置定时器		-	支持	支持	支持	支持
12 位 ADC	通道的数量	1	16	16	16	16
	MSPS		3.75	3.75	3.75	3.75
	转换时间		267ns	267ns	267ns	267ns
32 位 CPU 定时器		-	3	3	3	3
串行外设接口 (SPI)		0	SPI-A/B	SPI-A/B	SPI-A	SPI-A
串行通信接口 (SCI)		0	SCI-A	SCI-A	SCI-A	SCI-A
增强型控制器局域网 (eCAN)		0	eCAN-A	eCAN-A	eCAN-A	-
内部集成电路 (I2C)		0	I2C-A	I2C-A	I2C-A	I2C-A
数字 I/O 引脚（共用）		-	35	35	35	35
外部中断		-	3	3	3	3
电源电压		-	1.8V 内核, 3.3V I/O	1.8V 内核, 3.3V I/O	1.8V 内核, 3.3V I/O	1.8V 内核, 3.3V I/O
封装	100 引脚 PZ	-	支持	支持	支持	支持
	100 焊球 GGM, ZGM	-	支持	支持	支持	支持
温度选项	A: -40°C 至 85°C	-	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	S: -40°C 至 125°C	-	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)	(PZ, GGM, ZGM)
	Q: -40°C 至 125°C	-	(PZ)	(PZ)	(PZ)	(PZ)
产品状态 ⁽²⁾		-	TMS	TMS	TMS	TMS

(1) 一个类型变化代表一个外设模块中的主要功能特性的差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能性。这些特定器件差异显示在《TMS320x28xx, 28xxx DSP 外设参考手册》（文献编号 [SPNU566](#)）列表中和外设参考指南中。

(2) 器件级说明，请见节 5.1，器件和开发支持工具命名规则。

2.1 引脚分配

TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801, TMS320F28015, 和 TMS320F28016 100 引脚 PZ 薄型四方扁平 (LQFP) 辅助引脚分配显示在图 2-1, 图 2-2, 图 2-3, 和图 2-4 中。100 焊球 GGM 和 ZGM 球状引脚栅格阵列 (BGA) 端子分配显示在图 2-5 中。表 2-3 描述了每个引脚的功能。

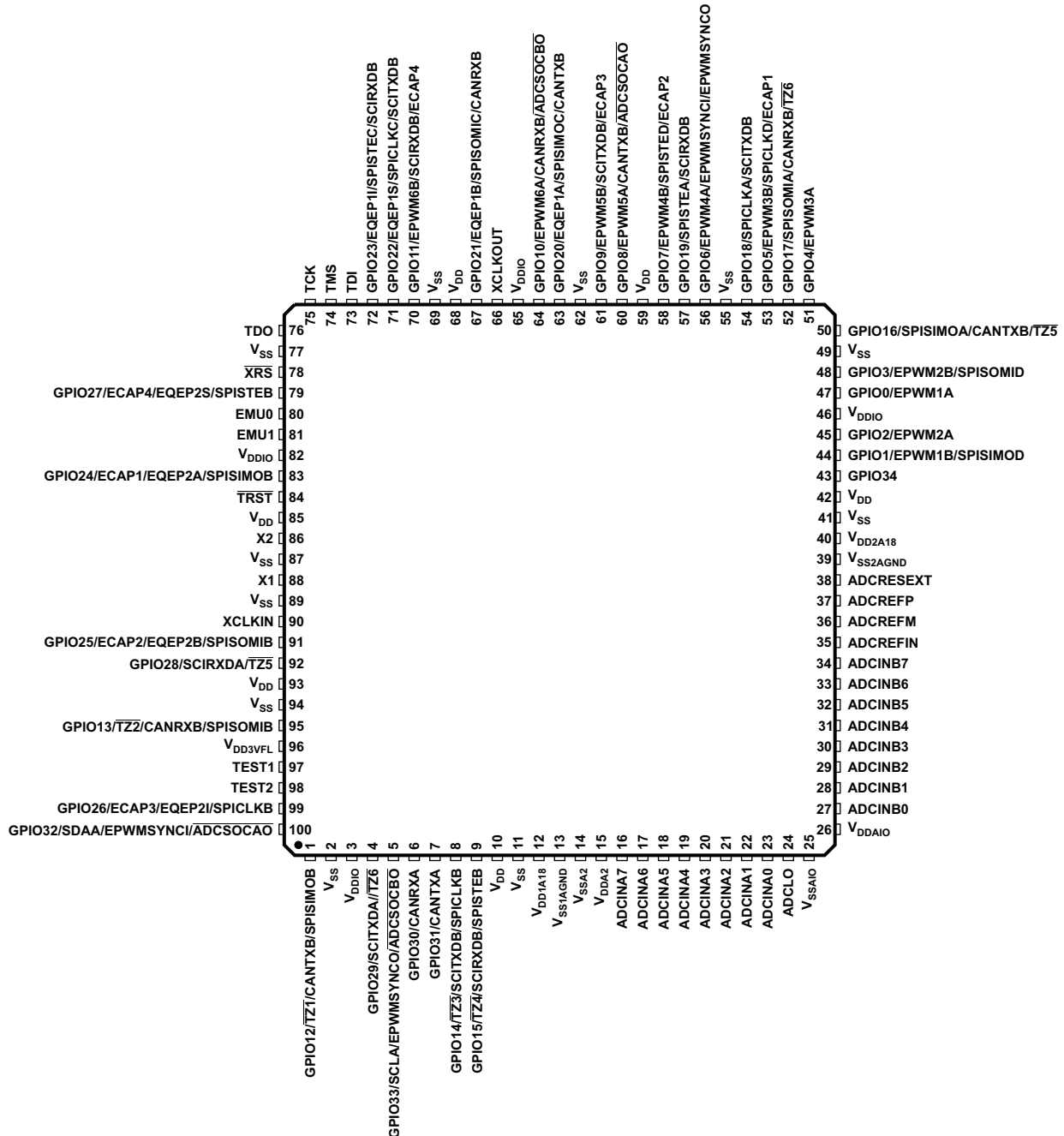


图 2-1. TMS320F2809, TMS320F2808 100 引脚 PZ LQFP (顶视图)

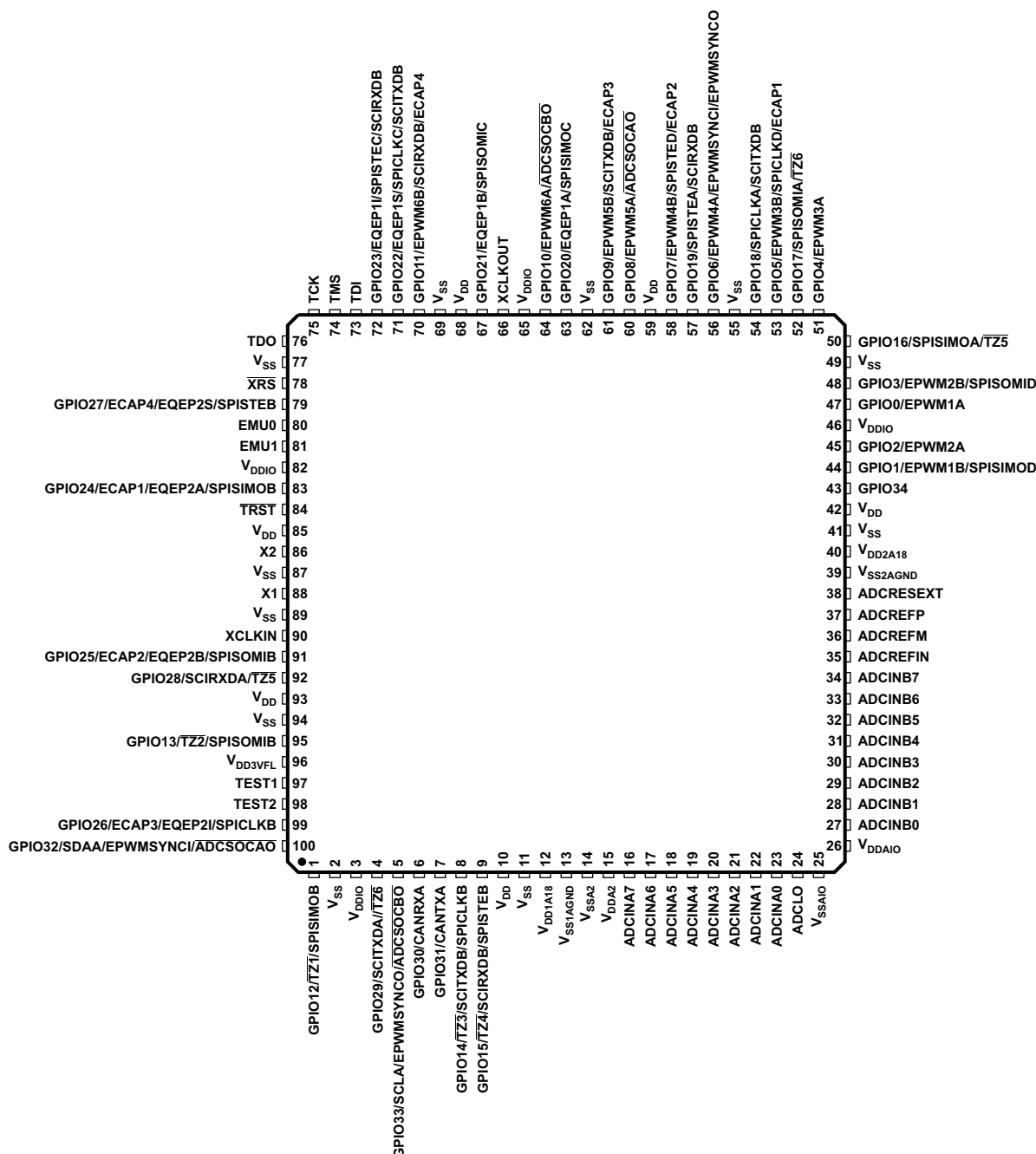
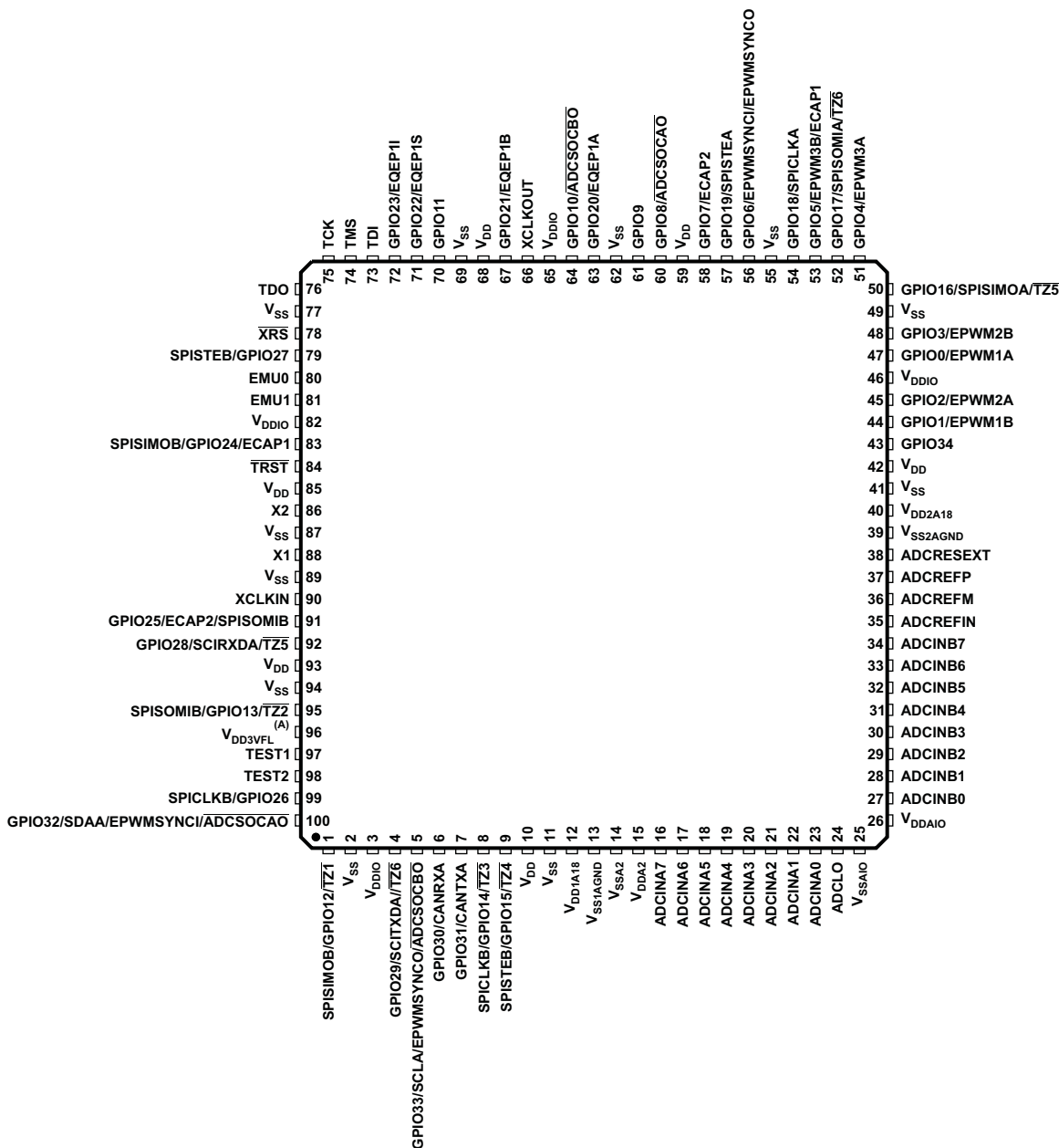
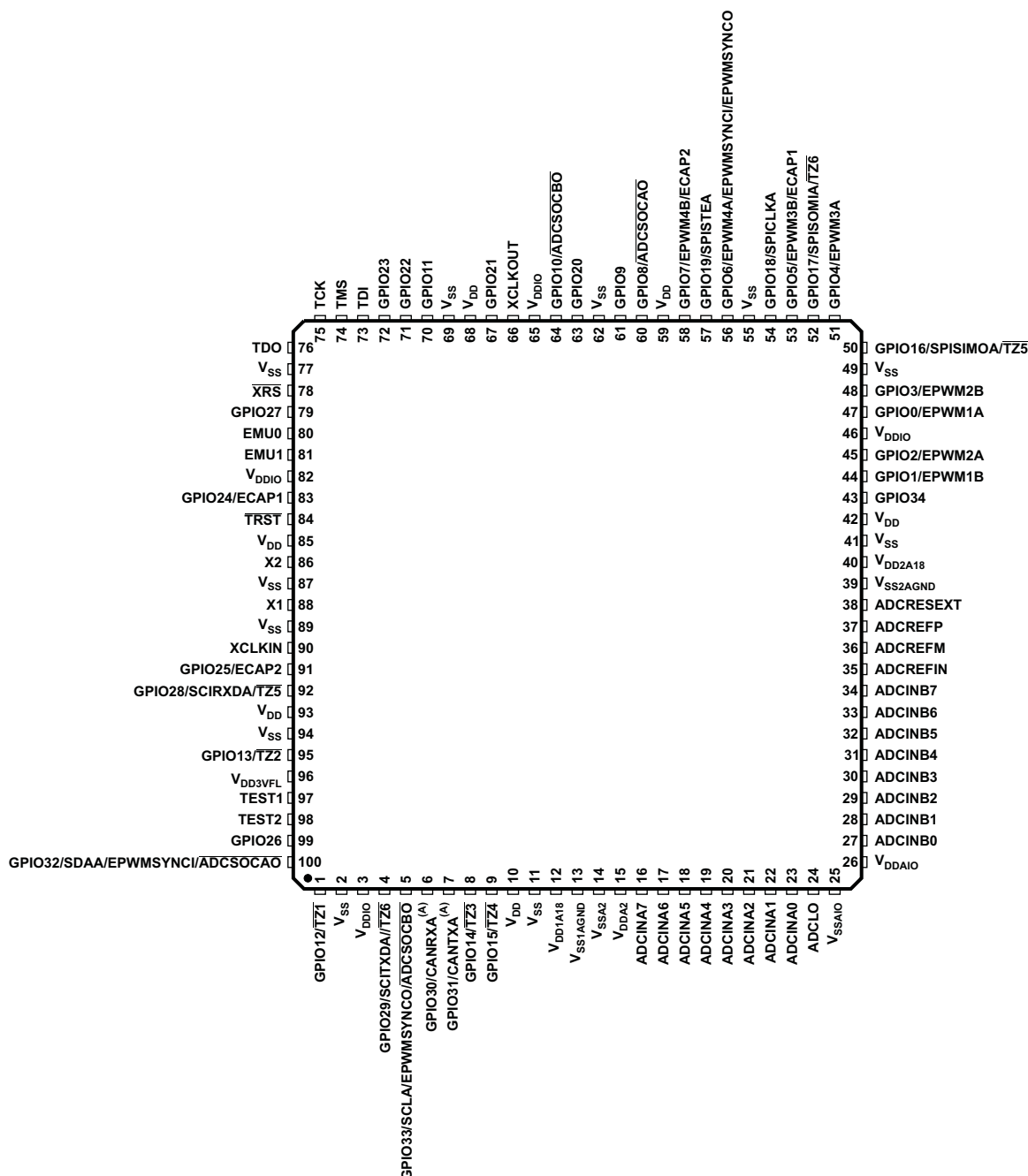


图 2-2. TMS320F2806 100 引脚 PZ LQFP (顶视图)



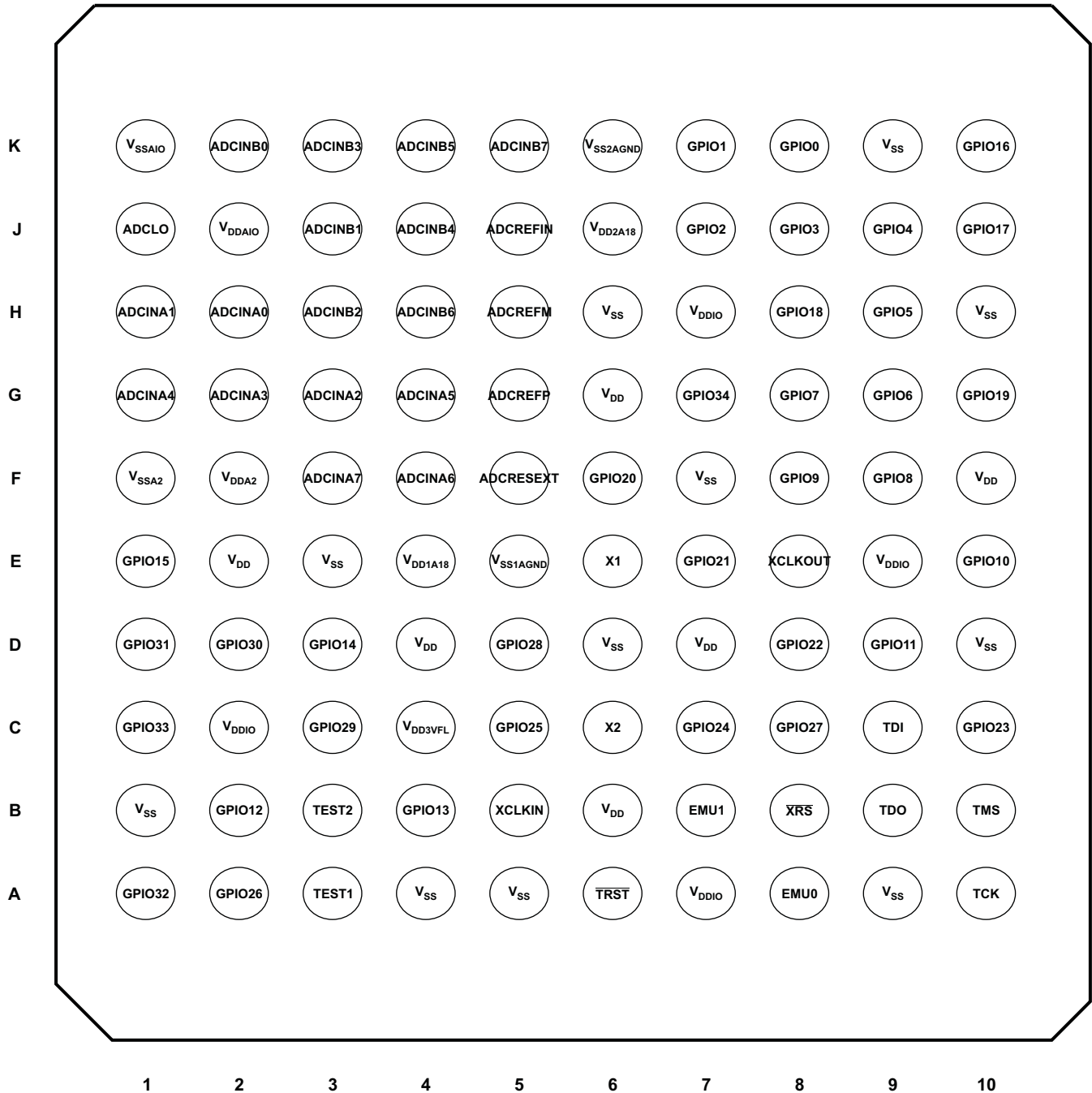
A. 在 C280x 器件上, V_{DD3VFL} 引脚为 V_{DDIO} 。

图 2-3. TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801 100 引脚 PZ LQFP (顶视图)



A. CANTXA (引脚 7) 和 CANRXA (引脚 6) 引脚不适用于 TMS320F28015.

图 2-4. TMS320F2801x 100 引脚 PZ LQFP (顶视图)



Bottom View

图 2-5. TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801,
TMS320F28016, TMS320F28015, TMS320C2802, TMS320C2801
100 焊球 GGM 和 ZGM MicroStar BGA™ (顶视图)

2.2 信号说明

表 2-3 描述了 280x 器件上的信号。所有数字输入为 TTL 兼容。所有输入为带有 CMOS 电平的 3.3V 电压。输入不是 5V 耐压。

表 2-3. 信号说明

名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM/ 焊球编 号	
JTAG			
$\overline{\text{TRST}}$	84	A6	使用内部下拉进行 JTAG 测试复位。 $\overline{\text{TRST}}$ ，当被驱动为高电平时，使扫描系统获得器件运行的控制权。 如果这个信号未连接或者被驱动至低电平，此器件在功能模式下运转，并且测试复位信号被忽略。 注释： 不要在 $\overline{\text{TRST}}$ 上使用上拉电阻器；它有一个内部下拉器件。 $\overline{\text{TRST}}$ 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。 在这个引脚上需要一个外部下拉电阻器。 这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。 通常情况下，一个 2.2k Ω 电阻器可提供足够的保护。 由于这是应用专用的，建议针对调试器 and 应用正确运行对每个目标板进行验证。（I, $\downarrow$ ）
TCK	75	A10	带有内部上拉电阻 (I, $\uparrow$) 的 JTAG 测试时钟。
TMS	74	B10	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。 这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。（I, $\uparrow$ ）
TDI	73	C9	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。 TDI 在 TCK 的上升沿上所选择的寄存器（指令或者数据）内计时。（I, $\uparrow$ ）
TDO	76	B9	JTAG 扫描输出，测试数据输出 (TDO)。 所选寄存器（指令或者数据）的内容被从 TCK 下降沿上的 TDO 移出。（O/Z 8mA 驱动）
EMU0	80	A8	仿真器引脚 0。当 $\overline{\text{TRST}}$ 被驱动至高电平时，这个引脚被用作一个到（或者来自）仿真器系统的中断并且在 JTAG 扫面过程中被定义为输入/输出。 这个引脚也被用于将器件置于边界扫面模式中。 在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时， $\overline{\text{TRST}}$ 引脚的上升沿将把器件锁存在边界扫面模式。（I/O/Z，8mA 驱动 $\uparrow$ ） 注释： 建议在这个引脚上连接一个外部上拉电阻器。 这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。 通常一个 2.2k Ω 至 4.7k Ω 的电阻器已可以满足要求。 由于这是应用专用的，建议针对调试器 and 应用正确运行对每个目标板进行验证。
EMU1	81	B7	仿真器引脚 1。当 $\overline{\text{TRST}}$ 被驱动至高电平时，这个引脚被用作一个到（或者来自）仿真器系统的中断并且在 JTAG 扫面过程中被定义为输入/输出。 这个引脚也被用于将器件置于边界扫面模式中。 在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时， $\overline{\text{TRST}}$ 引脚的上升沿将把器件锁存在边界扫面模式。（I/O/Z，8mA 驱动 $\uparrow$ ） 注释： 建议在这个引脚上连接一个外部上拉电阻器。 这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。 通常一个 2.2k Ω 至 4.7k Ω 的电阻器已可以满足要求。 由于这是应用专用的，建议针对调试器 and 应用正确运行对每个目标板进行验证。
闪存			
V _{DD3VFL}	96	C4	3.3V 闪存内核电源引脚。 这个引脚应该一直被连接至 3.3V。 在 ROM 部件上 (C280x)，这个引脚应该被连接至 V _{DDIO} 。
TEST1	97	A3	测试引脚。 为 TI 预留。 必须被保持未连接。（I/O）
TEST2	98	B3	测试引脚。 为 TI 保留。 必须被保持未连接。（I/O）
时钟			
XCLKOUT	66	E8	取自 SYSCLKOUT 的输出时钟。 XCLKOUT 或者与 SYSCLKOUT 频率为同一频率，或者为 SYSCLKOUT 频率的一半或四分之一。 这由 XCLK 寄存器内的位 1, 0 (XCLKOUTDIV) 控制。 复位时，XCLKOUT=SYSCLKOUT/4。 通过将 XCLKOUTDIV 设定为 3，XCLKOUT 信号可被关闭。 与其它 GPIO 引脚不同，复位时，不将 XCLKOUT 引脚置于一个高阻抗状态。（O/Z，8mA 驱动）
XCLKIN	90	B5	外部振荡器输入。 这个引脚被用于从一个外部 3.3V 振荡器馈入一个时钟。 在这个情况下，将 X1 引脚接至 GND（接地）。 或者，当使用一个振荡器/谐振器（或者如果一个内部 1.8V 振荡器被馈入 X1 引脚）时，将 XCLKIN 引脚接至 GND。（I）
X1	88	E6	内部/外部振荡器输入。 为了使用这个振荡器，一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2 上。 X1 引脚以 1.8V 内核数字电源为基准。 一个 1.8V 外部振荡器也可被连接至 X1 引脚。 在这种情况下，XCLKIN 引脚必须接地。 如果一个 3.3V 外部振荡器与 XCLKIN 引脚一起使用的话，X1 必须接至 GND。（I）
X2	86	C6	内部振荡器输出。 可将一个石英晶振或者一个陶瓷电容器连接在 X1 和 X2。 如果 X2 未使用，它必须保持未连接状态。（O）

(1) I = 输入，O = 输出，Z = 高阻抗，OD = 开漏， $\uparrow$ = 上拉， $\downarrow$ = 下拉

表 2-3. 信号说明 (continued)

名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM 焊球编 号	
复位			
$\overline{\text{XRS}}$	78	B8	器件复位（输入）和安全装置复位（输出）。 器件复位。 $\overline{\text{XRS}}$ 使器件终止执行。PC 将指向包含在位置 03xFFFC0 内的地址。当 $\overline{\text{XRS}}$ 被置为高电平时，在 PC 指向的位置开始执行。 当一个安全装置复位发生时，这个引脚被 DSP 驱动至低电平。安全装置复位期间，在 512 个 OSCCLK 周期的安全装置复位持续时间内， $\overline{\text{XRS}}$ 引脚被驱动为低电平。(I/OD, $\uparrow$) 这个引脚的输出缓冲器是一个有内部上拉电阻的开漏器件。 建议由一个开漏器件驱动这个引脚。
ADC 信号			
ADCINA7	16	F3	ADC 组 A，通道 7 输入 (I)
ADCINA6	17	F4	ADC 组 A，通道 6 输入 (I)
ADCINA5	18	G4	ADC 组 A，通道 5 输入 (I)
ADCINA4	19	G1	ADC 组 A，通道 4 输入 (I)
ADCINA3	20	G2	ADC 组 A，通道 3 输入 (I)
ADCINA2	21	G3	ADC 组 A，通道 2 输入 (I)
ADCINA1	22	H1	ADC 组 A，通道 1 输入 (I)
ADCINA0	23	H2	ADC 组 A，通道 0 输入 (I)
ADCINB7	34	K5	ADC 组 B，通道 7 输入 (I)
ADCINB6	33	H4	ADC 组 B，通道 6 输入 (I)
ADCINB5	32	K4	ADC 组 B，通道 5 输入 (I)
ADCINB4	31	J4	ADC 组 B，通道 4 输入 (I)
ADCINB3	30	K3	ADC 组 B，通道 3 输入 (I)
ADCINB2	29	H3	ADC 组 B，通道 2 输入 (I)
ADCINB1	28	J3	ADC 组 B，通道 1 输入 (I)
ADCINB0	27	K2	ADC 组 B，通道 0 输入 (I)
ADCLO	24	J1	低基准（连接至模拟接地）(I)
ADCRESEXT	38	F5	ADC 外部电流偏置电阻器。 将一个 22k Ω 电阻器接至模拟接地。
ADCREFIN	35	J5	外部基准输入 (I)
ADCREFP	37	G5	内部基准正输出。 要求将一个低等效串联电阻 (ESR)（低于 1.5 Ω ）的 2.2 μF 陶瓷旁通电容器接至模拟接地。 注释：使用 ADC 时钟速率从系统使用的电容器数据表中提取 ESR 技术规范。
ADCREFM	36	H5	内部基准中输出。 要求将一个低等效串联电阻 (ESR)（低于 1.5 Ω ）的 2.2 μF 陶瓷旁通电容器接至模拟接地。 注释：使用 ADC 时钟速率从系统使用的电容器数据表中提取 ESR 技术规范。

表 2-3. 信号说明 (continued)

名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM 焊球编 号	
CPU 和 I/O 电源引脚			
V _{DDA2}	15	F2	ADC 模拟电源引脚 (3.3V)
V _{SSA2}	14	F1	ADC 模拟接地引脚
V _{DDAIO}	26	J2	ADC 模拟 I/O 电源引脚 (3.3V)
V _{SSAIO}	25	K1	ADC 模拟 I/O 接地引脚
V _{DD1A18}	12	E4	ADC 模拟电源引脚 (1.8V)
V _{SS1AGND}	13	E5	ADC 模拟接地引脚
V _{DD2A18}	40	J6	ADC 模拟电源引脚 (1.8V)
V _{SS2AGND}	39	K6	ADC 模拟接地引脚
V _{DD}	10	E2	CPU 和逻辑数字电源引脚 (1.8V)
V _{DD}	42	G6	
V _{DD}	59	F10	
V _{DD}	68	D7	
V _{DD}	85	B6	
V _{DD}	93	D4	
V _{DDIO}	3	C2	数字 I/O 电源引脚 (3.3V)
V _{DDIO}	46	H7	
V _{DDIO}	65	E9	
V _{DDIO}	82	A7	
V _{SS}	2	B1	数字接地引脚
V _{SS}	11	E3	
V _{SS}	41	H6	
V _{SS}	49	K9	
V _{SS}	55	H10	
V _{SS}	62	F7	
V _{SS}	69	D10	
V _{SS}	77	A9	
V _{SS}	87	D6	
V _{SS}	89	A5	
V _{SS}	94	A4	
GPIO 和外设信号 ⁽¹⁾⁽²⁾			
GPIO0 EPWM1A -	47	K8	通用输入/输出 0 (I/O/Z) ⁽³⁾ 增强型 PWM1 输出 A 和 HRPWM 通道 (O) - -
GPIO1 EPWM1B SPISIMOD -	44	K7	通用输入/输出 1 (I/O/Z) ⁽³⁾ 增强型 PWM1 输出 B (O) SPI-D 从器件输入，主器件输出 (I/O)（在 2801，2802 上不适用） -
GPIO2 EPWM2A -	45	J7	通用输入/输出 2 (I/O/Z) ⁽³⁾ 增强型 PWM2 输出 A 和 HRPWM 通道 (O) - -

(1) 一些外设功能也许不在 TMS320F2801x 器件上提供。详细信息请见表 2-2。

(2) 所有 GPIO 引脚为 I/O/Z, 4mA 驱动典型值 (除非另外注明), 并有一个内部上拉电阻器, 此内部上拉电阻器可在一个每个引脚基础上有选择性的启用/禁用。这一特性只适用于 GPIO 引脚。GPIO 功能 (用粗斜体显示) 在复位时为缺省值。它们下面列出的外设信号是供替代的功能。

(3) GPIO0-GPIO11 引脚上的上拉电阻在复位时并不启用。

表 2-3. 信号说明 (continued)

名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM 焊球编 号	
GPIO3 EPWM2B SPISOMID -	48	J8	通用输入/输出 3 (I/O/Z) ⁽¹⁾ 增强型 PWM2 输出 B (O) SPI-D 从器件输出, 主器件输入 (I/O) (在 2801, 2802 上不适用) -
GPIO4 EPWM3A -	51	J9	通用输入/输出 4 (I/O/Z) ⁽¹⁾ 增强型 PWM3 输出 A 和 HRPWM 通道 (O) -
GPIO5 EPWM3B SPICLKD ECAP1	53	H9	通用输入/输出 5 (I/O/Z) ⁽¹⁾ 增强型 PWM3 输出 B (O) SPI-D 时钟 (I/O) (不适用于 2801, 2802) 增强型捕捉输入/输出 1 (I/O)
GPIO6 EPWM4A EPWMSYNCI EPWMSNCO	56	G9	通用输入/输出 6 (I/O/Z) ⁽¹⁾ 增强型 PWM4 输出 A 和 HRPWM 通道 (O) (不适用于 2801, 2802) 外部 ePWM 同步脉冲输入 (I) 外部 ePWM 同步脉冲输出 (O)
GPIO7 EPWM4B SPISTED ECAP2	58	G8	通用输入/输出 7 (I/O/Z) ⁽¹⁾ 增强型 PWM4 输出 B (O) (不适用于 2801, 2802) SPI-D 从器件发送使能 (I/O) (不适用于 2801, 2802) 增强型捕捉输入/输出 2 (I/O)
GPIO8 EPWM5A CANTXB ADCSOCAO	60	F9	通用输入/输出 8 (I/O/Z) ⁽¹⁾ 增强型 PWM5 输出 A 和 HRPWM 通道 (O) (不适用于 2801, 2802) 增强型 CAN-B 发送 (O) (不适用于 2801, 2802, F2806) ADC 转换开始 A (O)
GPIO9 EPWM5B SCITXDB ECAP3	61	F8	通用输入/输出 9 (I/O/Z) ⁽¹⁾ 增强型 PWM5 输出 B (O) (不适用于 2801, 2802) SCI-B 发送数据 (O) (不适用于 2801, 2802) 增强型捕捉输入/输出 3 (I/O) (不适用于 2801, 2802)
GPIO10 EPWM6A CANRXB ADCSOCBO	64	E10	通用输入/输出 10 (I/O/Z) ⁽¹⁾ 增强型 PWM6 输出 A 和 HRPWM 通道 (O) (不适用于 2801, 2802) 增强型 CAN-B 发送 (I) (不适用于 2801, 2802, F2806) ADC 转换开始 B (O)
GPIO11 EPWM6B SCIRXDB ECAP4	70	D9	通用输入/输出 11 (I/O/Z) ⁽¹⁾ 增强型 PWM6 输出 B (O) (不适用于 2801, 2802) SCI-B 接收数据 (I) (不适用于 2801, 2802) 增强型 CAP 输入/输出 4 (I/O) (不适用于 2801, 2802)
GPIO12 TZ1 CANTXB SPISIMOB	1	B2	通用输入/输出 12 (I/O/Z) ⁽²⁾ 触发区输入 1 (I) 增强型 CAN-B 发送 (O) (不适用于 2801, 2802, F2806) SPI-B 从器件输入, 主器件输出 (I/O)
GPIO13 TZ2 CANRXB SPISOMIB	95	B4	通用输入/输出 13 (I/O/Z) ⁽²⁾ 触发区输入 2 (I) 增强型 CAN-B 接收 (I) (不适用于 2801, 2802, F2806) SPI-B 从器件输出, 主器件输入 (I/O)
GPIO14 TZ3 SCITXDB SPICLKB	8	D3	通用输入/输出 14 (I/O/Z) ⁽²⁾ 触发区输入 3 (I) SCI-B 发送 (O) (不适用于 2801, 2802) SPI-B 时钟输入/输出 (I/O)
GPIO15 TZ4 SCIRXDB SPISTEB	9	E1	通用输入/输出 15 (I/O/Z) ⁽²⁾ 触发区输入 4 (I) SCI-B 接收 (I) (不适用于 2801, 2802) SPI-B 从器件发送使能 (I/O)
GPIO16 SPISIMOA CANTXB TZ5	50	K10	通用输入/输出 16 (I/O/Z) ⁽²⁾ SPI-A 从器件输入, 主器件输出 (I/O) 增强型 CAN-B 发送 (O) (不适用于 2801, 2802, F2806) 触发区输入 5 (I)

(1) GPIO0-GPIO11 引脚上的上拉电阻在复位时并不启用。

(2) GPIO12-GPIO34 引脚上的上拉电阻复位时被启用。

表 2-3. 信号说明 (continued)

名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM 焊球编 号	
GPIO17 SPISOMIA CANRXB $\overline{TZ6}$	52	J10	通用输入/输出 17 (I/O/Z) ⁽¹⁾ SPI-A 从器件输出, 主器件输入 (I/O) 增强型 CAN-B 接收 (I) (不适用于 2801, 2802, F2806) 触发区输入 6 (I)
GPIO18 SPICLKA SCITXDB - -	54	H8	通用输入/输出 18 (I/O/Z) ⁽¹⁾ SPI-A 时钟输入/输出 (I/O) SCI-B 发送 (O) (不适用于 2801, 2802) - -
GPIO19 SPISTEA SCIRXDB - -	57	G10	通用输入/输出 19 (I/O/Z) ⁽¹⁾ SPI-A 从器件发送使能输入/输出 (I/O) SCI-B 接收 (I) (不适用于 2801, 2802) - -
GPIO20 EQEP1A SPISIMOC CANTXB	63	F6	通用输入/输出 20 (I/O/Z) ⁽¹⁾ 增强型 QEP1 输入 A (I) SPI-C 从器件输入, 主器件输出 (I/O) (不适用于 2801, 2802) 增强型 CAN-B 发送 (O) (不适用于 2801, 2802, F2806)
GPIO21 EQEP1B SPISOMIC CANRXB	67	E7	通用输入/输出 21 (I/O/Z) ⁽¹⁾ 增强型 QEP1 输入 A (I) SPI-C 主器件输入, 从器件输出 (I/O) (不适用于 2801, 2802) 增强型 CAN-B 接收 (I) (不适用于 2801, 2802, F2806)
GPIO22 EQEP1S SPICLKC SCITXDB	71	D8	通用输入/输出 22 (I/O/Z) ⁽¹⁾ 增强型 QEP1 选通 (I/O) SPI-C 时钟 (I/O) (不适用于 2801, 2802) SCI-B 发送 (O) (不适用于 2801, 2802)
GPIO23 EQEP1I SPISTEC SCIRXDB	72	C10	通用输入/输出 23 (I/O/Z) ⁽¹⁾ 增强型 QEP1 索引 (I/O) SPI-C 从器件发送使能 (I/O) (不适用于 2801, 2802) SCI-B 接收 (I) (不适用于 2801, 2802)
GPIO24 ECAP1 EQEP2A SPISIMOB	83	C7	通用输入/输出 24 (I/O/Z) ⁽¹⁾ 增强型捕捉 1 (I/O) 增强型 QEP2 输入 A (I) (不适用于 2801, 2802) SPI-B 从器件输入, 主器件输出 (I/O)
GPIO25 ECAP2 EQEP2B SPISOMIB	91	C5	通用输入/输出 25 (I/O/Z) ⁽¹⁾ 增强型捕捉 2 (I/O) 增强型 QEP2 输入 B (I) (不适用于 2801, 2802) SPI-B 主器件输入, 从器件输出 (I/O)
GPIO26 ECAP3 EQEP2I SPICLKB	99	A2	通用输入/输出 26 (I/O/Z) ⁽¹⁾ 增强型捕捉 3 (I/O) (不适用于 2801, 2802) 增强型 QEP2 索引 (I/O) (不适用于 2801, 2802) SPI-B 时钟 (I/O)
GPIO27 ECAP4 EQEP2S SPISTEB	79	C8	通用输入/输出 27 (I/O/Z) ⁽¹⁾ 增强型捕捉 4 (I/O) (不适用于 2801, 2802) 增强型 QEP2 选通 (I/O) (不适用于 2801, 2802) SPI-B 从器件发送使能 (I/O)
GPIO28 SCIRXDA - $\overline{TZ5}$	92	D5	通用输入/输出 28。这个引脚有一个 8mA (典型值) 的输出缓冲器。 (I/O/Z) ⁽¹⁾ SCI 接收数据 (I) - 触发区输入 5 (I)
GPIO29 SCITXDA - $\overline{TZ6}$	4	C3	通用输入/输出 29。这个引脚有一个 8mA (典型值) 的输出缓冲器。 (I/O/Z) ⁽¹⁾ SCI 发送数据 (O) - 触发区输入 6 (I)

(1) GPIO12-GPIO34 引脚上的上拉电阻复位时被启用。

表 2-3. 信号说明 (continued)

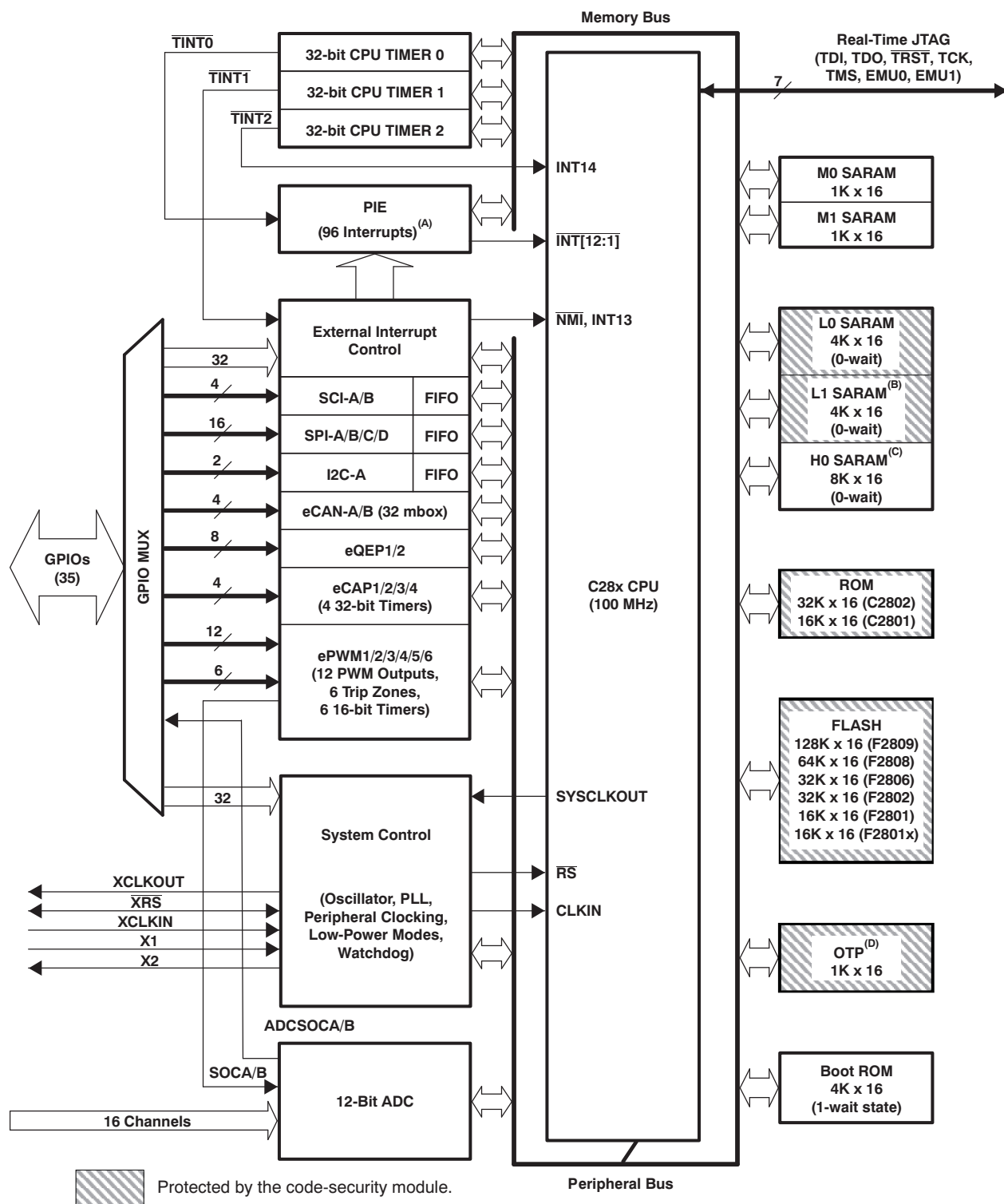
名称	引脚编号		说明 ⁽¹⁾
	PZ 引脚编 号	GGM/ ZGM 焊球编 号	
GPIO30 CANRXA - -	6	D2	通用输入/输出 30。这个引脚有一个 8mA（典型值）的输出缓冲器。(I/O/Z) ⁽¹⁾ 增强型 CAN-A 接收数据 (I) - -
GPIO31 CANTXA - -	7	D1	通用输入/输出 31。这个引脚有一个 8mA（典型值）的输出缓冲器。(I/O/Z) ⁽¹⁾ 增强型 CAN-A 发送数据 (O) - -
GPIO32 SDAA EPWMSYNCl ADCSOCAO	100	A1	通用输入/输出 32 (I/O/Z) ⁽¹⁾ I2C 数据开漏双向端口 (I/OD) 增强型 PWM 外部同步脉冲输入 (I) ADC 转换开始 (O)
GPIO33 SCLA EPWMSYNCO ADCSOCBO	5	C1	通用输入/输出 33 (I/O/Z) ⁽¹⁾ I2C 时钟开漏双向端口 (I/OD) 增强型 PWM 外部同步脉冲输出 (O) ADC 转换开始 (O)
GPIO34 - - -	43	G7	通用输入/输出 34 (I/O/Z) ⁽¹⁾ - - -

(1) GPIO12-GPIO34 引脚上的上拉电阻复位时被启用。

注

一些外设功能也许不在 TMS320F2801x 器件上提供。详细信息请见表 2-2。

3 功能概述



- A. 96 个可能中断中的 43 个用在器件上。
- B. 在 F2802, F2801, C2802, 和 C2801 上不可用。
- C. 在 F2806, F2802, F2801, C2802, 和 C2801 上不可用。
- D. 对于 C280x 器件, 1K x 16 OTP 已经被 1K x 16 ROM 取代。

图 3-1. 功能方框图

3.1 内存映射

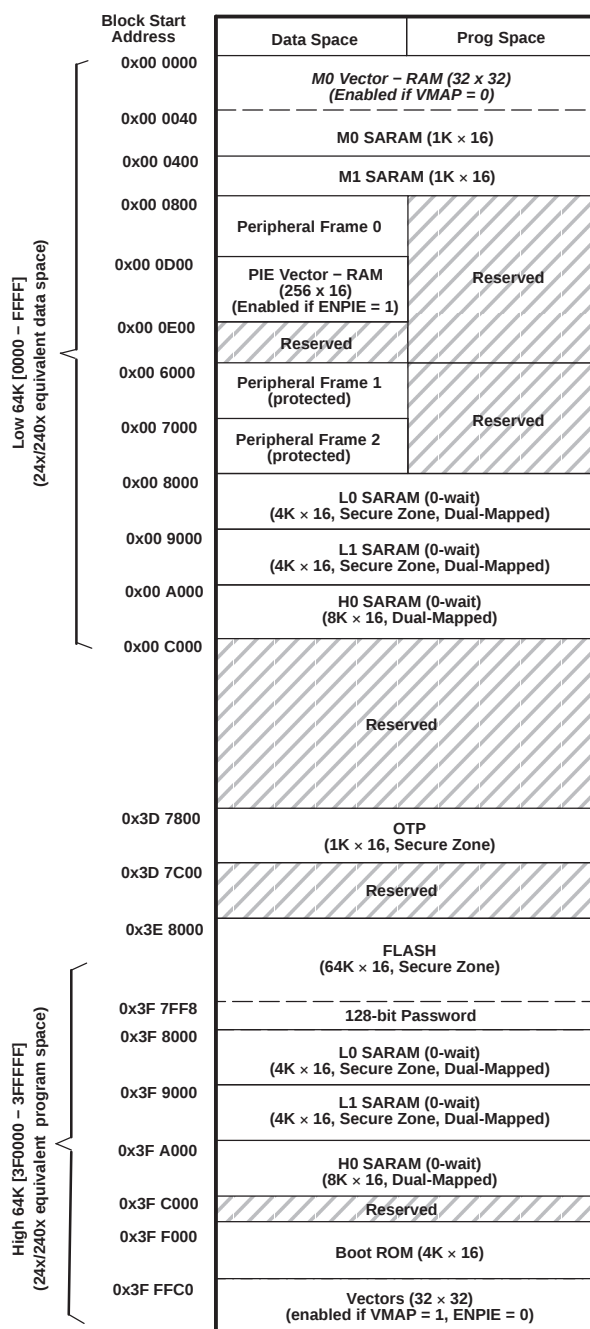
Block Start Address	Data Space	Prog Space
0x00 0000	M0 Vector – RAM (32 x 32) (Enabled if VMAP = 0)	
0x00 0040	M0 SARAM (1K x 16)	
0x00 0400	M1 SARAM (1K x 16)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector – RAM (256 x 16) (Enabled if ENPIE = 1)	
0x00 0E00	Reserved	
0x00 6000	Peripheral Frame 1 (protected)	Reserved
0x00 7000	Peripheral Frame 2 (protected)	
0x00 8000	L0 SARAM (0-wait) (4K x 16, Secure Zone, Dual-Mapped)	
0x00 9000	L1 SARAM (0-wait) (4K x 16, Secure Zone, Dual-Mapped)	
0x00 A000	H0 SARAM (0-wait) (8K x 16, Dual-Mapped)	
0x00 C000	Reserved	
0x3D 7800	OTP (1K x 16, Secure Zone)	
0x3D 7C00	Reserved	
0x3D 8000	FLASH (128K x 16, Secure Zone)	
0x3F 7FF8	128-bit Password	
0x3F 8000	L0 SARAM (0-wait) (4K x 16, Secure Zone, Dual-Mapped)	
0x3F 9000	L1 SARAM (0-wait) (4K x 16, Secure Zone, Dual-Mapped)	
0x3F A000	H0 SARAM (0-wait) (8K x 16, Dual-Mapped)	
0x3F C000	Reserved	
0x3F F000	Boot ROM (4K x 16)	
0x3F FFC0	Vectors (32 x 32) (enabled if VMAP = 1, ENPIE = 0)	

Low 64K [0000 – FFFF]
(24x/240x equivalent data space)

High 64K [3F0000 – 3FFFFFF]
(24x/240x equivalent program space)

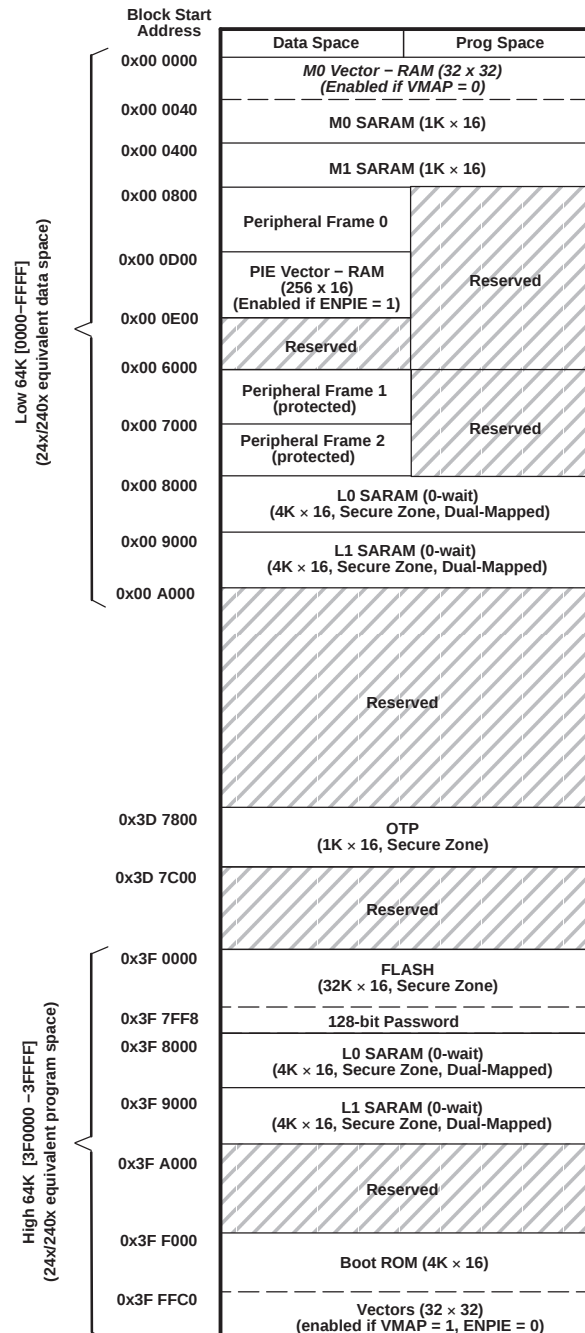
- A. 内存块不可缩放。
- B. 外设帧 0，外设帧 1，外设帧 2 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- C. 受保护意味着写后读操作的顺序被保存，而不是保存流水线顺序。
- D. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。

图 3-2. F2809内存映射



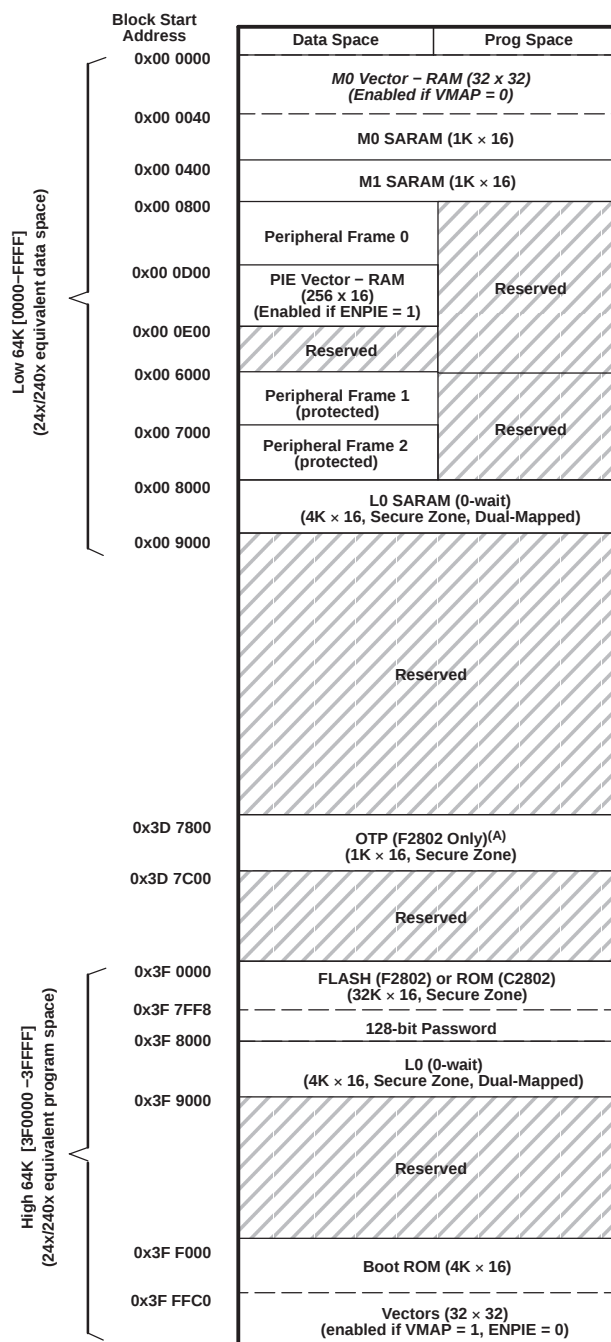
- A. 内存块不可升级。
- B. 外设帧 0，外设帧 1，和外设帧 2 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- C. 受保护意味着写后读操作的顺序被保存，而不是保存流水线顺序。
- D. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。

图 3-3. F2808 内存映射



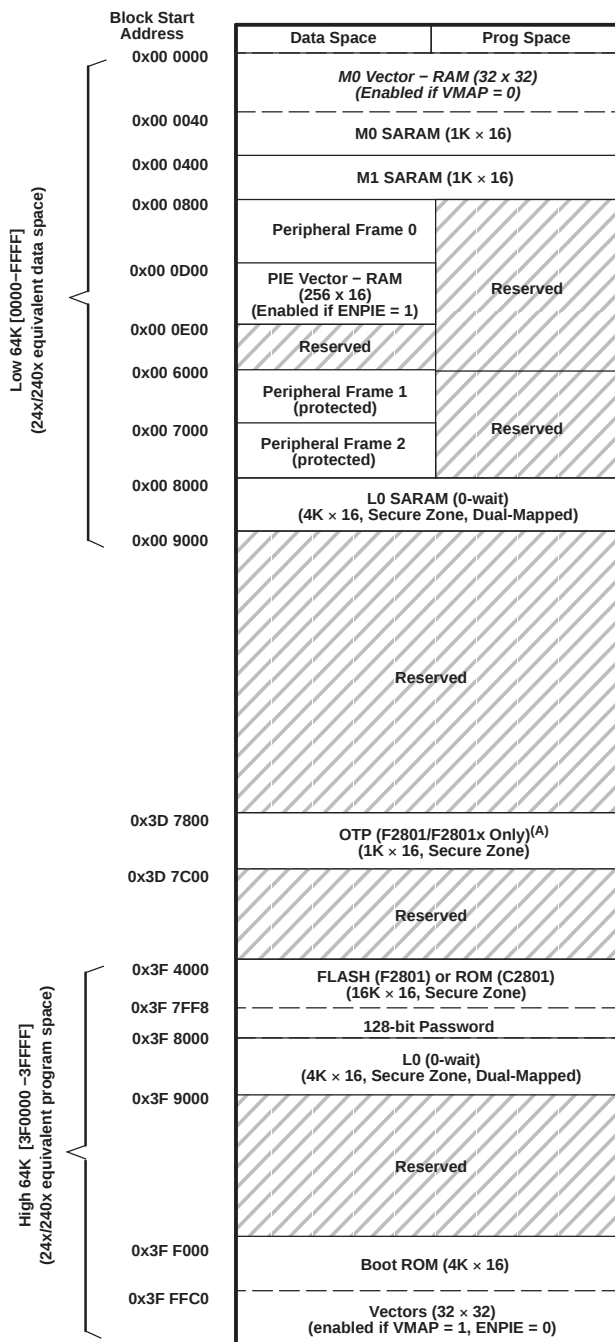
- A. 内存块不可缩放。
- B. 外设帧 0, 外设帧 1, 和外设帧 2 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- C. 受保护意味着写后读操作的顺序被保存, 而不是保存流水线顺序。
- D. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。

图 3-4. F2806 内存映射



- A. 在 C2802 中，1K x 16 OTP 已经被 1K x 16 ROM 取代。
- B. 内存块不可缩放。
- C. 外设帧 0，外设帧 1，和外设帧 2 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- D. 受保护意味着写后读操作的顺序被保存，而不是保存流水线顺序。
- E. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- F. 一些 ROM 中的位置为 TI 预留。更多信息请查阅 表 3-5。

图 3-5. F2802, C2802 内存映射



- A. 在 C2801 中，1K x 16 OTP 已经被 1K x 16 ROM 取代。
- B. 内存块不可缩放。
- C. 外设帧 0，外设帧 1，和外设帧 2 内存映射只限于数据内存。用户程序不能访问这些处于程序空间内的内存映射。
- D. 受保护意味着写后读操作的顺序被保存，而不是保存流水线顺序。
- E. 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- F. 一些 ROM 中的位置为 TI 预留。更多信息请查阅 表 3-5。

图 3-6. F2801, F28015, F28016, C2801 内存映射

表 3-1. F2809 中闪存扇区的地址

地址范围	程序和数据空间
0x3D 8000-0x3D BFFF	扇区 H (16K x 16)
0x3D C000-0x3D FFFF	扇区 G (16K x 16)
0x3E 0000-0x3E 3FFF	扇区 F (16K x 16)
0x3E 4000-0x3E 7FFF	扇区 E (16K x 16)
0x3E 8000-0x3E BFFF	扇区 D (16K x 16)
0x3E C000-0x3E FFFF	扇区 C (16K x 16)
0x3F 0000-0x3F 3FFF	扇区 B (16K x 16)
0x3F 4000-0x3F 7F7F	扇区 A (16K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

表 3-2. F2808 中闪存扇区的地址

地址范围	程序和数据空间
0x3E 8000-0x3E BFFF	扇区 D (16K x 16)
0x3E C000-0x3E FFFF	扇区 C (16K x 16)
0x3F 0000-0x3F 3FFF	扇区 B (16K x 16)
0x3F 4000-0x3F 7F7F	扇区 A (16K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

表 3-3. F2806, F2802 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 0000-0x3F 1FFF	扇区 D (8K x 16)
0x3F 2000-0x3F 3FFF	扇区 C (8K x 16)
0x3F 4000-0x3F 5FFF	扇区 B (8K x 16)
0x3F 6000-0x3F 7F7F	扇区 A (8K x 16)
0x3F 7F80-0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000。
0x3F 7FF6-0x3F 7FF7	引导至闪存进入点 (程序分支指令)
0x3F 7FF8-0x3F 7FFF	安全密码 (128 位) (不要设定为零)

表 3-4. F2801, F28015, F28016 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 4000-0x3F 4FFF	扇区 D (4K x 16)
0x3F 5000-0x3F 5FFF	扇区 C (4K x 16)
0x3F 6000-0x3F 6FFF	扇区 B (4K x 16)
0x3F 7000-0x3F 7F7F 0x3F 7F80-0x3F 7FF5 0x3F 7FF6-0x3F 7FF7 0x3F 7FF8-0x3F 7FFF	扇区 A (4K x 16) 当使用 代码安全模块时, 编程至 0x0000。 引导至闪存进入点 (程序分支指令) 安全密码 (128 位) (不要设定为零)

注

- 当代码安全密码被编辑时, 0x3F7F80 到 0x3F7FF5 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0x0000。
- 如果代码安全特性未被使用, 地址 0x3F7F80 至 0x3F7FEF 可被用于代码或者数据。地址 0x3F7FF0-0x3F7FF5 为数据保留且不能包含程序代码。
- 在 ROM 器件上, 无论代码安全性被使用与否, 地址 0x3F7FF0-0x3F7FF5 和 0x3D7BFC-0x3D7BFF 为 TI 保留。用户应用无论如何不应使用这些位置。

表 3-5 显示如何处理这些内存地址。

表 3-5. 使用安全代码模块的影响

地址	闪存		ROM	
	代码安全被启用	代码安全被禁用	代码安全被启用	代码安全被禁用
0x3F 7F80-0x3F 7FEF	用 0x0000 填充	应用代码和数据	用 0x0000 填充	应用代码和数据
0x3F 7FF0-0x3F 7FF5		只为数据保留。		
0x3D 7BFC-0x3D 7BFF		应用代码和数据		为 TI 保留。请勿使用。

外设帧 1 和外设帧 2 被编在一组以使这些块成为受保护的写入/读取外设块。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于 C28x 管线, 在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题, 在此类应用中, 用户认为写入会首先发生 (如文档所描述的那样)。C28x CPU 支持一个块保护模式, 在这个模式中, 可对一个内存区域进行保护, 以确保操作按照本文档所描述的那样发生 (代价增加了额外周期以校正运行) 可对这个模式进行编程, 并且, 缺省情况下, 它将保护所选的区域。

针对内存映射区域内不同空间的等待状态列在表 3-6 中。

表 3-6. 等待状态

区域 (AREA)	等待状态	备注
M0 和 M1 SARAM	0 - 等待	固定的
外设帧 0	0 - 等待	固定的
外设帧 1	0 - 等待 (写入) 2 - 等待 (读取)	固定的 eCAN 外设可以按照需要扩展一个周期。背靠背写入将引入一个 1 周期延迟。
外设帧 2	0 - 等待 (写入) 2 - 等待 (读取)	固定的
L0 和 L1 SARAMs	0 - 等待	
OTP	可编程, 1 - 等待最小	由闪存寄存器设定。可在一个减少的 CPU 频率上执行 1 等待状态操作。更多信息请查阅 节 3.2.5。
闪存	可编程, 0 - 等待最小	由闪存寄存器设定。可在一个减少的 CPU 频率上执行 0 等待状态操作。针对 16 个等待状态, CSM 密码位置被实线连接。更多信息请查阅 节 3.2.5。
H0 SARAM	0 - 等待	固定的
引导 - ROM	1 - 等待	固定的

3.2 简要说明

3.2.1 C28x CPU

此 C28x™ DSP 系列是 TMS320C2000™ DSP 平台上的最新产品。此外，C28x 是一款非常高效的 C/C++ 引擎，此引擎不但使用户能够用高级语言开发他们的控制系统软件，还能够使用 C/C++ 开发数学算法。C28x 在处理 DSP 算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。这样的效率在很多系统中省却了对第二个处理器的需要。C28x 的 32 x 32 位 MAC 功能和它的 64 位处理能力，使得 C28x 能够有效处理较高数字分辨率问题，否则的话，这些问题将需要一个更加昂贵的浮点处理器解决方案。添加了带有关寄存器自动环境保存的快速中断响应，使得器件能够用最小的延迟处理很多异步事件。C28x 有一个具有流水线式存储器访问的 8 级深受保护管线。这个流水线式操作使得 C28x 能够高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特别存储条件操作进一步提升了性能。

3.2.2 内存总线（哈佛总线架构）

与很多 DSP 类型器件一样，多总线被用于在内存和外设以及 CPU 之间移动数据。C28x 内存总线架构包含一个程序读取总线、数据读取总线和数据写入总线。此程序读取总线由 22 条地址线路和 32 条数据线路组成。数据读取和写入总线由 32 条地址线路和 32 条数据线路组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构，通常称为哈佛总线，使得 C28x 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级：	数据写入	（内存总线上不能同时进行数据和程序写入。）
	程序写入	（内存总线上不能同时进行数据和程序写入。）
	数据读取	
	程序读取	（内存总线上不能同时进行程序读取和取指令。）
最低级：	取指令	（内存总线上不能同时进行程序读取和取指令。）

3.2.3 外设总线

为了在多种德州仪器 (TI) DSP 器件系列间实现外设迁移，280x 器件采用一个针对外设互连的外设总线标准。外设总线桥复用了多种总线，此总线将处理器内存总线组装进一个由 16 条地址线路和 16 条或者 32 条数据线路和相关控制信号组成的单总线中。在 280x 上支持两个版本的外设总线。一个版本只支持 16 位访问（被称为外设帧 2）。另外一个版本支持 16 位和 32 位访问（被称为外设帧 1）。

3.2.4 实时 JTAG 和分析

280x 执行标准 IEEE 1149.1 JTAG 接口。此外, 280x 支持实时运行模式, 在处理器正在运行, 执行代码并且处理中断时, 可修改存储器内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作, 同时可在没有干扰的情况下启用即将被处理的时间关键中断。280x 在 CPU 的硬件内执行实时模式。这是 280x 所特有的功能, 无需软件监控。此外, 还提供了特别分析硬件, 以使用户能够设定硬件断点或者数据/地址观察点并当一个匹配发生时生成不同的用户可选中断事件。

3.2.5 闪存

F2809 器件包含 128K x 16 的嵌入式闪存存储器, 被分别放置在 8 个 16K x 16 扇区中。F2808 包含 64K x 16 的嵌入式闪存存储器, 被分别放置在四个 16K x 16 扇区内。F2806 和 F2802 包含 32K x 16 的嵌入式闪存, 这些存储器被分成四个 8K x 16 扇区。F2801 器件包含 16K x 16 的嵌入式闪存, 这些存储器被分成四个 16K x 扇区。所有 5 个器件还包含一个单 1K x 16 OTP 内存, 其地址范围为 0x3D 7800-0x3D 7BFF。用户能够在不改变其它扇区的同时单独擦除、编辑、和验证一个闪存扇区。然而, 不能使用闪存的一个扇区或者这个 OTP 来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存 / OTP 被映射到程序和数据空间; 因此, 它可被用于执行代码或者存储数据信息。请注意地址 0x3F7FF0-0x3F7FF5 为数据变量保留且不能包含程序代码。

注

F2809/F2808/F2806/F2802/F2801 闪存和 OTP 闪存等待状态可被应用配置。这使得运行在较低频率上的应用能够将闪存配置为使用较少的等待状态。

可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能。这个模式被启用时, 线性代码执行的效能将远远快于只由等待状态配置所表示的原始性能。使用闪存管道模式的准确性性能增加依应用而定。

与闪存选型、闪存等待状态、和 OTP 等待状态寄存器相关的更多信息, 请见《TMS320x280x, 2801x, 2804x DSP 系统控制和中断参考指南》(文献编号 [SPRU078](#))。

3.2.6 ROM

C2802 包含 32K x 16 的 ROM, 而 C2810 有 16K x 16 的 ROM。

3.2.7 M0, M1 SARAM

所有 280x 器件包含这两块单周期访问内存, 每一个的大小为 1K x 16。复位时, 堆栈指针指向块 M1 的开始位置。M0 和 M1 块, 与所有其它 C28x 器件上的内存块一样, 被映射到程序和数据空间。因此, 用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。C28x 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

3.2.8 L0, L1, H0 SARAM

F2809 和 F2808 每一个包含一个额外的 16K x 16 单周期访问 RAM，此 RAM 被分成三个块 (L0-4K, L1-4K, H0-8K)。F2806 包含一个附加的 8K x 16 单周期访问 RAM，RAM 被分成两个块 (L0-4K, L1-4K)。F2802, F2801, C2802, 和 C2801 每个都包含一个附加的 4K x 16 的单周期 RAM (L0-4K)。每个块可被独立访问以大大减少 CPU 管线延迟。每个块被映射到程序和数据空间。

3.2.9 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。提供的引导模式信号告诉引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从一个外部连接下载新软件或者选择在内部闪存/ROM中编辑的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 3-7. 引导模式选择

模式	说明	GPIO18 SPICLK SCITXDB	GPIO29 SCITXDA	GPIO34
引导至闪存/ROM	跳转至闪存/ROM地址 0x3F 7FF6 在复位至所需的重定向代码执行之前，您必须在这里编辑一个分支指令。	1	1	1
SCI-A 引导	从 SCI-A 加载一个数据流。	1	1	0
SPI-A 引导	从 SPI-A 上的外部串行 SPI EEPROM 加载	1	0	1
I2C 引导	在 I2C 总线上的 0x50 地址处从外部 EEPROM 加载数据	1	0	0
eCAN-A 引导	调用 CAN_Boot 以从 eCAN-A 邮箱 1 加载。	0	1	1
引导至 M0 SARAM	跳转至 M0 SARAM 0x00 0000 地址处。	0	1	0
引导至 OTP	跳转至 OTP 0x3D 7800 地址处	0	0	1
并行 I/O 引导	从 GPIO0-GPIO15 加载数据	0	0	0

3.2.10 安全性

280x 器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块 (CSM) 用于保护闪存 / OTP 和 L0/L1 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正确的 128 位 KEY（密钥）值。

注

128 位密码（位于 0x3F 7FF8-0x3F 7FFF）必须被设定为全 0。这样做的话将永久锁住此器件。

disclaimer

代码安全模块免责声明

这个器件所包含的代码安全模块 (CSM) 被设计用于对存储在相关内存（ROM 或者闪存）中的数据密码保护并且由德州仪器 (TI) 提供质量保证，与其标准条款和条件相一致，符合 TI 发布的规范以获得适用于这个器件的保修期。

但是，TI 不保证或表示 CSM 不会被危害或破坏，或不能通过其它方法存取关联的存储器中存储的数据。而且，除了上述内容外，TI 也未对本器件的 CSM 或操作做任何保证或表示，包括任何隐含的用于特定用途的商用性或适用性保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或严重伤害不负任何责任，无论 TI 是否被告知存在这种伤害的可能性。排除的损害包括但不限于数据丢失、信誉损失、无法使用、业务中断或其它经济损失。

3.2.11 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 280x 上，外设使用 96 个中断中的 43 个。96 个中断被分成 8 组，每组被馈入 12 个 CPU 中断线路 (INT1 至 INT12) 中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用/禁用。

3.2.12 外部中断 (XINT1, XINT2, XNMI)

280x 支持三个屏蔽的外部中断 (XINT1, XINT2, XNMI)。XNMI 可被连接至 INT13 或者 CPU 的 NMI 中断。这些中断中的每一个可被选择用于负边沿、正边沿或者正负边沿触发，并且可被启用或禁用 (包括 XNMI 在内)。屏蔽的中断还包含一个 16 位自由运行的上数计数器，当检测到一个有效的中断边沿时，该计数器复位为 0。这个计数器可被用于为中断精确计时。与 281x 器件不同，没有用于外部中断的专用引脚。而是任一端口 A GPIO 引脚可被配置为触发任一外部中断。

3.2.13 振荡器和锁相环 (PLL)

C280x 可由一个外部振荡器计时或者由一个连接到片载振荡器电路的晶振计时。一个提供的 PLL 支持高达 10 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。时序细节，请参考电气规范部分。PLL 块可被设定为旁路模式。

3.2.14 安全装置

C280x 支持一个安全装置定时器。用户软件必须在一个特定的时间范围内定期复位 CPU 安全装置计数器；否则，CPU 安全装置将生产一个到处理器的复位。如果需要，可禁用安全装置。

3.2.15 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用/禁用以减少功耗。此外，到串行端口 (除了 I2C 和 eCAN 之外) 和 ADC 时钟的系统时钟可相对于 CPU 时钟进行缩放。这样可去除外设时序到逐渐增加的 CPU 时钟速度的耦合。

3.2.16 低功耗模式

280x 器件是完全静态 CMOS 器件。提供三个低功耗模式：

- | | |
|------------------|---|
| IDLE (闲
置)： | 将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间需要运行的外设保持运行状态。来自激活外设或者安全装置定时器的已启用的中断将把处理器从 IDLE 模式中唤醒。 |
| STANDBY
(待机)： | 关闭到 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。 |
| HALT (暂
停)： | 关断内部振荡器 基本上，这个模式关断器件并将器件置于尽可能低的功耗模式中。一个复位或者外部信号能将器件从这个模式中唤醒。 |

3.2.17 外设帧 0, 1, 2 (PFn)

280x 将外设分为三个部分。外设映射如下：

PF0	PIE:	PIE 中断启用和控制寄存器加上 PIE 矢量表
:		
	闪存:	闪存控制、编程、擦除、验证寄存器
	定时器:	CPU - 定时器 0, 1, 2 寄存器
	CSM:	代码安全模块 KEY 寄存器
	ADC:	ADC 结果寄存器 (双映射)
PF1	eCAN:	eCAN 邮箱和控制寄存器
:		
	GPIO:	GPIO MUX 配置和控制寄存器
	ePWM:	增强型脉冲宽度调制器模块和寄存器
	eCAP:	增强型捕捉模块和寄存器
	eQEP:	增强型正交解码器脉冲模块和寄存器
PF2	SYS:	系统控制寄存器
:		
	SCI:	串行通信接口 (SCI) 控制和 RX/TX 寄存器
	SPI:	串行端口接口 (SPI) 和 RX/TX 寄存器
	ADC:	ADC 状态、控制、和结果寄存器
	IC2:	内部电路模块和寄存器

3.2.18 通用输入/输出 (GPIO) 复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时, GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式, 用户能够独立设定每一个引脚。对于特定的输入, 用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

3.2.19 32 位 CPU 定时器 (0, 1, 2)

CPU 定时器 0, 1, 和 2 是完全一样的 32 位定时器, 这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒计时寄存器, 此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时, 它自动重新载入一个 32 位的周期值。CPU 定时器 2 为 DSP/BIOS 实时 OS 所预留, 并且被连接至 CPU 的 INT14。如果 DSP/BIOS 未被使用, CPU 定时器 2 也可用于普通用途。CPU 定时器 1 为通用定时器并被连接至 CPU 的 INT13。CPU 定时器 0 也为通用定时器并被连接至 PIE 块。

3.2.20 控制外设

280x 支持以下用于嵌入式控制和通信的外设:

ePWM:	增强型 PWM 外设支持针对前缘/后缘边沿、被锁存的/逐周期触发机制的独立的/互补的 PWM 生成, 可调节死区生成。某些 PWM 引脚支持 HRPWM 特性。
eCAP:	这个增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。 这个外设也可被配置为生成一个辅助 PWN 信号。
eQEP:	增强型 QEP 外设使用一个 32 位位置计数器, 使用捕捉单元和一个 32 位单元定时器分别支持低速测量和高速测量。 这个外设有一个安全装置定时器来检测电机停转和输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。

ADC: ADC 块是一个 12 位、单端 16 通道转换器。它包含两个用于同步采样的采样保持单元。

3.2.21 串行端口外设

280x 支持下列串行通信外设：

- eCAN:** 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳、并与 CAN 2.0B 兼容。
- SPI:** SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。通常情况下，SPI 用于 DSP 控制器和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。在 280x 上，SPI 包含一个 16 级接收和发送 FIFO 来减少处理开销。
- SCI:** 串行通信接口是一个两线制异步串行端口，通常被称为 UART。在 280x 上，SCI 包含一个 16 级接收和发送 FIFO 来减少处理开销。
- IC2:** 内部集成电路 (I2C) 模块提供一个 DSP 和其它器件（符合飞利浦半导体内部 IC 总线 (I2C-bus) 技术规范版本 2.1 并由一个 I2C-bus 相连）间的接口。通过这个 I2C 模块，连接到这个 2 限制串行总线上的外部组件能够发送高达 8 位数据到 DSP，或者从 MCU 接收高达 8 位数据。在 280x 上，I2C 包含一个 16 级接收和发送 FIFO 来减少处理开销。

3.3 寄存器映射

280x 器件包含三个外设寄存器空间。这些空间分类如下：

- 外设
帧 0: 这些是直接映射到 CPU 内存总线的外设。
请见表 3-8。
- 外设
帧 1: 这些是映射到 32 位外设总线的外设。
请见表 3-9
- 外设
帧 2: 这些是映射到 16 位外设总线的外设。
请见表 3-10

表 3-8. 外设帧 0 寄存器^{(1) (2)}

名称	地址范围	大小 (x 16)	访问类型 ⁽³⁾
器件仿真寄存器	0x0880-0x09FF	384	受 EALLOW 保护
闪存寄存器 ⁽⁴⁾	0x0A80-0x0ADF	96	受 EALLOW 保护 受 CSM 保护
代码安全模块寄存器	0x0AE0-0x0AEF	16	受 EALLOW 保护
ADC 结果寄存器 (双映射)	0x0B00-0x0B0F	16	不受 EALLOW 保护
CPU - 定时器 0/1/2 寄存器	0x0C00-0x0C3F	64	不受 EALLOW 保护
PIE 寄存器	0x0CE0-0x0CFF	32	不受 EALLOW 保护
PIE 矢量表	0x0D00-0x0DFF	256	受 EALLOW 保护

(1) 在帧 0 中的寄存器支持 16 位和 32 位访问。

(2) 内存空间的丢失段被保留并且不用被用在应用中。

(3) 如果寄存器是受 EALLOW 保护的, 那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。

(4) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 3-9. 外设帧 1 寄存器⁽¹⁾⁽²⁾

名称	地址范围	大小 (x 16)	访问类型
eCANA 寄存器	0x6000-0x60FF	256	某些 eCAN 控制寄存器 (以及在其它 eCAN 控制寄存器中选定的位) 受 EALLOW 保护。
eCANA 邮箱 RAM	0x6100-0x61FF	256	不受 EALLOW 保护
eCANB 寄存器	0x6200-0x62FF	256	某些 eCAN 控制寄存器 (以及在其它 eCAN 控制寄存器中选定的位) 受 EALLOW 保护。
eCANB 邮箱 RAM	0x6300-0x63FF	256	不受 EALLOW 保护
ePWM1 寄存器	0x6800-0x683F	64	一些寄存器是受 EALLOW 保护的。请参考表 4-2。
ePWM2 寄存器	0x6840-0x687F	64	
ePWM3 寄存器	0x 6880-0x68BF	64	
ePWM4 寄存器	0x68C0-0x68FF	64	
ePWM5 寄存器	0x6900-0x693F	64	
ePWM6 寄存器	0x6940-0x697F	64	
eCAP1 寄存器	0x6A00-0x6A1F	32	不受 EALLOW 保护
eCAP2 寄存器	0x6A20-0x6A3F	32	
eCAP3 寄存器	0x6A40-0x6A5F	32	
eCAP4 寄存器	0x6A60-0x6A7F	32	
eQEP1 寄存器	0x6B00-0x6B3F	64	
eQEP2 寄存器	0x6B40-0x6B7F	64	
GPIO 控制寄存器	0x6F80-0x6FBF	128	受 EALLOW 保护
GPIO 数据寄存器	0x6FC0-0x6FDF	32	不受 EALLOW 保护
GPIO 中断和 LPM 选择寄存器	0x6FE0-0x6FFF	32	受 EALLOW 保护

(1) eCAN 控制寄存器只支持 32 位读取/写入操作。所有 32 位访问与偶数地址边界对齐。

(2) 内存空间的丢失段被保留并且不应在应用中使用。

表 3-10. 外设帧 2 寄存器^{(1) (2)}

名称	地址范围	大小 (x 16)	访问类型
系统控制寄存器	0x7010-0x702F	32	受 EALLOW 保护
SPI-A 寄存器	0x7040-0x704F	16	不受 EALLOW 保护
SCI-A 寄存器	0x7050-0x705F	16	
外部中断寄存器	0x7070-0x707F	16	
ADC 寄存器	0x7100-0x711F	32	
SPI-B 寄存器	0x7740-0x774F	16	
SCI-B 寄存器	0x7750-0x775F	16	
SPI-C 寄存器	0x7760-0x776F	16	
SPI-D 寄存器	0x7780-0x778F	16	
I2C 寄存器	0x7900-0x792F	48	

(1) 外设帧 2 只允许 16 位访问。所有 32 位访问被忽略（可能返回或写入无效数据）。

(2) 内存空间的丢失段被保留并且不应在应用中使用。

3.4 器件仿真寄存器

这些寄存器用于控制 C28x CPU 的保护模式和监视某些关键器件信号。表 3-11 中对这些寄存器进行了定义。

表 3-11. 器件仿真寄存器

名称	地址范围	大小 (x 16)	说明
DEVICECNF	0x0880 0x0881	2	器件配置寄存器
PARTID	0x0882	1	部件 ID 寄存器 0x002C ⁽¹⁾ -F2801 0x0024-F2802 0x0034-F2806 0x003C-F2808 0x00FE-F2809 0x0014-F28016 0x001C-F28015 0xFF2C-C2801 0xFF24-C2802
REVID	0x0883	1	修订版本 ID 寄存器 0x0000 - 芯片修订版本 0-TMX 0x0001 - 芯片修订版本 A-TMX 0x0002 - 芯片修订版本 B-TMS 0x0003 - 芯片修订版本 C-TMS
			修订版本 ID 寄存器 0x0000 - 芯片修订版本 0-TMS（只适用于 F2809）
PROTSTART	0x0884	1	块保护起始地址寄存器
PROTRANGE	0x0885	1	块保护范围地址寄存器

(1) 第一个字节 (00) 表示闪存器件。FF 表示 ROM 器件。其它的值在未来器件预留。

3.5 中断

图 3-7 显示 280x 器件内的各种中断源如何复用。

8 个 PIE 块中断被组合进一个 CPU 中断中。总共 12 个 CPU 中断组，每组 8 个中断，等于 96 个中断。在 280x 上，这些中断中的外设使用的 43 个中断显示在表 3-12 中。

TRAP #Vectornumber（矢量号）指令将程序控制发送至与指定的矢量相对用的中断处理例程。TRAP #0 尝试传送程序控制到复位矢量所指向的地址。然而，PIE 矢量表不含复位矢量。因此，当 PIE 被启用时，TRAP #0 不应被使用。这样做将导致未定义的运行状态。

当 PIE 被启用时，TRAP #1 至 TRAP #12 将传送程序控制到与 PIE 组中第一个矢量相对应的中断处理例程。例如：TRAP #1 从 INT1.1 取矢量，TRAP #2 从 INT2.1 取矢量，以此类推。

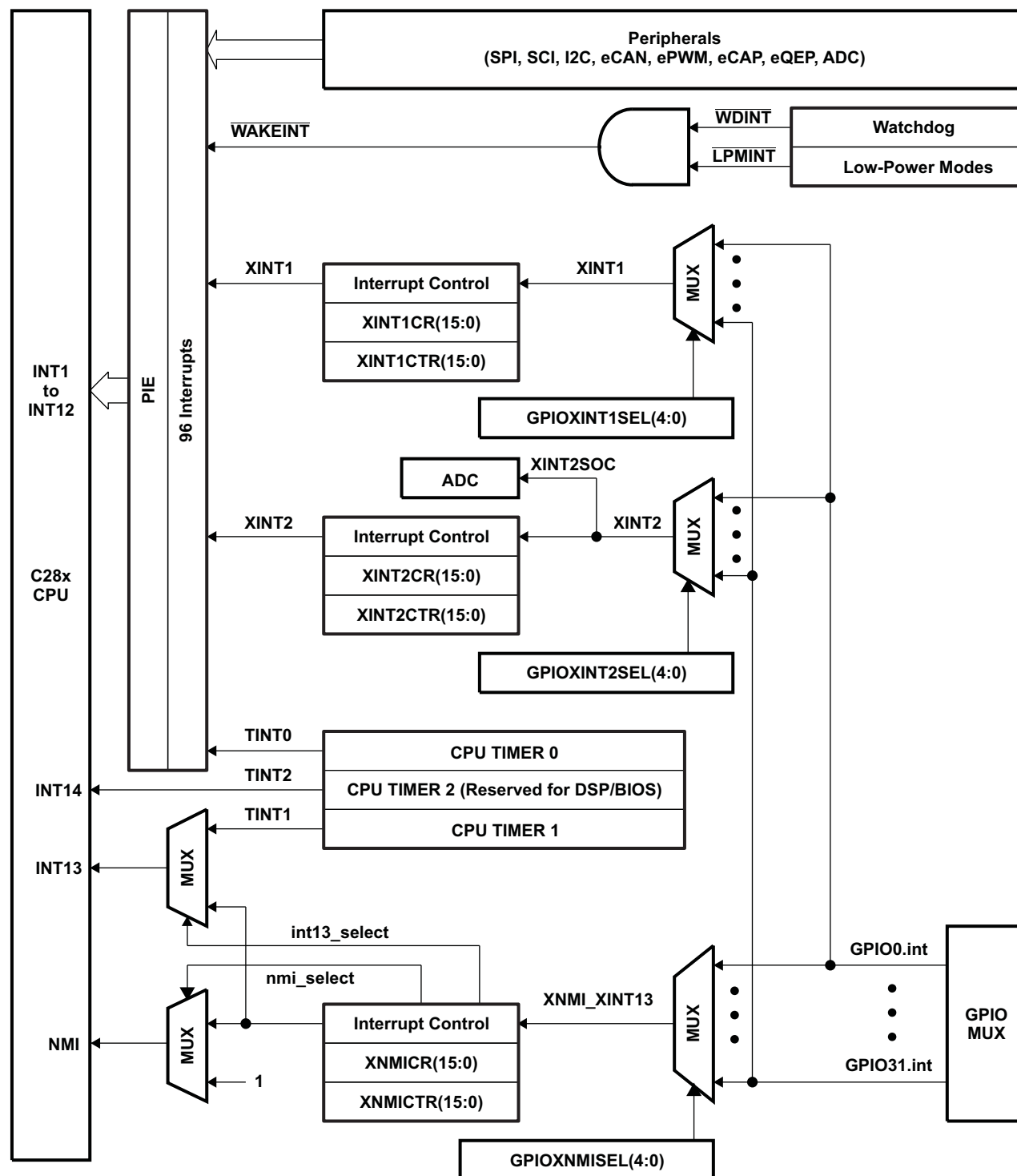


图 3-7. 外部和 PIE 中断源

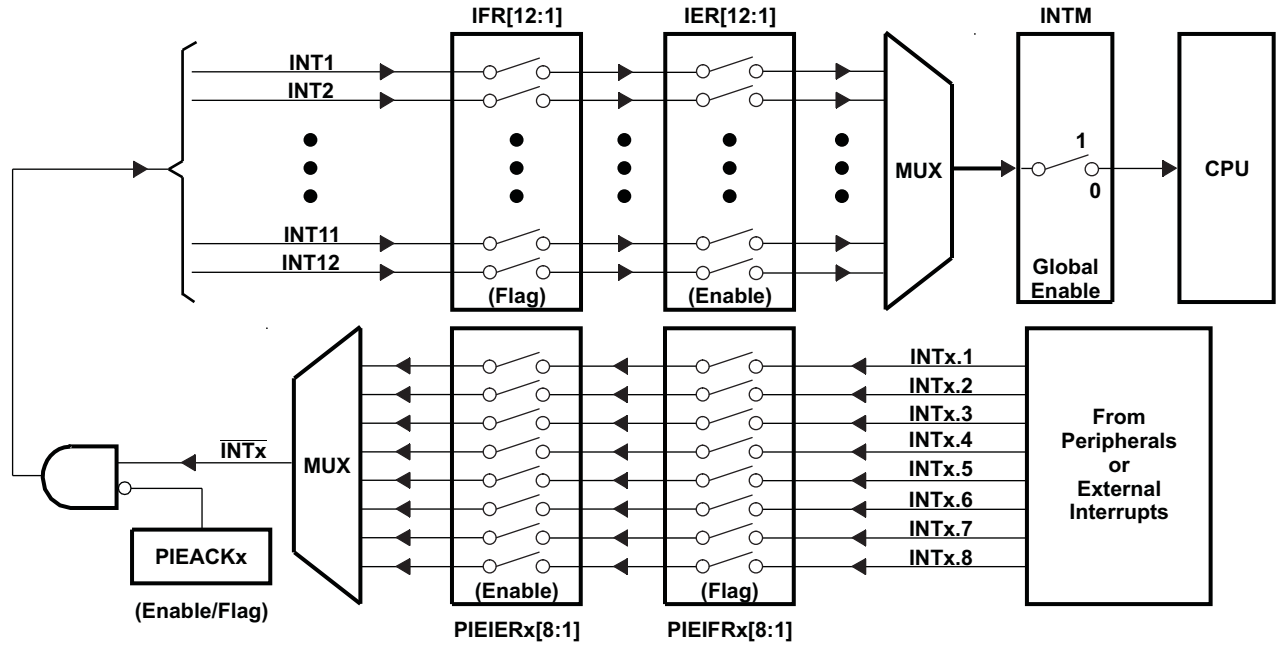


图 3-8. 使用 PIE 块的中断复用

表 3-12. PIE 外设中断⁽¹⁾

CPU 中断	PIE 中断							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (定时器 0)	ADCINT (ADC)	XINT2	XINT1	被保留	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	被保留	被保留	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	被保留	被保留	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	被保留	被保留	被保留	被保留	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	被保留	被保留	被保留	被保留	被保留	被保留	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	SPITXINTD (SPI-D)	SPIRXINTD (SPI-D)	SPITXINTC (SPI-C)	SPIRXINTC (SPI-C)	SPITXINTB (SPI-B)	SPIRXINTB (SPI-B)	SPITXINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT8	被保留	被保留	被保留	被保留	被保留	被保留	I2CINT2A (I2C-A)	I2CINT1A (I2C-A)
INT9	ECAN1_INTB (CAN-B)	ECAN0_INTB (CAN-B)	ECAN1_INTA (CAN-A)	ECAN0_INTA (CAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT11	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留
INT12	被保留	被保留	被保留	被保留	被保留	被保留	被保留	被保留

(1) 96 个可能中断中，目前有 43 个正在使用。其余中断保留供未来的器件使用。如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两个安全情况下，被保留的中断可被用作软件中断：

- 1) 组内没有外设使中断有效。
- 2) 没有外设中断被分配到这个组（例如，PIE 组 12）。

表 3-13. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE, 控制寄存器
PIEACK	0x0CE1	1	PIE, 确认寄存器
PIEIER1	0x0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE, INT12 组标志寄存器
被保留	0x0CFA- 0x0CFF	6	被保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

3.5.1 外部中断

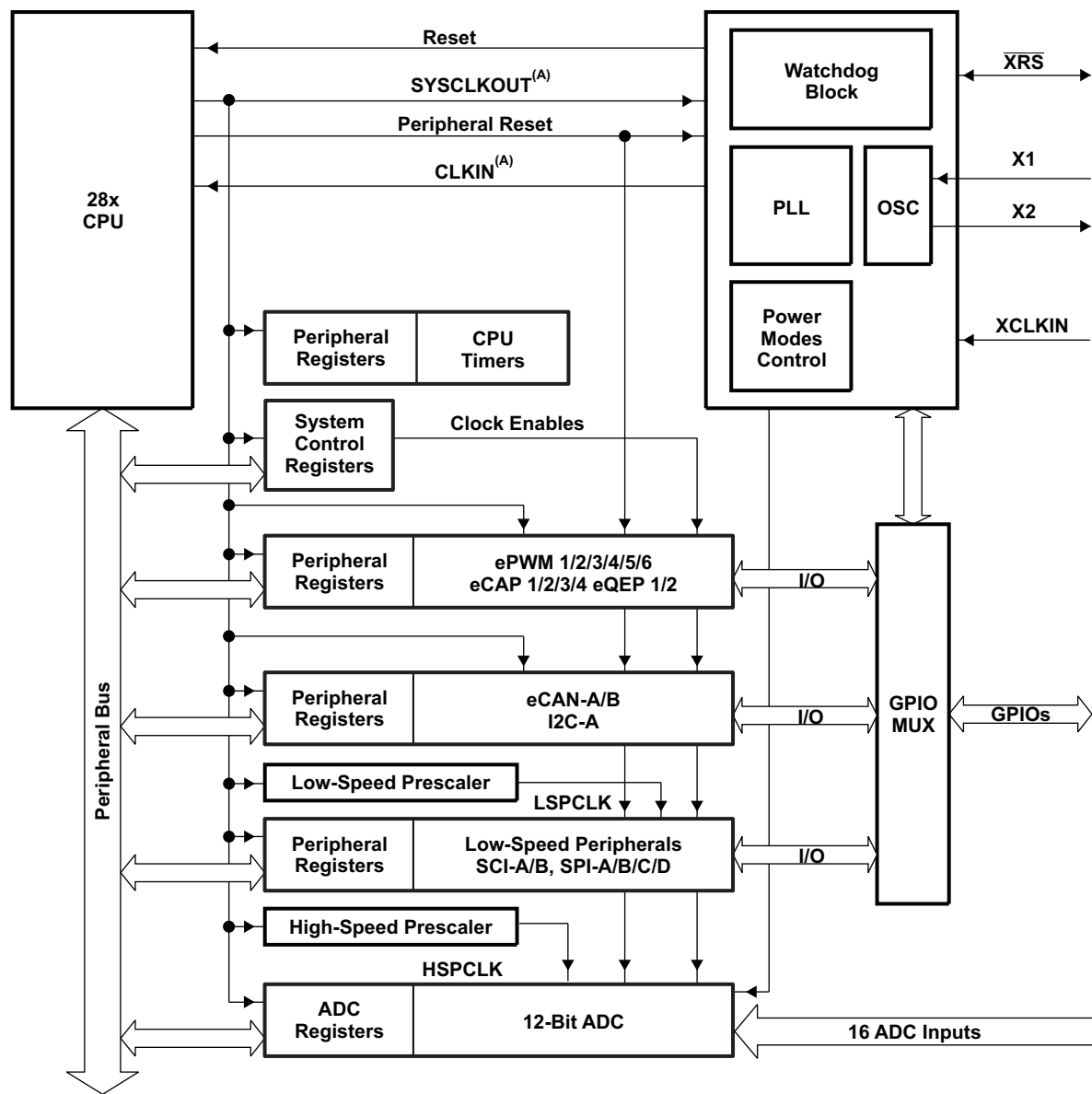
表 3-14. 外部中断寄存器

名称	地址	大小 (x 16)	说明
XINT1CR	0x7070	1	XINT1 控制寄存器
XINT2CR	0x7071	1	XINT2 控制寄存器
被保留	0x7072-0x7076	5	被保留
XNMICR	0x7077	1	XNMI 控制寄存器
XINT1CTR	0x7078	1	XINT1 计数器寄存器
XINT2CTR	0x7079	1	XINT2 计数器寄存器
被保留	0x707A-0x707E	5	被保留
XNMICTR	0x707F	1	XNMI 计数器寄存器

每个外部中断可被启用/禁用或者使用正边沿、负边沿或者正负边沿来限定中断。更多信息，请参阅《TMS320x281x, 2801x, 2804x DSP 系统控制和中断参考指南》（文献编号 [SPRU712](#)）。

3.6 系统控制

这个部分描述了 280x 振荡器、PLL 和计时机制、安全装置功能和低功耗模式。图 3-9 显示了将进行讨论的 280x 器件中的不同时钟和复位域。



A. CLKIN 是到 CPU 的时钟。它作为 SYSCLKOUT 从 CPU 传出（也就是说，CLKIN 与 SYSCLKOUT 频率相同）。

图 3-9. 时钟和复位域

PLL、计时、安全装置和低功率模式由表 3-15 中列出的寄存器控制。

表 3-15. PLL、计时、安全装置和低功率模式寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
XCLK	0x7010	1	XCLKOUT 引脚控制、X1 和 XCLKIN 状态寄存器
PLLSTS	0x7011	1	PLL 状态寄存器
被保留	0x7012-0x7019	8	被保留
HISPCP	0x701A	1	高速外设时钟预分频器寄存器（用于 HSPCLK）
LOSPCP	0x701B	1	低速外设时钟预分频器寄存器（用于 LSPCLK）
PCLKCR0	0x701C	1	外设时钟控制寄存器 0
PCLKCR1	0x701D	1	外设时钟控制寄存器 1
LPMCR0	0x701E	1	低功耗模式控制寄存器 0
被保留	0x701F-0x7020	1	被保留
PLLCR	0x7021	1	PLL 控制寄存器
SCSR	0x7022	1	系统控制与状态寄存器
WDCNTR	0x7023	1	安全装置计数器寄存器
被保留	0x7024	1	被保留
WDKEY	0x7025	1	安全装置复位密钥寄存器
被保留	0x7026-0x7028	3	被保留
WDCR	0x7029	1	安全装置控制寄存器
被保留	0x702A-0x702F	6	被保留

(1) 此表中的所有寄存器受 EALLOW 保护。

3.6.1 OSC 和 PLL 块

图 3-10 显示 280x 上的 OSC 和 PLL 块。

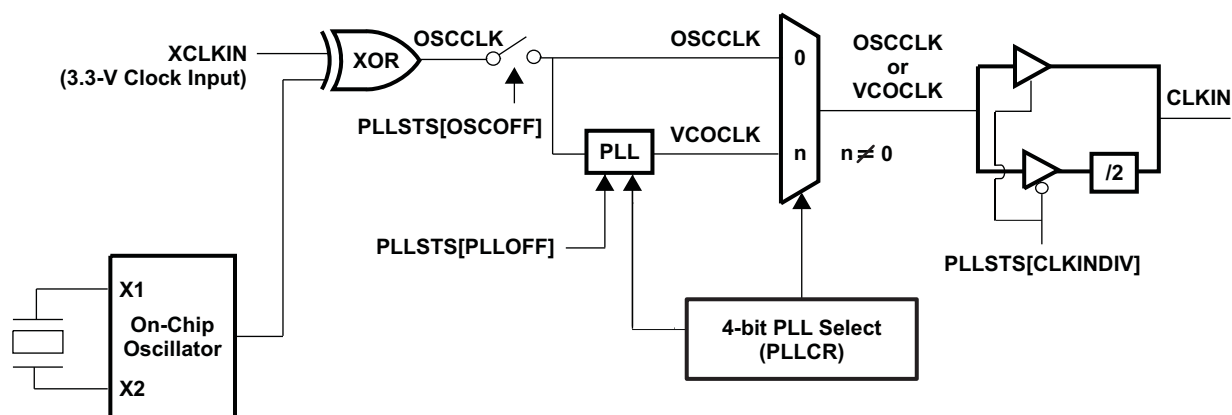


图 3-10. OSC 和 PLL 块方框图

片载振荡器电路启用一个使用 X1 和 X2 引脚连接至 280x 器件的晶振。如果片载振荡器未被使用，那么一个外部振荡器可被用在下列配置中的任何一个：

1. 一个 3.3V 外部振荡器可被直接接至 XCLKIN 引脚。X2 引脚应保持未连接，而 X1 引脚接至低电平。这个情况下的逻辑高电平不用超过 V_{DDIO} 。
2. 一个 1.8V 外部振荡器也可被直接连接至 X1 引脚。X2 引脚应保持未连接，而 XCLKIN 引脚接至低电平。这个情况下的逻辑高电平不用超过 V_{DD} 。

图 3-11至图 3-13显示了这三个可能的输入时钟配置。

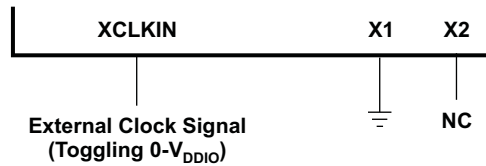


图 3-11. 使用一个 3.3V 外部振荡器

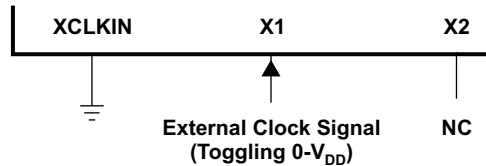


图 3-12. 使用一个 1.8V 外部振荡器

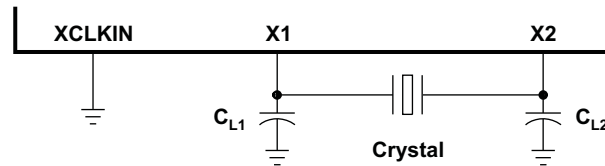


图 3-13. 使用内部振荡器

3.6.1.1 外部基准振荡器时钟选项

20MHz 外部石英晶振的典型技术规范如下：

- 基本模式、并联谐振
- C_L （负载电容）=12pF
- $C_{L1}=C_{L2}=24\text{pF}$
- $C_{\text{并联}}=6\text{pF}$
- ESR 范围 = 30 至 60 Ω

TI 建议客户让谐振器/晶体供应商提供他们的器件与 DSP 芯片一起工作的信息。谐振器/晶体供应商具有调谐谐振电路的设备和专业技术。销售商也可建议客户考虑适当的谐振组件值，这个值将在整个运行范围内产生合适的启动和稳定性。

3.6.1.2 基于 PLL 的时钟模块

280x 器件有一个片载、基于 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 有一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，安全装置模块应该被禁用。在 PLL 模式稳定后，它可被重新启用（如果需要的话），重新启用的时间为 131072 个 OSCCLK 周期。

表 3-16. PLL 寄存器位定义

PLLCR[DIV] ⁽¹⁾	SYSCLKOUT (CLKIN) ⁽²⁾
0000 (PLL 旁路)	OSCCLK/n
0001	(OSCCLK*1)/n
0010	(OSCCLK*2)/n
0011	(OSCCLK*3)/n
0100	(OSCCLK*4)/n
0101	(OSCCLK*5)/n
0110	(OSCCLK*6)/n
0111	(OSCCLK*7)/n
1000	(OSCCLK*8)/n
1001	(OSCCLK*9)/n
1010	(OSCCLK*10)/n
1011-1111	被保留

- (1) 此寄存器是受 EALLOW 保护的。
(2) CLKIN 是到 CPU 的输入时钟。SYSCLKOUT 为来自 CPU 的输出时钟。SYSCLKOUT 的频率与 CLKIN 一样。如果 CLKINDIV = 0，n = 2；如果 CLKINDIV = 1，n = 1。

注

在时钟被馈入内核前，PLLSTS[CLKINDIV] 启用或者旁通此二分频块。这个位在写入 PLLCR 前必须为 0，在 PLLSTS[PLLLOCKS] = 1 后必须被设定。

基于 PLL 的时钟模块提供两种操作模式：

- 晶振操作-这个模式允许使用一个外部晶振/谐振器来提供到器件的时基。
- 外部时钟源操作-这个模式允许内部振荡器被旁通。此器件时钟由一个 X1 或者 XCLKIN 引脚上的外部时钟源输入生成。

表 3-17. 可能的 PLL 配置模式

PLL 模式	注释	PLLSTS[CLKINDIV]	SYSCLKOUT (CLKIN)
PLL 关闭	由在 PLLSTS 寄存器中设置 PLLOFF 位的用户调用。在此模式中, PLL 块被禁用。这对降低系统噪声和低功率操作非常有用。在进入此模式之前, 必须先将 PLLCR 寄存器设置为 0x0000 (PLL 旁路)。CPU 时钟 (CLKIN) 直接源自 X1/X2, X1 或者 XCLKIN 上的输入时钟。	0	OSCCLK/2
		1	OSCCLK
PLL 旁路	PLL 旁路是加电或外部复位 ($\overline{\text{XRS}}$) 时的默认 PLL 配置。当 PLLCR 寄存器设置为 0x0000 时或在修改 PLLCR 寄存器已经被修改之后 PLL 锁定至新频率时, 选择此模式。在此模式中, PLL 本身被旁路, 但未关闭。	0	OSCCLK/2
		1	OSCCLK
PLL 启用	通过将非零值 n 写入 PLLCR 寄存器实现。在写入 PLLCR 时, 此器件将在 PLL 锁之前切换至 PLL 旁路模式。	0	OSCCLK*n/2

3.6.1.3 输入时钟损失

在 PLL 启用或者 PLL 旁通模式中, 如果输入时钟 OSCCLK 被去除或者缺失, PLL 仍将发布一个跛行模式时钟。这个跛行模式时钟持续为 CPU 和典型频率为 1-5MHz 的外设计时。额定情况下, 跛行模式加电时并不运行, 只在输入时钟已经首次出现时才运行。在 PLL 旁通模式中, 如果输入时钟被移除或者缺失, 来自 PLL 的跛行模式时钟被自动引至 CPU。

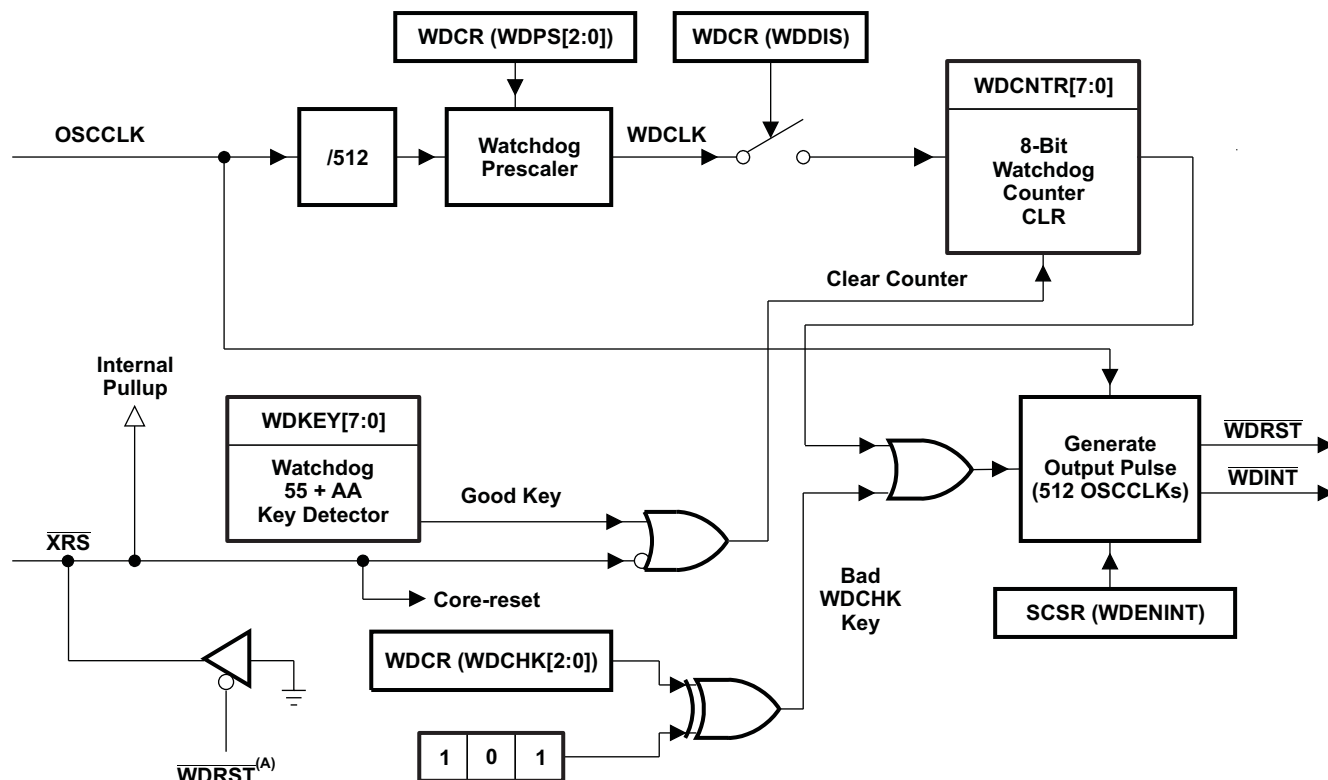
通常情况下, 当输入时钟出现时, 安全装置计数器减量来启动一个安全装置复位或者 WDINT 中断。然而, 当外部输入时钟发生故障时, 安全装置计数器停止减量 (也就是说, 安全装置计数器不会随着跛行模式时钟而改变)。除此之外, 器件将被复位并且“丢失的时钟状态” (MCLKSTS) 位将被设定。这个条件可被应用固件用来检测输入时钟故障并为系统启动所需的关断过程。

注

在正确 CPU 运行频率绝对关键的应用中应该执行一个机制, 通过这个机制, 只要输入时钟出现故障, DSP 就被保持在复位状态。例如, 只要电容器充满电, 一个 R-C 电路可被用于触发 DSP 的 $\overline{\text{XRS}}$ 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。这样一个电路也将有助于检测 V_{DD3VFL} 电源轨的故障。

3.6.2 安全装置块

280x 上的安全装置块与 240x 和 281x 器件上使用的安全装置块类似。只要 8 位安全装置计数器达到了它的最大值，这个安全装置模块就生成一个输出脉冲，512 振荡器时钟宽度 (OSCCLK)。要防止这种情况，用户禁用该计数器，或者必须通过编写软件定期将一个 0x55+0xAA 序列写入至安全装置密钥寄存器中，从而使安全装置计数器复位。图 3-14 显示了安全装置模块内的各种功能块。



A. $\overline{\text{WDRST}}$ 信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 3-14. 安全装置模块

$\overline{\text{WDINT}}$ 信号使得安全装置可被用作一个从 IDLE/STANDY 模式的唤醒。

在 STANDBY 模式中，器件上的所有外设关闭。继续工作的唯一外设是安全装置。WATCHDOG 模块将关闭 OSCCLK。 $\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒（如已启用）。更多细节，请见节 3.7，低功耗模式块。

在 IDLE 模式中， $\overline{\text{WDINT}}$ 信号可通过 PIE 来生成一个到 CPU 的中断来将 CPU 从 IDLE 模式中唤醒。

在 HALT 模式中，不能使用此功能，这是因为振荡器（和 PLL）关闭，因此安全装置也关闭。

3.7 低功率模式块

280x 上的低功率模式与 240x 器件类似。表 3-18总结了各种模式。

表 3-18. 低功率模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCCLKOUT	退出 ⁽¹⁾
IDLE	00	打开	打开	打开 ⁽²⁾	$\overline{XRS}$ 、安全装置中断、任何启用的中断、XNMI
STANDBY	01	打开 (安全装置仍在运行)	关闭	关闭	$\overline{XRS}$ ，安全装置中断，GPIO 端口 A 信号，调试器 ⁽³⁾ ，XNMI
HALT	1X	关闭 (振荡器和 PLL 关闭，安全装置不工作)	关闭	关闭	$\overline{XRS}$ ，GPIO 端口 A 信号，XNMI，调试器 ⁽³⁾

- (1) 退出列列出哪些信号或在哪些情况下会退出低功率模式。一个低电平信号，或者在任何此类信号的任何一个上，将退出低功耗状态。这个信号必须保持低电平足够长时间以便器件识别中断。否则，将不会从 IDLE 模式退出，而器件将返回到标明的低功耗模式。
- (2) C28x 上的 IDLE 模式的运行状态与 24x/240x 上的不同。在 C28x 上，来自 CPU 的时钟输出 (SYSCCLKOUT) 仍将起作用，而在 24x/240x 器件上，此时钟将被关闭。
- (3) 在 C28x 上，即使 CPU 时钟 (CLKIN) 被关闭，JTAG 端口仍然可以工作。

不同的低功耗模式运行状态如下：

- IDLE 模式：** 通过任一被启用的中断或者由处理器识别的 XNMI 来退出此模式。LPM 块在这个模式期间，只要 LPMCR0 (LPM) 位被设定为 0，0，LPM 块不执行任何任务。
- STANDBY 模式：** 任一 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从 STANDBY 模式中唤醒。用户必须在 GPIOLPMSEL 寄存器中选择哪一个信号将唤醒器件。在唤醒器件前，所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。
- HALT 模式：** 只有 $\overline{XRS}$ 和任一 GPIO 端口 A 信号 (GPIO[31:0]) 可将器件从 HALT 模式中唤醒。用户在 GPIOLPMSEL 寄存器中选择信号。

注

低功耗模式并不会影响输出引脚的状态（包括 PWM 引脚在内）。当 IDLE 指令被执行时，它们将保持在代码指定的状态中。更多细节，请参阅《TMS320x280x, 2801x, 2804x DSP 系统控制和中断参考指南》（文献编号 [SPRU712](#)）。

4 外设

280x 的集成外设在以下子部分进行了说明：

- 三个 32 位 CPU 定时器
- 多达 6 个增强型 PWM 模块 (ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6)
- 多达 4 个增强型捕捉模块 (eCAP1, eCAP2, eCAP3, eCAP4)
- 多达 2 个增强型 QEP 模块 (eQEP1, eQEP2)
- 增强型模数转换器 (ADC) 模块
- 多达 2 个增强型控制器局域网 (eCAN) 模块 (eCAN-A, eCAN-B)
- 多达 2 个串行通信接口模块 (SCI-A, SCI-B)
- 多达 4 个串行外设接口 (SPI) 模块 (SPI-A, SPI-B, SPI-C, SPI-D)
- 内部集成电路模块 (I2C)
- 数字 I/O 和共用引脚功能

4.1 32 位 CPU 定时器 0/1/2

在 280x 器件上有 3 个 32 位 CPU 定时器 (CPU-TIMER0/1/2)。

可以在用户应用程序中使用 CPU 定时器 0 和 CPU 定时器 1。定时器 2 为 DSP/BIOS™ 预留。这些定时器与 ePWM 模块中的定时器不同。

注

如果应用没有在使用 DSP/BIOS，那么 CPU 定时器 2 可被用在应用中。

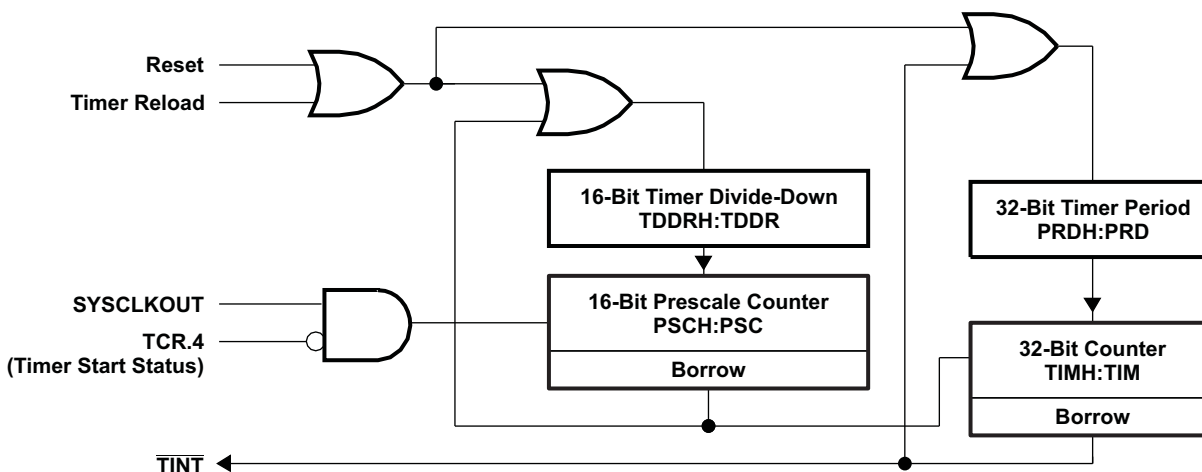


图 4-1. CPU 定时器

在 280x 器件中，定时器中断信号（ $\overline{\text{TINT0}}$ ， $\overline{\text{TINT1}}$ ， $\overline{\text{TINT2}}$ ）的连接如图 4-2 所示。

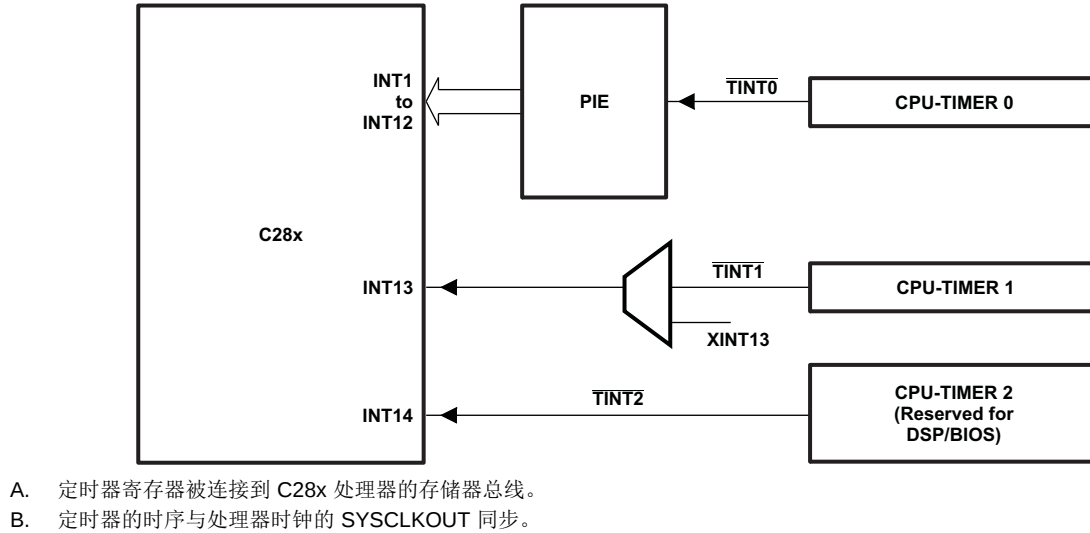


图 4-2. CPU 定时器中断信号和输出信号

定时器的通常操作如下：32 位计数器寄存器“TIMH:TIM”被装入周期寄存器 PRDH:PRD 中的值。计数器寄存器按 C28x 的 SYSCLKOUT 速率递减。当计数器到达 0 时，定时器中断输出信号生成一个中断脉冲。

表 4-1 中列出的寄存器用于配置定时器。更多信息，请参阅《TMS320x280x, 2801x, 2804x DSP 系统控制和中断参考指南》（文献编号 [SPRU712](#)）。

表 4-1. CPU 定时器 0, 1, 2 配置和控制寄存器

名称	地址	大小 (x 16)	说明
TIMER0TIM	0x0C00	1	CPU 定时器 0, 计数器寄存器
TIMER0TIMH	0x0C01	1	CPU 定时器 0, 计数器寄存器高电平
TIMER0PRD	0x0C02	1	CPU 定时器 0, 周期寄存器
TIMER0PRDH	0x0C03	1	CPU 定时器 0, 周期寄存器高电平
TIMER0TCR	0x0C04	1	CPU 定时器 0, 控制寄存器
被保留	0x0C05	1	被保留
TIMER0TPR	0x0C06	1	CPU 定时器 0, 预分频寄存器
TIMER0TPRH	0x0C07	1	CPU 定时器 0, 预分频寄存器高电平
TIMER1TIM	0x0C08	1	CPU 定时器 1, 计数器寄存器
TIMER1TIMH	0x0C09	1	CPU 定时器 1, 计数器寄存器高电平
TIMER1PRD	0x0C0A	1	CPU 定时器 1, 周期寄存器
TIMER1PRDH	0x0C0B	1	CPU 定时器 1, 周期寄存器高电平
TIMER1TCR	0x0C0C	1	CPU 定时器 1, 控制寄存器
被保留	0x0C0D	1	被保留
TIMER1TPR	0x0C0E	1	CPU 定时器 1, 预分频寄存器
TIMER1TPRH	0x0C0F	1	CPU 定时器 1, 预分频寄存器高电平
TIMER2TIM	0x0C10	1	CPU 定时器 2, 计数器寄存器
TIMER2TIMH	0x0C11	1	CPU 定时器 2, 计数器寄存器高电平
TIMER2PRD	0x0C12	1	CPU 定时器 2, 周期寄存器
TIMER2PRDH	0x0C13	1	CPU 定时器 2, 周期寄存器高电平
TIMER2TCR	0x0C14	1	CPU 定时器 2, 控制寄存器
被保留	0x0C15	1	被保留
TIMER2TPR	0x0C16	1	CPU 定时器 2, 预分频寄存器

表 4-1. CPU 定时器 0, 1, 2 配置和控制寄存器 (continued)

名称	地址	大小 (x 16)	说明
TIMER2TPRH	0x0C17	1	CPU 定时器 2, 预分频寄存器高电平
被保留	0x0C18-0x0C3F	40	被保留

4.2 增强型 PWM 模块 (ePWM1/2/3/4/5/6)

280x 器件包含多达 6 个增强型 PWM 模块 (ePWM)。图 4-3 显示了一个多 ePWM 模块的方框图。图 4-4 显示了与 ePWM 互连的信号。更多细节, 请参阅《TMS320x280x, 2801x, 2804x 增强型脉宽调制器 (ePWM) 模块参考指南》(文献编号 [SPRU791](#))。

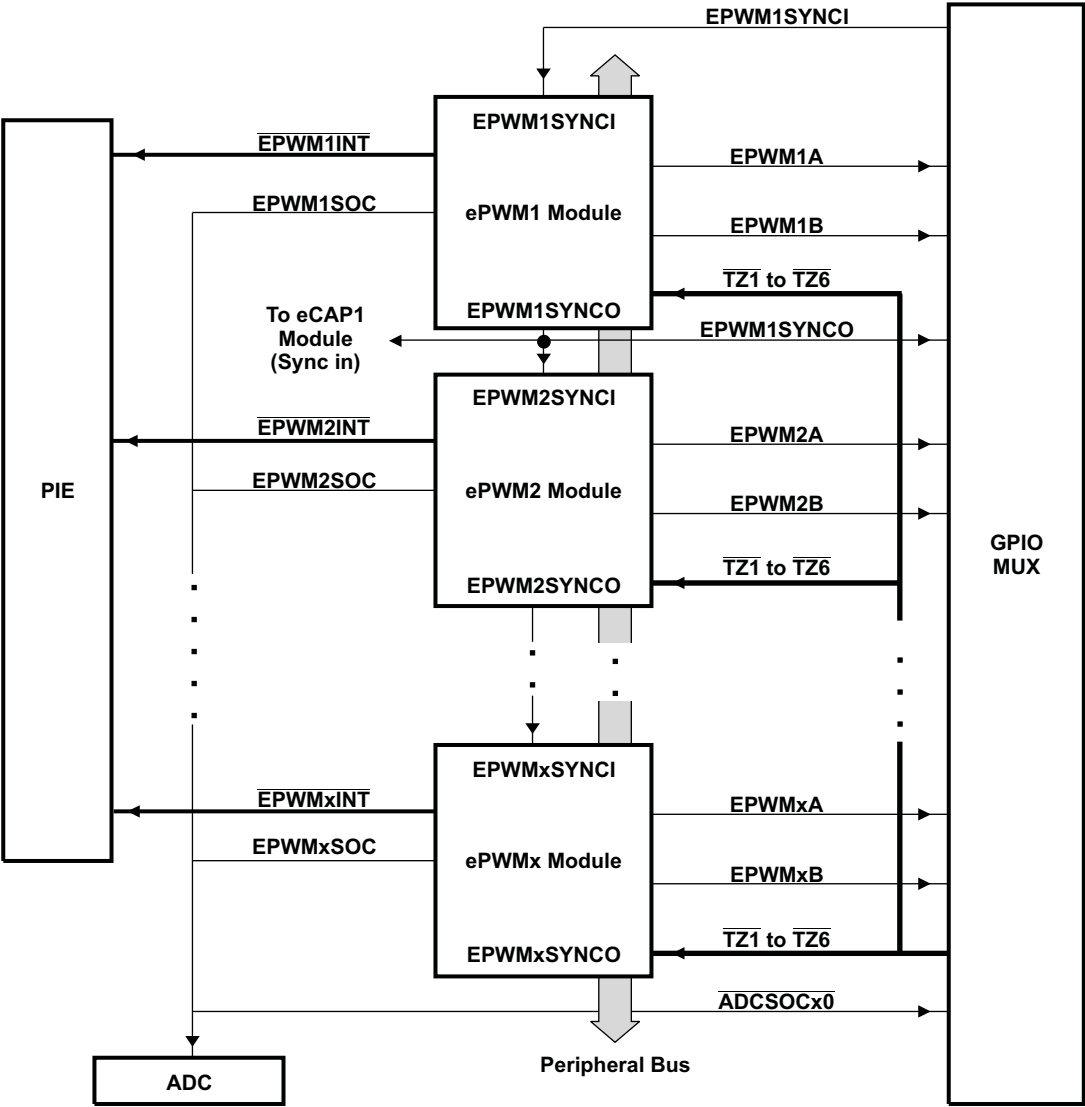


图 4-3. 280x 系统中多个 PWM 模块

表 4-2 显示了每个模块的完整 ePWM 寄存器集。

表 4-2. ePWM 控制和状态寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小 (x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	不可用	不可用	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1/1	时基周期寄存器集
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	不可用	不可用	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1/1	计数器比较 A 寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1/1	计数器比较 B 寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1/0	针对输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1/0	操作限定器软件强制寄存器
AQCSFR	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1/1	操作限定器连续 S/W 强制寄存器集
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1/0	触发区选择寄存器 ⁽¹⁾
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1/0	触发区控制寄存器 ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1/0	触发区启用中断寄存器 ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1/0	触发区标志寄存器
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1/0	触发区清除寄存器 ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1/0	触发区强制寄存器 ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1 / 0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920 ⁽²⁾	0x6960 ⁽²⁾	1/0	HRPWM 配置寄存器 ⁽¹⁾

(1) 寄存器受 EALLOW 保护。

(2) 只适用于 F2809。

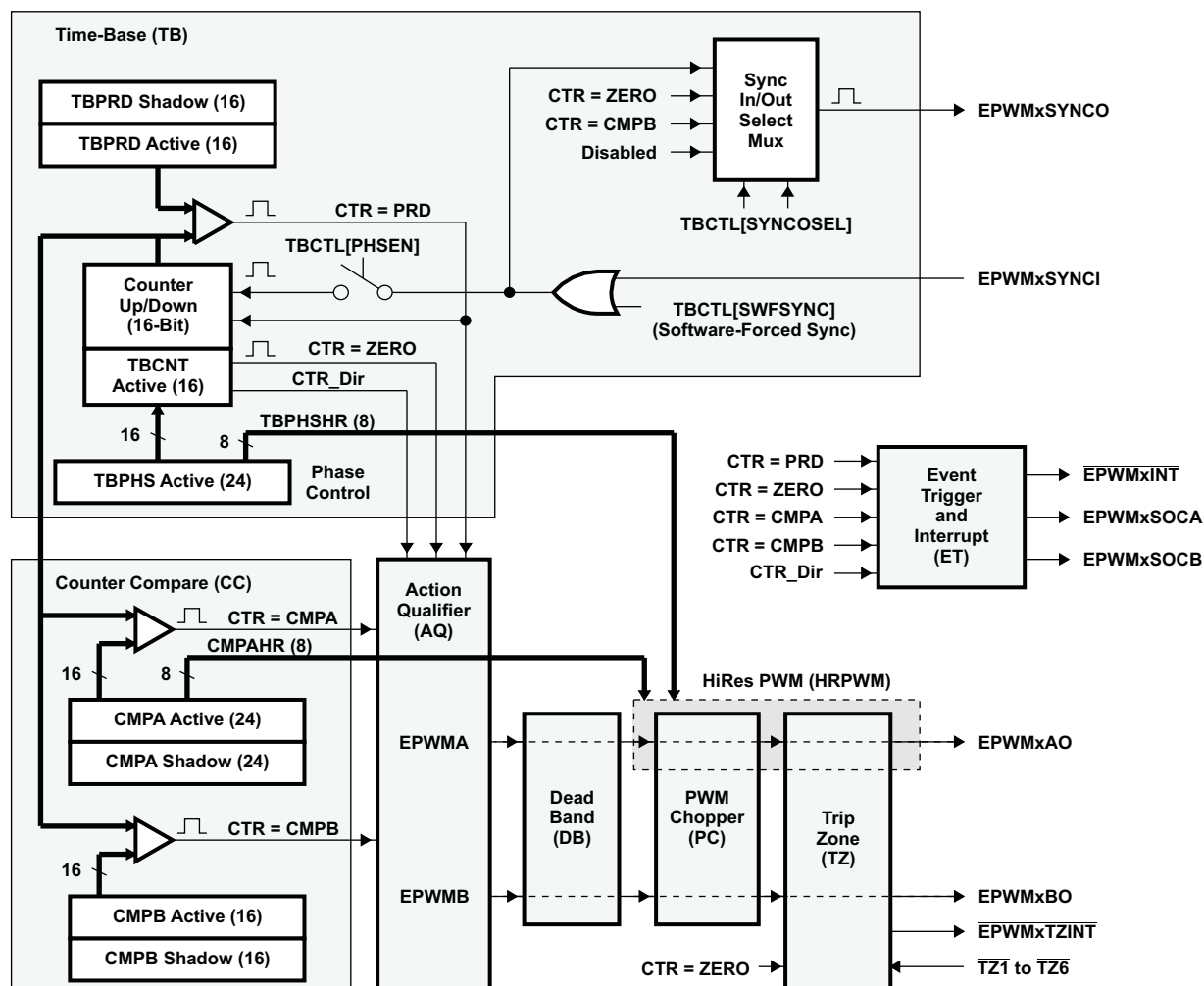


图 4-4. ePWM 子模块显示关键内部信号互连

4.3 高分辨率 PWM (HRPWM)

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率大大好于使用传统导出数字 PWM 方法所能实现的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 通常在有效 PWM 分辨率下降到低于大约 9-10 位时使用。当时用一个 100MHz 的 CPU / 系统时钟时，这在 PWM 频率大于大约 200kHz 上发生。
- 这个功能可被用在占空比和相移控制方法中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。
- HRPWM 功能，只在 ePWM 模块的 A 信号路径上提供（也就是说，在 EPWMxA 输出上提供）。EPWMxB 输出具有传统 PWM 功能。

4.4 增强型 CAP 模块 (eCAP1/2/3/4)

280x 器件包含多达四个增强型捕捉 (eCAP) 模块。图 4-5 显示了一个模块的功能方框图。更多细节，请参阅《TMS320x280x, 2801x, 2804x 增强型捕捉 (eCAP) 模块参考指南》（文献编号 [SPRU807](#)）。

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位 (ECAP1/2/3/4ENCLK) 用于独立关闭 eCAP 模块。复位时，ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, 和 ECAP4ENCLK 被设为低电平，表明外设时钟关闭。

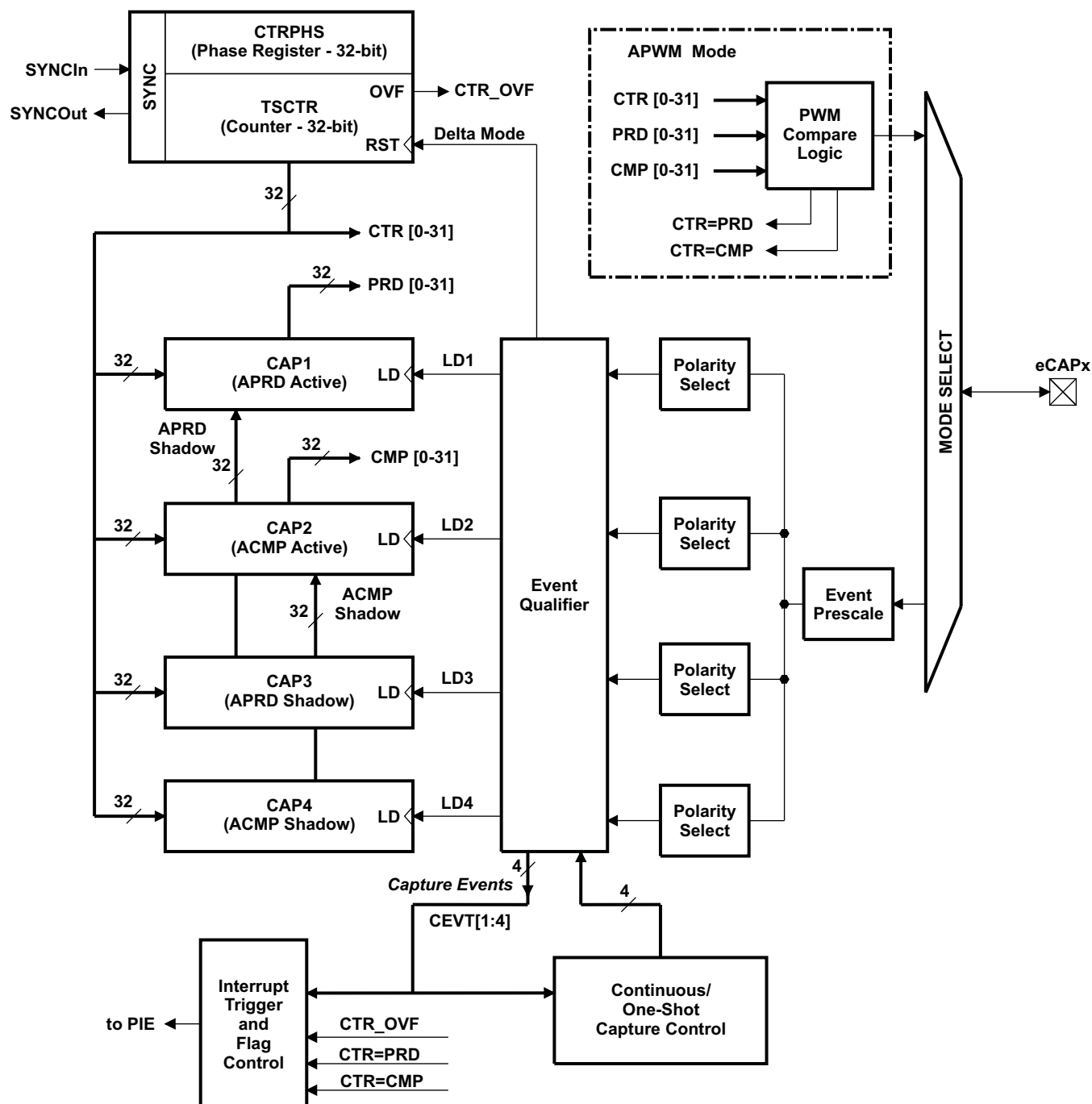


图 4-5. eCAP 功能方框图

表 4-3. eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	大小 (x 16)	说明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	2	时间戳计数器
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	2	计数器相位偏移值寄存器
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	2	捕捉 1 寄存器
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	2	捕捉 2 寄存器
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	2	捕捉 3 寄存器
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	2	捕捉 4 寄存器
被保留	0x6A0C- 0x6A12	0x6A2C- 0x6A32	0x6A4C- 0x6A52	0x6A6C- 0x6A72	8	被保留
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	1	捕捉控制寄存器 1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	1	捕捉控制寄存器 2
ECEINT	0x6A16	0x6A36	0x6A56	0x6A76	1	捕捉中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	1	捕捉中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	1	捕捉中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	1	捕捉中断强制寄存器
被保留	0x6A1A- 0x6A1F	0x6A3A- 0x6A3F	0x6A5A- 0x6A5F	0x6A7A- 0x6A7F	6	被保留

表 4-4. eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1 大小 (x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初始化位置计数
QPOS MAX	0x6B04	0x6B44	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	0x6B46	2/1	eQEP 位置比较
QPOSILAT	0x6B08	0x6B48	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	0x6B4C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	0x6B4E	2/0	eQEP 单元定时器
QUPRD	0x6B10	0x6B50	2/0	eQEP 单元周期寄存器
QWDTMR	0x6B12	0x6B52	1/0	eQEP 安全装置定时器
QWDPRD	0x6B13	0x6B53	1/0	eQEP 安全装置周期寄存器
QDECCTL	0x6B14	0x6B54	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	0x6B55	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	0x6B56	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	0x6B57	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	0x6B58	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	0x6B59	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	0x6B5A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	0x6B5B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	0x6B5D	1/0	eQEP 捕捉定时器
QCPRD	0x6B1E	0x6B5E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP 捕捉定时器锁存
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP 捕捉周期锁存
被保留	0x6B21- 0x6B3F	0x6B61-0x6B7F	31/0	被保留

4.6 增强型模数转换器 (ADC) 模块

图 4-7 显示了一个 ADC 模块的简化功能方框图。这个 ADC 模块由一个带有内置采样保持 (S/H) 电路的 12 位 ADC 组成。ADC 模块的功能包括：

- 具有内置 S/H 的 12 位 ADC 内核
- 模拟输入：0.0V 至 3.0V（高于 3.0V 的电压产生满刻度转换结果）。
- 快速转换率：在 25MHz ADC 时钟 12.5MSPS 上时高达 80ns
- 16 通道，复用的输入
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。每次转换可被设定为选择 16 个输入信道中的任何一个。
- 序列发生器可运行作为 2 个独立的 8 通道序列发生器，或作为 1 个较大的 16 通道序列发生器使用（即 2 个级联的 8 通道序列发生器）。
- 用于存储转换值的 16 个结果寄存器（单独可寻址）
 - 输入模拟电压的数值源自：

Digital Value = 0, when input ≤ 0 V

Digital Value = $4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3}$ when 0 V < input < 3 V

Digital Value = 4095, when input ≥ 3 V

A. 所有分数值均为截断值。

- 作为转换开始序列 (SOC) 源的多个触发器
 - S/W - 软件立即启动
 - ePWM 转换开始
 - XINT2 ADC 转换开始
- 灵活的中断控制允许每个序列结束 (EOS) 或每个其它 EOS 上的中断请求。
- 序列发生器可运行于“启/停”模式，从而实现多个“时序触发器”同步转换。
- SOCA 和 SOCB 触发器可独立运行在双序列发生器模式中。
- 采样保持 (S/H) 采集时间窗口具有独立的预分频控制。

280x 中的 ADC 模块已经被增强以提供到 ePWM 外设的灵活接口。ADC 接口被建立在一个快速，12 位 ADC 模块上，此模块在 25MHz ADC 时钟上的快速转换率高达 80ns。ADC 模块有一个 16 通道序列发生器，此发生器可配置为两个独立的 8 通道序列发生器。这两个独立的 8 通道序列发生器可被级联成一个 16 通道序列发生器。尽管有多个输入通道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。图 4-7 显示了 ADC 模块的方框图。

这两个 8 信道模块可对一系列转换自动定序，每个模块可以选择通过模拟 MUX 从可用的 8 个通道中选取任何一个。在级联模式中，自动序列发生器将作为一个单个 16 信道序列发生器使用。一旦每个序列发生器上的转换完成，所选的信道值将存储在其各自的 RESULT 寄存器中。自动定序功能使得系统可多次转换同一信道，从而使用户可执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

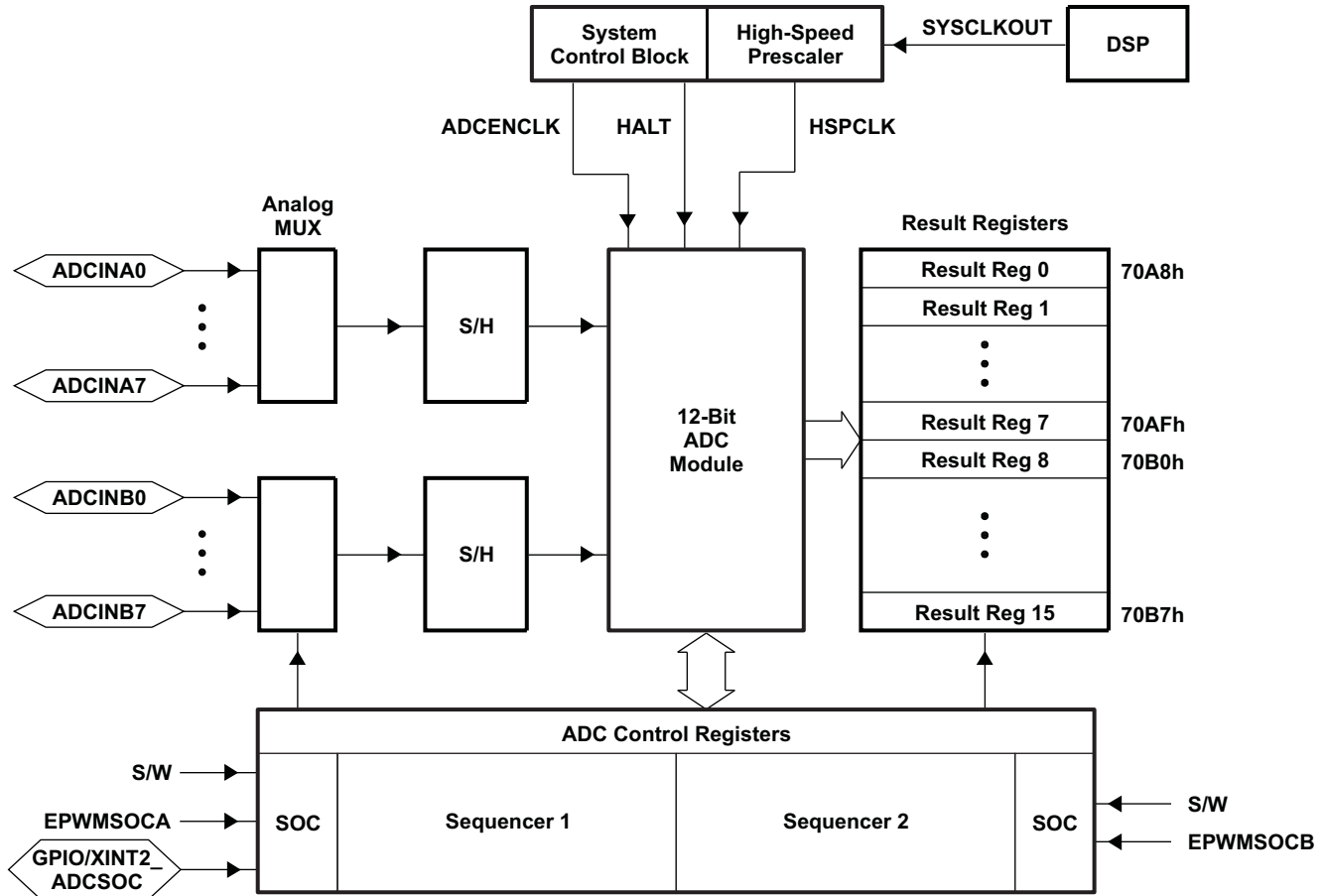


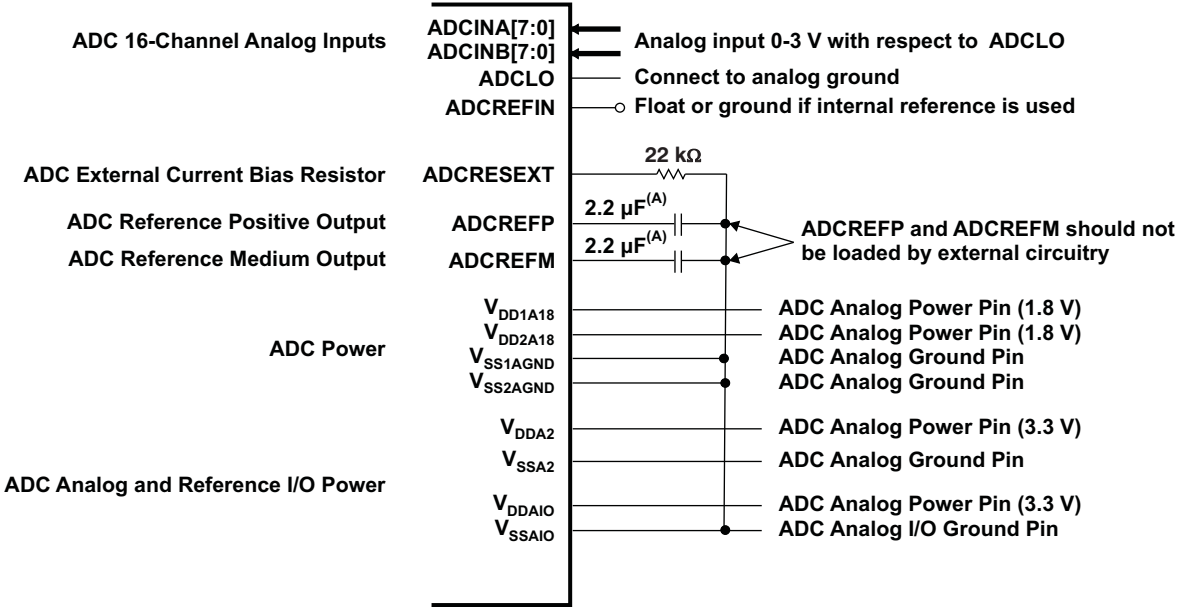
图 4-7. ADC 模块的方框图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上耦合进 ADC 输入的开关噪声。而且，适当的隔离技术必须被用来将数字电源从 ADC 模块电源引脚 (V_{DD1A18} , V_{DD2A18} , V_{DDA2} , V_{DDAIO}) 上隔离。图 4-8 和图 4-9 显示了对于 280x 器件的 ADC 引脚连接。

注

1. 在 SYSCLKOUT 速率上对 ADCC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟 (HSPCLK) 控制。
2. 基于 ADCENCLK 和 HALT 信号的 ADC 模块的运行方式如下：
 - **ADCENCLK**: 复位时，这个信号将为低电平。虽然复位为低电平有效 ($\overline{XRS}$)，到寄存器的时钟仍将运行。有必要确保所有寄存器和模式进入它们的复位状态。然而，模拟模块将处于一个低功耗非激活状态。一旦复位变成高电平，那么到寄存器的时钟将被禁用。当用户将 ADCENCLK 信号设定为高电平时，那么到寄存器的时钟将被启用并且模拟模块将被启用。在 ADC 稳定并且可被使用之前，将有一个特定的时间延迟（毫秒范围内）。
 - **HALT**: 这个模式只影响模拟模块。它不影响寄存器。在这个模式下，ADC 模块进入低功耗模式。这个模式将停止到 CPU 的时钟，即 HSPCLK；因此，将间接的关闭 ADC 逻辑。

图 4-8 显示了针对内部基准的 ADC 引脚偏置而图 4-9 显示了针对外部基准的 ADC 引脚偏置。



- A. TAIYO YUDEN LMK212BJ225MG-T 或等效器件
- B. 建议在所有电源引脚上使用外部去耦合电容器。
- C. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低 ADC 性能。

图 4-8. 带有内部基准的 ADC 引脚连接

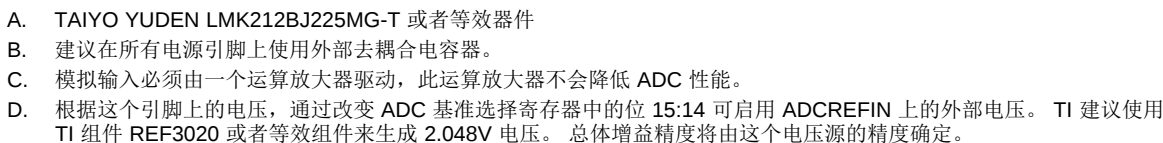


图 4-9. 帶有外部基準的 ADC 引腳連接

任何推荐组件的额定温度必须与最终产品的额定值相匹配。

建议保持针对模拟电源引脚的连接，即便在 **ADC** 未被使用时也是如此。下面总结了如果 **ADC** 未在应用中使用，应该如何连接 **ADC** 引脚：

- 当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。

当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地 ($V_{SS1AGND}/V_{SS2AGND}$)

4.6.2 ADC 寄存器

表 4-5 中所列寄存器对 ADC 操作进行配置、控制、和监视。

表 4-5. ADC 寄存器⁽¹⁾

名称	地址 ⁽¹⁾	地址 ⁽²⁾	大小 (x 16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器 1
ADCTRL2	0x7101		1	ADC 控制寄存器 2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择排序控制寄存器 1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择排序控制寄存器 2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择排序控制寄存器 3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择排序控制寄存器 4
ADCASEQSR	0x7107		1	ADC 自动排序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器 3
ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x7110	0x0B08	1	ADC 转换结果缓冲寄存器 8
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器 9
ADCRESULT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器 10
ADCRESULT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器 11
ADCRESULT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器 12
ADCRESULT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器 13
ADCRESULT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器 14
ADCRESULT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x7118		1	ADC 控制寄存器 3
ADCST	0x7119		1	ADC 状态寄存器
被保留	0x711A- 0x711B		2	被保留
ADCREFSSEL	0x711C		1	ADC 基准选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移调整寄存器
被保留	0x711E 0x711F		2	被保留

(1) 本列中的寄存器为外设帧 2 寄存器。

(2) ADC 结果寄存器在 280x DSP 中进行了双映射。外设帧 2 (0x7108-0x7117) 中的位置为 2 等待状态，且为左对齐。外设帧 0 空间 (0x0B00-0x0B0F) 中的位置为 0 等待状态，且为右对齐。在 ADC 的高速/连续转换使用期间，使用 0 等待状态位置进行 ADC 结果到用户内存的快速转换。

4.7 增强型控制器局域网 (eCAN) 模块 (eCAN-A 和 eCAN-B)

CAN 模块有下列特性:

- 与 CAN 协议, 版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32 个邮箱, 每一个邮箱有下列属性:
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由 0 至 8 字节数据组成
 - 在接收和发送消息上使用一个 32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的 32 位本地网络时间计数器 (与邮箱 6 协同通信)
- 自测模式
 - 运行在接收其自身消息的回路模式。提供一个“假”确认, 从而无需另外节点提供确认位。

注

对于 100MHz 的 SYSCLKOUT, 最小可能的比特率为 15.625kbps。

对于 60MHz 的 SYSCLKOUT, 最小可能的比特率为 9.375kbps。

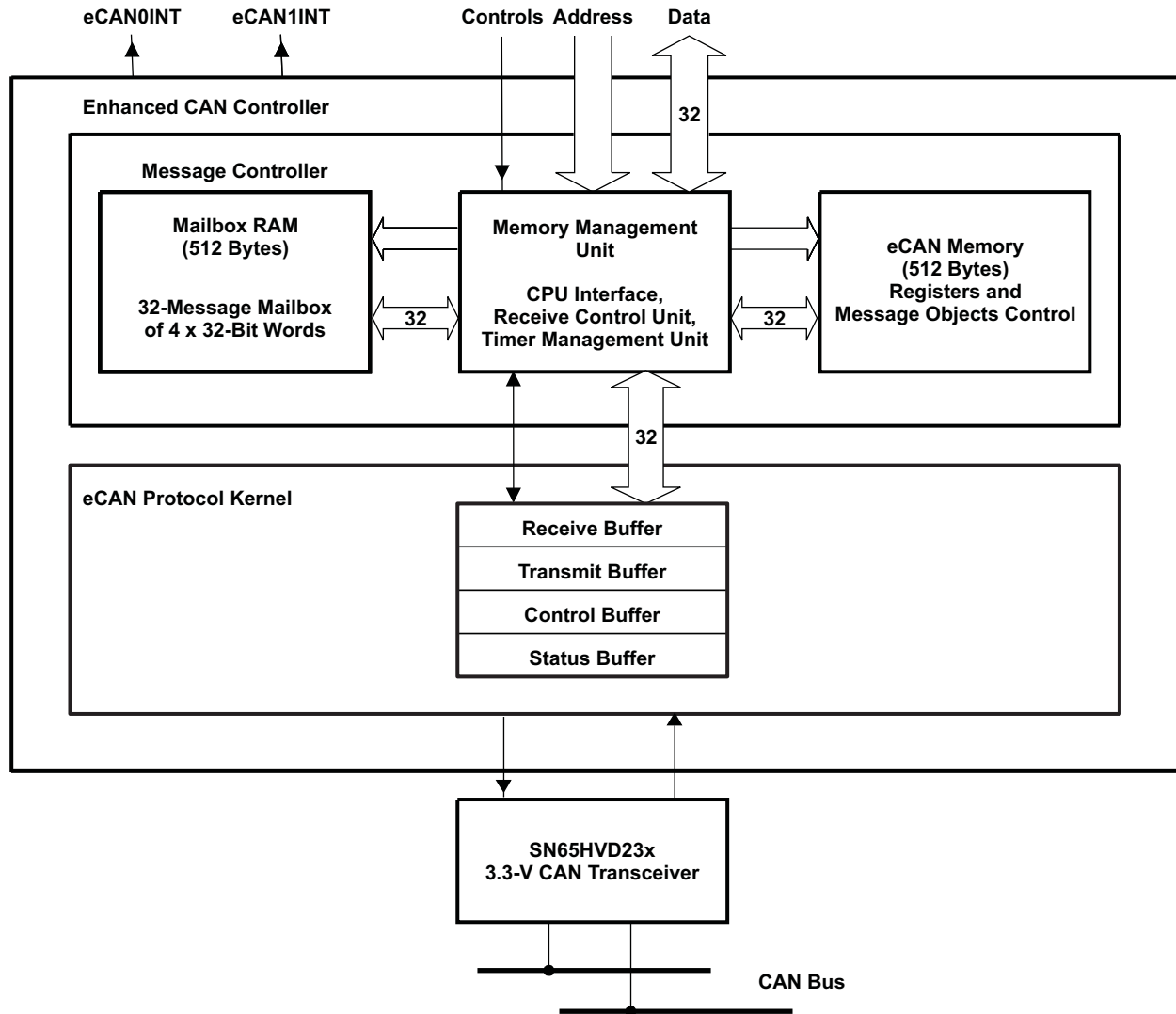


图 4-10. eCAN 方框图和接口电路图

表 4-6. 3.3V eCAN 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T _A
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机 & 睡眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C

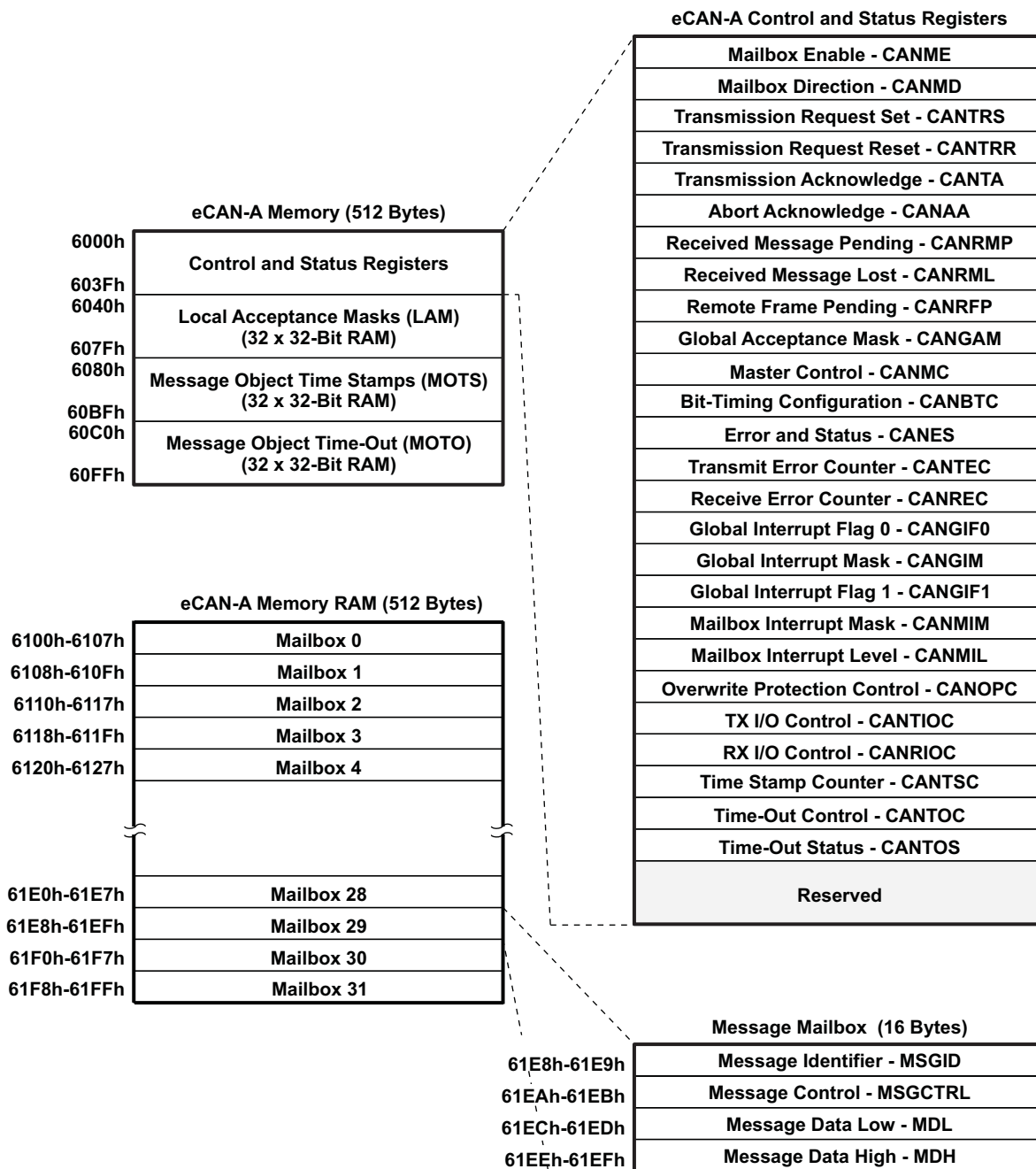


图 4-11. eCAN-A 内存映射

注

如果 eCAN 模块未在应用中使用, 可用的 RAM (LAM, MOTS, MOTO, 和邮箱 RAM) 可被用作通用 RAM。为实现这一功能 CAN 模块时钟应被启用。

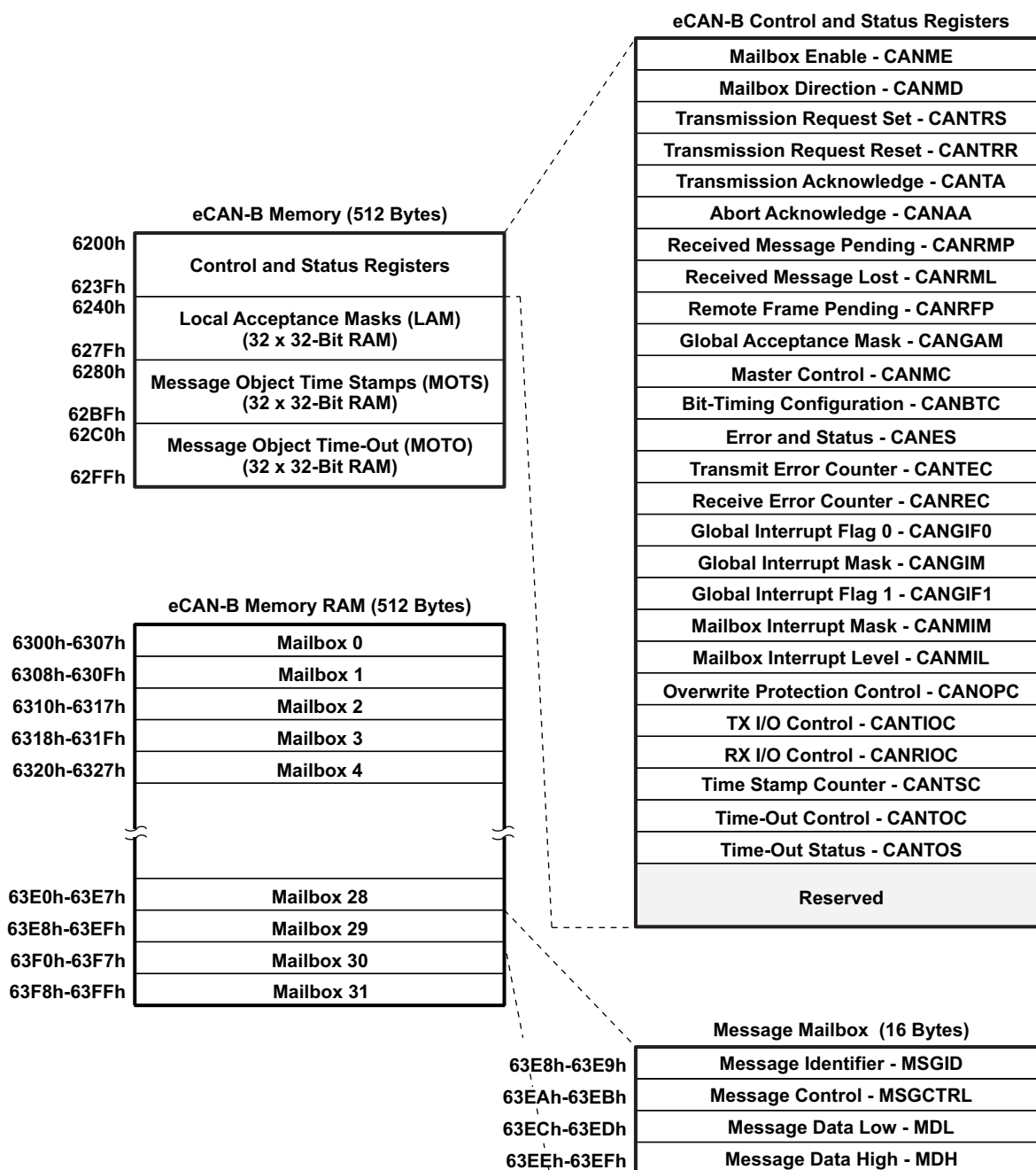


图 4-12. eCAN-B 内存映射

通过 CPU 配置和控制 CAN 控制器以及消息目标来使用表 4-7 中列出的 CAN 寄存器。eCAN 控制寄存器只支持 32 位读取/写入操作。邮箱 RAM 可进行 16 位或者 32 位访问。32 位访问与一个偶边界对齐。

表 4-7. CAN 寄存器映射⁽¹⁾

寄存器名称	eCAN-A 地址	eCAN-B 地址	大小 (x32)	说明
CANME	0x6000	0x6200	1	邮箱启用
CANMD	0x6002	0x6202	1	邮箱方向
CANTRS	0x6004	0x6204	1	发送请求设定
CANTRR	0x6006	0x6206	1	发送请求复位
CANTA	0x6008	0x6208	1	传输确认
CANAA	0x600A	0x620A	1	中止确认
CANRMP	0x600C	0x620C	1	接收消息等待
CANRML	0x600E	0x620E	1	接收消息丢失
CANRFP	0x6010	0x6210	1	远程帧等待
CANGAM	0x6012	0x6212	1	全局接收屏蔽
CANMC	0x6014	0x6214	1	主器件控制
CANBTC	0x6016	0x6216	1	位时序配置
CANES	0x6018	0x6218	1	错误和状态
CANTEC	0x601A	0x621A	1	发送错误计数器
CANREC	0x601C	0x621C	1	接收错误计数器
CANGIF0	0x601E	0x621E	1	全局中断标志 0
CANGIM	0x6020	0x6220	1	全局中断屏蔽
CANGIF1	0x6022	0x6222	1	全局中断标志 1
CANMIM	0x6024	0x6224	1	邮箱中断屏蔽
CANMIL	0x6026	0x6226	1	邮箱中断级别
CANOPC	0x6028	0x6228	1	写覆盖保护控制
CANTIOC	0x602A	0x622A	1	TX I/O 控制
CANRIOC	0x602C	0x622C	1	RX I/O 控制
CANTSC	0x602E	0x622E	1	时间戳控制（在 SCC 模式中被保留）
CANTOC	0x6030	0x6230	1	超时控制（在 SOC 模式中被保留）
CANTOS	0x6032	0x6232	1	超时状态（在 SCC 模式中被保留）

(1) 这些寄存器被映射至外设 1。

4.8 串行通信接口 (SCI) 模块 (SCI-A, SCI-B)

280x 器件包括两个串行通信接口 (SCI) 模块。SCI 模块支持 CPU 与其它异步使用标准非归零 (NRZ) 码格式外设之间的数字通信。SCI 接收器和发射器是双缓冲的，并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性，SCI 在中断检测、奇偶校验、超载、和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器，可将比特率设定为超过 65000 个不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD: SCI 发送-输出引脚
 - SCIRXD: SCI 接收-输入引脚
- 注释：两个引脚如果不被用于 SCI 的话，可被用作 GPIO。
- 波特率被设定为 64K 个不同速率：

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

- 数据-字格式
 - 一个开始位
 - 数据-字长度可被设定为 1 至 8 位
 - 可选偶/奇/无奇偶校验位
 - 一个或者两个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两个唤醒多处理器模式：空闲线路和地址位
- 半双工或者全双工运行
- 双缓冲接收和发送功能
- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
 - 发射器：TXRDY 标志（发射器缓冲寄存器已经准备好接收另外字符）和 TX EMPTY（TX 空）标志（发射器移位寄存器已空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已经准备好接收另外的字符），BRKDT 标志（发生了中断条件），和 RX ERROR（错误）标志（监控四个中断条件）
- 用于发射器和接收器中断的独立使能位（除了 BRKDT）
- $\text{Max bit rate} = \frac{100 \text{ MHz}}{16} = 6.25 \times 10^6 \text{ b/s}$ (for 100-MHz devices)
- $\text{Max bit rate} = \frac{60 \text{ MHz}}{16} = 3.75 \times 10^6 \text{ b/s}$ (for 60-MHz devices)
- NRZ（非归零）格式
- 在开始地址为 7050h 控制寄存器帧中，有 10 个 SCI 模块控制寄存器。

注

这个模块中的所有寄存器是被连接至外设帧 2 的 8 位寄存器。当一个寄存器被访问时，低字节 (7-0)，和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有效果。

增强型特性:

- 自动波特率检测硬件逻辑电路
- 16 级发送/接收 FIFO

SCI 端口运行由表 4-8和表 4-9中列出的寄存器配置和控制。

表 4-8. SCI-A 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
SCICCRB	0x7050	1	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	SCI-A 控制寄存器 1
SCIHBAUDA	0x7052	1	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x7053	1	SCI-A 波特率寄存器, 低位
SCICTL2A	0x7054	1	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x705A	1	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x705B	1	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x705C	1	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	SCI-A 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 4-9. SCI-B 寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (x 16)	说明
SCICCRB	0x7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x7751	1	SCI-B 控制寄存器 1
SCIHBAUDB	0x7752	1	SCI-B 波特率寄存器, 高位
SCILBAUDB	0x7753	1	SCI-B 波特率寄存器, 低位
SCICTL2B	0x7754	1	SCI-B 控制寄存器 2
SCIRXSTB	0x7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUB	0x7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUB	0x7759	1	SCI-B 发送数据缓冲寄存器
SCIFFTXB ⁽²⁾	0x775A	1	SCI-B FIFO 发送寄存器
SCIFFRXB ⁽²⁾	0x775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB ⁽²⁾	0x775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x775F	1	SCI-B 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设总线 16 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 4-13 显示了 SCI 模块方框图。

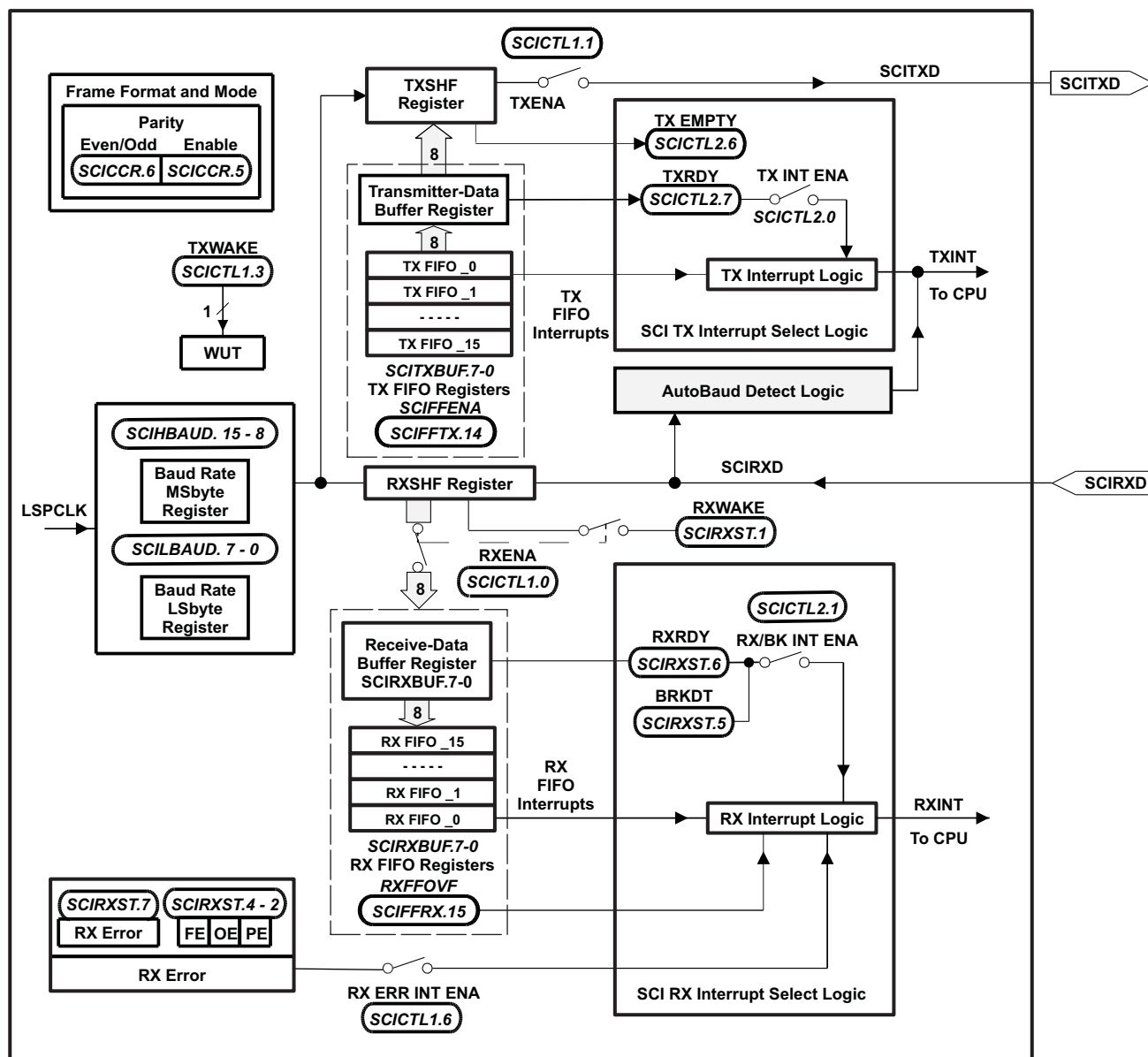


图 4-13. 串行通信接口 (SCI) 模块方框图

4.9 串行外设接口 (SPI)模块(SPI-A, SPI-B, SPI-C, SPI-D)

280x 器件包括四引脚串行外设接口 (SPI) 模块。提供多达四个 SPI 模块 (SPI-A, SPI-B, SPI-C, 和 SPI-D)。SPI 是一个高速、同步串行 I/O 端口, 此端口可在设定的位传输速率上将一个设定长度 (1 至 16 位) 的串行比特流移入和移出器件。通常情况下, SPI 用于 DSP 控制器和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括:

- 四个外部引脚:
 - SPISOMI: SPI 从器件输出/主器件输入引脚
 - SPISIMO: SPI 从器件输入/主器件输出引脚
 - $\overline{\text{SPISTE}}$: SPI 从器件发送使能引脚
 - SPICLK: SPI 串行时钟引脚

注释: 如果 SPI 模块未被使用, 所有四个引脚可被用作 GPIO。

- 两个运行模式: 主控和受控
- 波特率: 125 个不同的可编辑速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

- 数据字长度: 一到十六数据位
- 包括四个计时机制 (由时钟极性和时钟相位的位控制):
 - 无相位延迟的下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上传送数据, 而在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿的一半周期之前发送数据, 而在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据, 而在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号下降沿之前的半个周期发送数据, 而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (发送功能可在软件中被禁用)
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器: 位于控制寄存器内, 帧开始地址 7040h。

注

这个模块中的所有寄存器是被连接至外设帧 2 的 16 位寄存器。当一个寄存器被访问时, 低字节 (7-0), 和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入没有效果。

增强型特性:

- 16 级发送/接收 FIFO
- 经延迟的发射控制

SPI 端口运行由表 4-10 至表 4-13 中列出的寄存器配置和控制。

表 4-10. SPI-A 寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
SPICCR	0x7040	1	SPI-A 配置控制寄存器
SPICTL	0x7041	1	SPI-A 运行控制寄存器
SPISTS	0x7042	1	SPI-A 状态寄存器
SPIBRR	0x7044	1	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	SPI-A 接收仿真缓冲寄存器
SPIRXBUF	0x7047	1	SPI-A 串行输入缓冲寄存器
SPITXBUF	0x7048	1	SPI-A 串行输出缓冲寄存器
SPIDAT	0x7049	1	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	SPI-A 优先级控制寄存器

(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

表 4-11. SPI-B 寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
SPICCR	0x7740	1	SPI-B 配置控制寄存器
SPICTL	0x7741	1	SPI-B 运行控制寄存器
SPISTS	0x7742	1	SPI-B 状态寄存器
SPIBRR	0x7744	1	SPI-B 波特率寄存器
SPIRXEMU	0x7746	1	SPI-B 接收仿真缓冲寄存器
SPIRXBUF	0x7747	1	SPI-B 串行输入缓冲寄存器
SPITXBUF	0x7748	1	SPI-B 串行输出缓冲寄存器
SPIDAT	0x7749	1	SPI-B 串行数据寄存器
SPIFFTX	0x774A	1	SPI-B FIFO 发送寄存器
SPIFFRX	0x774B	1	SPI-B FIFO 接收寄存器
SPIFFCT	0x774C	1	SPI-B FIFO 控制寄存器
SPIPRI	0x774F	1	SPI-B 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

表 4-12. SPI-C 寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
SPICCR	0x7760	1	SPI-C 配置控制寄存器
SPICTL	0x7761	1	SPI-C 运行控制寄存器
SPISTS	0x7762	1	SPI-C 状态寄存器
SPIBRR	0x7764	1	SPI-C 波特率寄存器
SPRXEMU	0x7766	1	SPI-C 接收仿真缓冲寄存器
SPRXBUF	0x7767	1	SPI-C 串行输入缓冲寄存器
SPITXBUF	0x7768	1	SPI-C 串行输出缓冲寄存器
SPIDAT	0x7769	1	SPI-C 串行数据寄存器
SPIFFTX	0x776A	1	SPI-C FIFO 发送寄存器
SPIFFRX	0x776B	1	SPI-C FIFO 接收寄存器
SPIFFCT	0x776C	1	SPI-C FIFO 控制寄存器
SPIPRI	0x776F	1	SCI-C 优先级控制寄存器

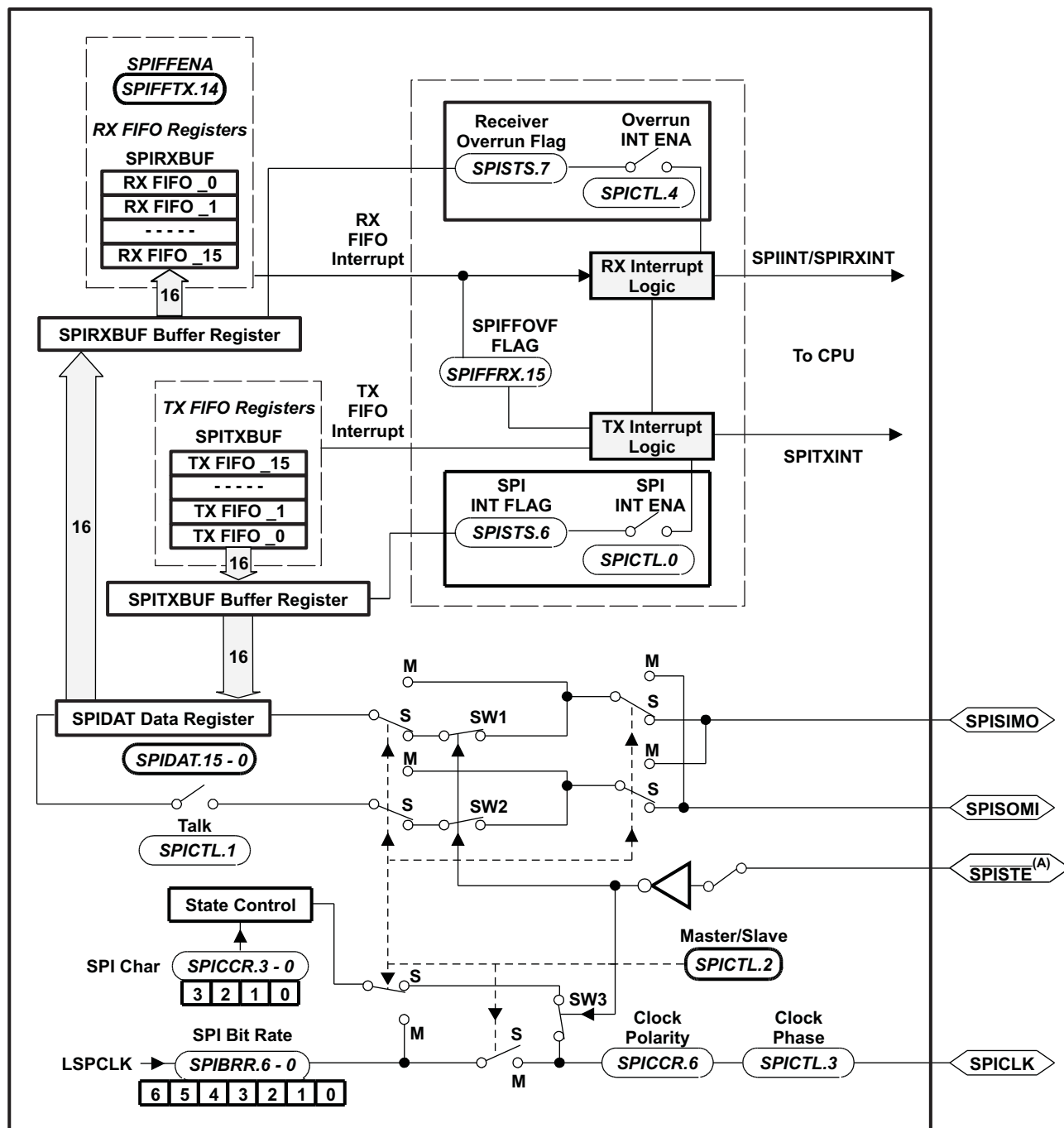
(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

表 4-13. SPI-D 寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
SPICCR	0x7780	1	SPI-D 配置控制寄存器
SPICTL	0x7781	1	SPI-D 运行控制寄存器
SPISTS	0x7782	1	SPI-D 状态寄存器
SPIBRR	0x7784	1	SPI-D 波特率寄存器
SPRXEMU	0x7786	1	SPI-D 接收仿真缓冲寄存器
SPRXBUF	0x7787	1	SPI-D 串行输入缓冲寄存器
SPITXBUF	0x7788	1	SPI-D 串行输出缓冲寄存器
SPIDAT	0x7789	1	SPI-D 串行数据寄存器
SPIFFTX	0x778A	1	SPI-D FIFO 发送寄存器
SPIFFRX	0x778B	1	SPI-D FIFO 接收寄存器
SPIFFCT	0x778C	1	SPI-D FIFO 控制寄存器
SPIPRI	0x778F	1	SPI-D 优先级控制寄存器

(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

图 4-14 是一个处于受控模式下 SPI 的方框图。



A. SPISTE被主控器件驱动为用于受控器件的低电平。

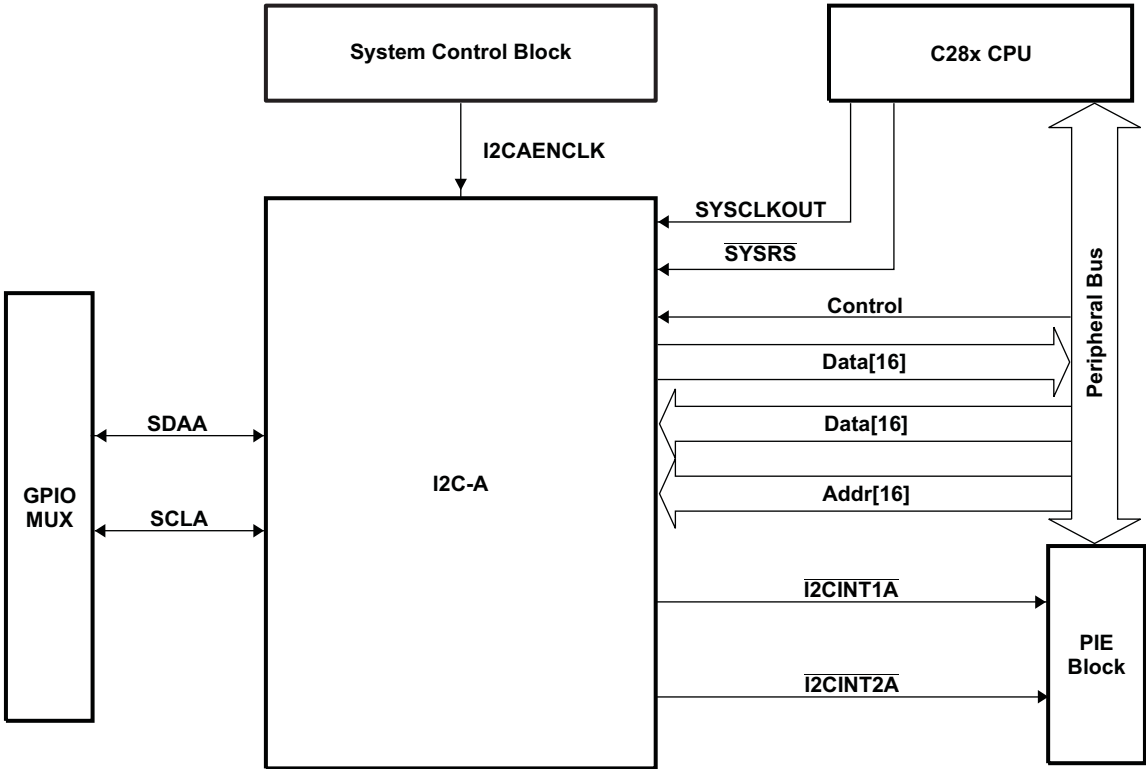
图 4-14. SPI 模块方框图 (受控模式)

4.10 内部集成电路 (I2C)

280x 器件包含一个 I2C 串行端口。图 4-15 显示了 280x 器件内的 I2C 外设模块接口。

I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格（版本 2.1）：
 - 支持 1 位至 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps（I2C 快速模式速率）
- 一个 16 字接收 FIFO 和一个 16 字发送 FIFO
- 可以由 CPU 使用的一个中断。这个中断可由下列条件中的一个生成：
 - 发送数据准备好
 - 接收数据准备好
 - 寄存器访问准备好
 - 没有接收到确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加的中断
- 模块启用/禁用能力
- 自由数据格式模式



- A. 在 SYSCLKOUT 速率上对 I2C 寄存器进行访问。I2C 端口的内部定时和信号波形也为 SYSCLKOUT 速率。
- B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时, I2CAENCLK 被清除, 这表明外设内部时钟被关闭。

图 4-15. I2C 外设模块接口

表 4-14 中的寄存器配置并且扩展 I2C 端口操作。

表 4-14. I2C-A 寄存器

名称	地址	说明
I2COAR	0x7900	I2C 自身的地址寄存器
I2CIER	0x7901	I2C 中断使能寄存器
I2CSTR	0x7902	I2C 状态寄存器
I2CCLKL	0x7903	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	I2C 数据数量寄存器
I2CDRR	0x7906	I2C 数据接收寄存器
I2CSAR	0x7907	I2C 从器件地址寄存器
I2CDXR	0x7908	I2C 数据发送寄存器
I2CMDR	0x7909	I2C 模式寄存器
I2CISRC	0x790A	I2C 中断源寄存器
I2CPSC	0x790C	I2C 预分频器寄存器
I2CFFTX	0x7920	I2C FIFO 发送寄存器
I2CFFRX	0x7921	I2C FIFO 接收寄存器
I2CRSR	-	I2C 接收移位寄存器 (CPU 不可访问)
I2CXSR	-	I2C 发送移位寄存器 (CPU 不可访问)

在 280x 器件上，除了提供独立的引脚位拆裂 I/O 功能外，GPIO MUX 还可以将最多 3 个独立的外设信号复用在单一的一个 GPIO 引脚上。每个引脚的 GPIO MUX 方框图显示在图 4-16 中。由于 I2C 引脚的开漏功能，这些引脚的 GPIO MUX 方框图是不同的。详细信息请参阅《TMS320x280x, 2801x, 2804x DSP 系统控制和中断参考指南》（文献编号 SPRU712）。

- A. x 代表端口, A 或 B。例如, GPxDIR 是指 GPADIR 或者 GPBDIR 寄存器, 至于哪一个寄存器, 则取决于所选择的特定 GPIO 引脚。
- B. 在相同的存储器位置访问 GPxDAT 锁定/读取。

280x 支持 34 个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧 1 以在寄存器上启用 32 位运行（连同 16 位运行）。表 4-15 显示了 GPIO 寄存器映射。

表 4-15. GPIO 寄存器

名称	地址	大小 (x 16)	说明
GPIO 控制寄存器（受 EALLOW 保护）			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器 (GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器 (GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器 (GPIO0 至 15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器 (GPIO16 至 31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉禁用寄存器 (GPIO0 至 31)
被保留	0x6F8E 0x6F8F	2	被保留
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至 35)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器 (GPIO32 至 35)
GPBQSEL2	0x6F94	2	被保留
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器 (GPIO32 至 35)
GPBMUX2	0x6F98	2	被保留
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至 35)
GPBPUD	0x6F9C	2	GPIO B 上拉禁用寄存器 (GPIO32 至 35)
被保留	0x6F9E 0x6F9F	2	被保留
被保留	0x6FA0 0x6FBF	32	被保留
GPIO 数据寄存器（不受 EALLOW 保护）			
GPADAT	0x6FC0	2	GPIO 数据寄存器 (GPIO0 至 31)
GPASET	0x6FC2	2	GPIO 数据设定寄存器 (GPIO0 至 31)
GPACLEAR	0x6FC4	2	GPIO 数据清除寄存器 (GPIO0 至 31)
GPATOGGLE	0x6FC6	2	GPIO 数据切换寄存器 (GPIO0 至 31)
GPBDAT	0x6FC8	2	GPIO 数据寄存器 (GPIO32 至 35)
GPBSET	0x6FCA	2	GPIO 数据设定寄存器 (GPIO32 至 35)
GPBCLEAR	0x6FCC	2	GPIO 数据清除寄存器 (GPIO32 至 35)
GPBTOGGLE	0x6FCE	2	GPIO 数据切换寄存器 (GPIO32 至 35)
被保留	0x6FD0 0x6FDF	16	被保留
GPIO 中断和低功耗模式选择寄存器（受 EALLOW 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXNMISEL	0x6FE2	1	XNMI 输入选择寄存器 (GPIO0 至 31)
被保留	0x6FE3 0x6FE7	5	被保留
GPIO_LPMSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至 31)
被保留	0x6FEA 0x6FFF	22	被保留

表 4-16. F2808 GPIO MUX 表

GPAMUX1/2 ⁽¹⁾ 寄存器位	复位时缺省 主 I/O 功能 (GPxMUX1/2 位 = 0, 0)	外设 选择 1 ⁽²⁾ (GPxMUX1/2 位 = 0, 1)	外设 选择 2 (GPxMUX1/2 位 = 1, 0)	外设 选择 3 (GPxMUX1/2 位 = 1, 1)
GPAMUX1				
1-0	GPIO0	EPWM1A (O)	被保留 ⁽³⁾	被保留 ⁽³⁾
3-2	GPIO1	EPWM1B (O)	SPISIMOD (I/O)	被保留 ⁽³⁾
5-4	GPIO2	EPWM2A (O)	被保留 ⁽³⁾	被保留 ⁽³⁾
7-6	GPIO3	EPWM2B (O)	SPISOMID (I/O)	被保留 ⁽³⁾
9-8	GPIO4	EPWM3A (O)	被保留 ⁽³⁾	被保留 ⁽³⁾
11-10	GPIO5	EPWM3B (O)	SPICLKD (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SPISTED (I/O)	ECAP2 (I/O)
17-16	GPIO8	EPWM5A (O)	CANTXB (O)	ADCSOCAO (O)
19-18	GPIO9	EPWM5B (O)	SCITXDB (O)	ECAP3 (I/O)
21-20	GPIO10	EPWM6A (O)	CANRXB (I)	ADCSOCBO (O)
23-22	GPIO11	EPWM6B (O)	SCIRXDB (I)	ECAP4 (I/O)
25-24	GPIO12	TZ1 (I)	CANTXB (O)	SPISIMOB (I/O)
27-26	GPIO13	TZ2 (I)	CANRXB (I)	SPISOMIB (I/O)
29-28	GPIO14	TZ3 (I)	SCITXDB (O)	SPICLKB (I/O)
31-30	GPIO15	TZ4 (I)	SCIRXDB (I)	SPISTEB (I/O)
GPAMUX2				
1-0	GPIO16	SPISIMOA (I/O)	CANTXB (O)	TZ5 (I)
3-2	GPIO17	SPISOMIA (I/O)	CANRXB (I)	TZ6 (I)
5-4	GPIO18	SPICLKA (I/O)	SCITXDB (O)	被保留 ⁽⁴⁾
7-6	GPIO19	SPISTEA (I/O)	SCIRXDB (I)	被保留 ⁽⁴⁾
9-8	GPIO20	EQEP1A (I)	SPISIMOC (I/O)	CANTXB (O)
11-10	GPIO21	EQEP1B (I)	SPISOMIC (I/O)	CANRXB (I)
13-12	GPIO22	EQEP1S (I/O)	SPICLKC (I/O)	SCITXDB (O)
15-14	GPIO23	EQEP1I (I/O)	SPISTEC (I/O)	SCIRXDB (I)
17-16	GPIO24	ECAP1 (I/O)	EQEP2A (I)	SPISIMOB (I/O)
19-18	GPIO25	ECAP2 (I/O)	EQEP2B (I)	SPISOMIB (I/O)
21-20	GPIO26	ECAP3 (I/O)	EQEP2I (I/O)	SPICLKB (I/O)
23-22	GPIO27	ECAP4 (I/O)	EQEP2S (I/O)	SPISTEB (I/O)
25-24	GPIO28	SCIRXDA (I)	被保留 ⁽⁴⁾	TZ5 (I)
27-26	GPIO29	SCITXDA (O)	被保留 ⁽⁴⁾	TZ6 (I)
29-28	GPIO30	CANRXA (I)	被保留 ⁽⁴⁾	被保留 ⁽⁴⁾
31-30	GPIO31	CANTXA (O)	被保留 ⁽⁴⁾	被保留 ⁽⁴⁾
GPBMUX1				
1-0	GPIO32	SDAA (I/OC)	EPWMSYNCl (I)	ADCSOCAO (O)
3-2	GPIO33	SCLA (I/OC)	EPWMSYNCO (O)	ADCSOCBO (O)
5-4	GPIO34	被保留 ⁽⁴⁾	被保留 ⁽⁴⁾	被保留 ⁽⁴⁾

- (1) GPxMUX1/2 指适合引脚的 MUX 寄存器：GPAMUX1, GPAMUX2 或 GPBMUX1。
(2) 这个表属于 2808 器件。一些外设也许不在 2809, 2806, 2802, 或者 2801 器件中提供。详细信息请见引脚说明。
(3) “保留”字意味着没有外设被指定到这个 GPxMUX1/2 寄存器设置。如果它被选择，那么引脚的状态将为未定义并且此引脚可被驱动。这个选择是为以后扩展预留的保留配置。
(4) “保留”字意味着没有外设被指定到这个 GPxMUX1/2 寄存器设置。如果它被选择，那么引脚的状态将为未定义并且此引脚可被驱动。这个选择是为以后扩展预留的保留配置。

通过 GPxQSEL1/2 寄存器，用户可从四个选择中为每一个 GPIO 引脚选择输入限定的类型：

- 只同步至 SYSCLKOUT (GPxQSEL1/2= 0, 0)：这是复位时所有 GPIO 引脚的缺省模式并且它只是将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定条件 (GPxQSEL1/2=0, 1 和 0)：这个模式中，在与系统时钟 (SYSCLKOUT) 同步后，输入信号在输入被允许改变前，被一定数量的周期所限定。

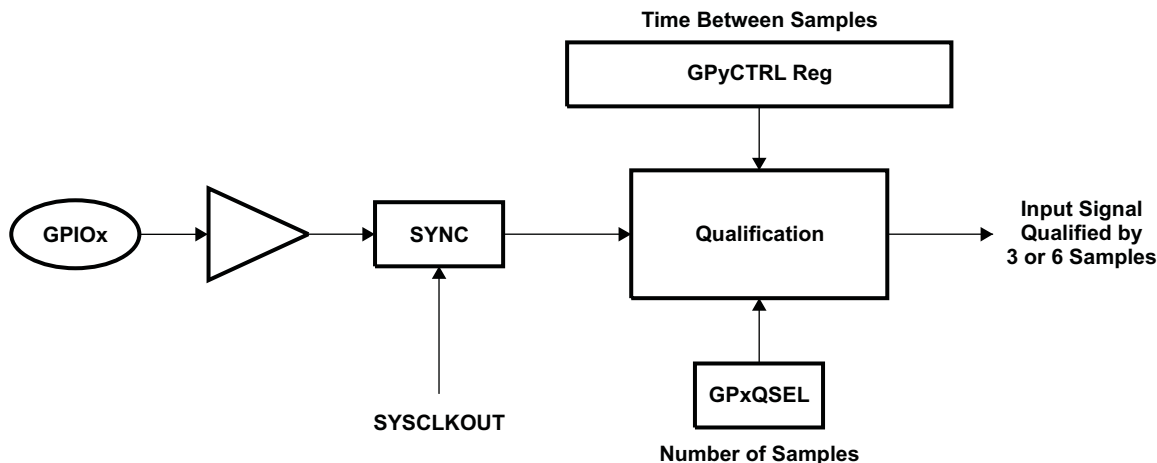


图 4-17. 使用采样窗口的限定：

- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 SYSCLKOUT 周期。采样窗口为 3 样品或者 6 样品宽并且只有当所有样品与 Figure 6-12 所显示的一样时（全 0 或者全 1）（对于 6 样品模式），输出才会改变。
- 无同步 (GPxQSEL1/2=1, 1)：这个模式用于无需同步的外设（同步不在外设内执行）。

由于 280x 器件上所要求的多级复用，有可能会有一个外设输入信号被映射到多于一个 GPIO 引脚的情况。此外，当一个输入信号未被选择时，此输入信号将缺省为一个 0 或者 1 状态，依外设而定。

5 器件支持

德州仪器 (TI) 为 C28x™ 的 DSP 类产品提供了大量的开发工具，其中包括评估处理器性能、生成代码、开发算法执行的工具、以及完全集成和调试软件和硬件模块的工具。

下列的产品支持基于 280x 应用的开发：

软件开发工具

- Code Composer Studio™ 集成开发环境 (IDE)
 - C/C++ 编译器
 - 代码生成工具
 - 汇编器/连接器
 - 周期精确模拟器
- 应用算法
- 范例应用代码

硬件开发工具

- 2808 eZdsp™
- 评估模块
- 基于 JTAG 的仿真器 - SPI515, XDS510PP, XDS510PP+, XDS510USB
- 通用 5V 直流电源
- 文档和线缆

5.1 器件和开发支持工具命名规则

为了指出产品开发周期的阶段，TI 为所有 TMS320™ DSP 器件和支持工具的部件号分配了前缀。每一个 TMS2808™ DSP 商用系列成员产品具有以下三个前缀中的一个：TMX，TMP，或者 TMS（例如，TMS320F2808）。德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发进化流程：

- TMX** 试验器件不一定代表最终器件的电气规范标准。
- TMP** 最终的芯片模型符合器件的电气规范标准，但是未经完整的质量和可靠性验证。
- TMS** 完全合格的产品器件

支持工具开发发展流程：

- TMDX** 还未经完整的德州仪器 (TI) 内部质量测试的开发支持工具
- TMDS** 完全合格的开发支持产品

TMX 和 TMP 器件和 TMDX 开发支持工具出货时带有如下的免责声明：
“开发产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率未定义，德州仪器 (TI) 建议不要将这些器件用于任何生产系统。只有合格的产品器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。这个后缀表明封装类型（例如，PZ）和温度范围（如，S）。图 5-1 提供了读取任一系列产品成员完整器件名称的图例。

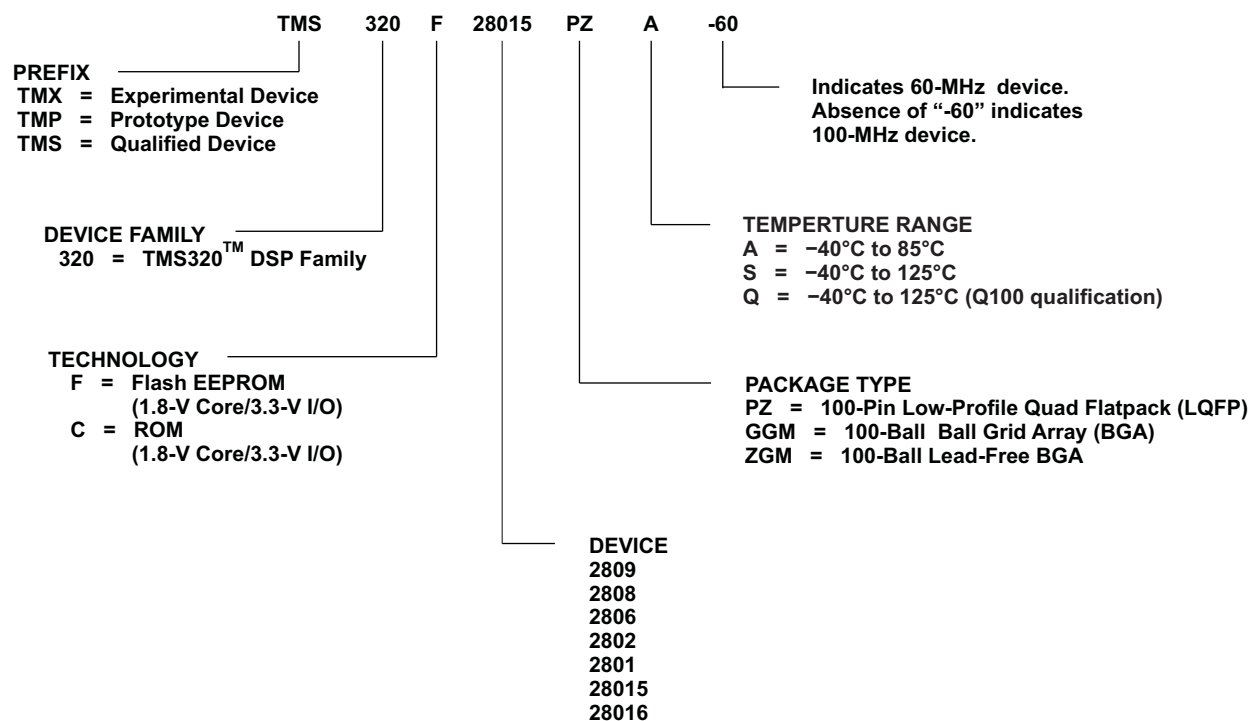


图 5-1. TMS320x280x/2801x 示例器件命名规则

5.2 文档支持

从产品声明到应用开发的大量文档提供了对所有 TMS320™ DSP 系列器件的支持。提供的文档类型包括：数据表和数据手册，并带有设计规范标准；以及硬件和软件应用。

表 5-1 显示了适用于这个数据手册中器件的外设参考指南。有关外设类型的更多信息，请见《TMS320x28xx, 28xxx DSP 外设参考指南》（文献号：SPRU566）。

表 5-1. TMS320x280x, 2801x 外设选择指南

外设指南	文献编号	类型 ⁽¹⁾	F2809, F2808, F2806, F2802, F2801, C2802, C2801, F28016, F28015
TMS320x280x, 2801x, 2804x DSP 系统控制和中断	SPRU712	-	X
TMS320x280x, 2801x, 2804x 引导 ROM	SPRU722	-	
TMS320x280x, 2801x, 2804x DSP 模数转换器 (ADC)	SPRU716	1	X
TMS320x280x, 2801x, 2804x 增强型脉宽调制器 (ePWM) 模块	SPRU791	0	X
TMS320x280x, 2801x, 2804x 高分辨率脉宽调制器	SPRU924	0	X
TMS320x280x, 2801x, 2804x 增强型捕捉 (eCAP) 模块	SPRU807	0	X
TMS320x280x, 2801x, 2804x 增强型正交编码器脉冲 (eQEP) 模块	SPRU790	0	X
TMS320x280x/2801x 增强型控制器局域网 (eCAN)	SPRU790	0	X
TMS320x280x, 2801x, 2804x 串行通信接口 (SCI)	SPRU790	0	X
TMS320x280x, 2801x, 2804x 串行外设接口	SPRU790	0	X
TMS320x28xx, 28xxx 内部集成电路 (I2C) 模块	SPRU721	0	X

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，而这些差异不会影响模块的基本功能。这些特定器件差异显示在《TMS320x28xx, 28xxx DSP 外设参考指南》（文献编号 SPNU566）列表中和外设参考指南中。

下面的文档可从 TI 网站中 (www.ti.com) 获得：

数据手册和勘误表

[SPRS230](#) 《TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801, TMS320F28016, TMS320F28015 数字信号处理器数据手册》包含 F280x, C280x, 和 F2801x 器件的引脚分配、信号说明，以及电气和时序技术规范。

[SPRZ171](#) 《TMS320F280x, TMS320C280x, 和 TMS320F2801x DSC 芯片勘误表》描述了与芯片相关的已知警告并提供了替代方法。

CPU 用户指南

[SPRU430](#) 《TMS320C28x CPU 和指令集参考指南》描述了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。它还描述了这些 DSP 上可用的仿真功能。

[SPRU712](#) 《TMS320x280x, 2801x, 2804x DSP 系统控制和中断参考指南》描述了 280x 数字信号处理器 (DSP) 的各种中断和系统控制特性。

外设指南

- [SPRU566](#) 《TMS320x28xx, 28xxx DSP 外设参考指南》描述了 28x 数字信号处理器 (DSP) 的外设参考设计。
- [SPRU716](#) 《TMS320x280x, 2801x, 2804x DSP 模数转换器 (ADC) 参考指南》描述了如何配置和使用片上 ADC 模块, 此模块是一个 12 位管线型 ADC。
- [SPRU791](#) 《TMS320x280x, 2801x, 2804x 增强型脉宽调制器 (ePWM) 模块参考指南》描述了增强型脉宽调制器的主要应用领域, 包括数字电机控制、开关模式电源控制、UPS (不间断电源) 和其它形式的电力转换。
- [SPRU790](#) 《TMS320x280x, 2801x, 2804x 增强型正交编码器脉冲 (eQEP) 模块参考指南》描述了 eQEP 模块, 在高性能运动和定位控制系统中, 该模块用于与线性或旋转增量编码器连接, 以从一个旋转机器中获取位置、方向和速度信息。该指南包括模块描述和寄存器。
- [SPRU807](#) 《TMS320x280x, 2801x, 2804x 增强型捕捉 (eCAP) 模块参考指南》描述了增强型捕捉模块。它包括模块描述和寄存器。
- [SPRU924](#) 《TMS320x280x, 2801x, 2804x 高分辨率脉宽调制器参考指南》描述了到脉宽调制器 (HRPWM) 的高分辨率扩展的操作。
- [SPRU924](#) 《TMS320x280x/2801x 增强型控制器局域网 (eCAN) 参考指南》描述了 x280x 和 x2801x 器件上的增强型控制器局域网 (eCAN)。
- [SPRU7K7](#) 《TMS320x280x, 2801x, 2804x 串行通信接口 (SCI) 参考指南》描述了 TMS320x280x, 2801x, 2804x 器件上提供的串行通信接口 (SCI) 模块的特性和操作。
- [SPRUG72](#) 《TMS320x280x, 2801x, 2804x 串行外设接口指南》描述了串行外设接口如何工作。
- [SPRU721](#) 《TMS320x28xx, 28xxx 内部集成电路 (I2C) 模块参考指南》描述了内部集成电路 (I2C) 模块的特性和操作。
- [SPRU722](#) 《TMS320x280x, 2801x, 2804x 引导 ROM 参考指南》描述了引导加载程序 (工厂编程的引导加载软件) 的用途和特性。它还描述了器件片载引导 ROM 的其它内容, 并标识了所有信息在该存储器内的位置。

工具指南

- [SPRU513](#) 《TMS320C28x 汇编语言工具 v5.0.0 用户指南》描述了用于 TMS320C28x 器件的汇编语言工具 (用于开发汇编语言代码的汇编程序和其它工具)、汇编器指令、宏、通用目标文件格式、和符号调试指令。
- [SPRU514](#) 《TMS320C28x 优化 C/C++ 编译器 v5.0.0 用户指南》描述了 TMS320C28x™ C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码, 并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。
- [SPRU608](#) 《TMS320C28x 指令集模拟器技术概览》描述了用于 TMS320C2000 IDE 的 Code Composer Studio 内提供的模拟器, 此模拟器能够模拟 C28x™ 内核的指令集。
- [SPRU625](#) 《TMS320C28x DSP/BIOS 5.32 应用编程接口 (API) 参考指南》描述了使用 DSP/BIOS 进行的开发。

应用报告和软件

关键连接包括:

1. C2000 入门 - www.ti.com/c2000getstarted
2. C2000 数字电机控制软件库 - www.ti.com/c2000appsw
3. C2000 数字电源软件库 - www.ti.com/dpslib
4. DSP 电源管理参考设计 - www.ti.com/dsppower

- [SPRAAQ7](#)** 《TMS320x281x 到 TMS320x2833x 或者 2823x 迁移概述》描述了如何从 281x 器件设计迁移到 2833x 或者 2823x 设计。
- [SPRAAQ8](#)** 《TMS320x280x 到 TMS320x2833x 或者 2823x 迁移概述》描述了如何从一个 280x 器件设计迁移到 2833x 或者 2823x 设计。
- [SPRAAN9](#)** C28x FPU 入门读物提供了一个 TMS320F28335, TMS320F28334, 和 TMS320F28332 数字信号控制 (DSC) 器件内的浮点单元 (FPU) 的概述。
- [SPRAAM0](#)** 《TMS320C28x 数字信号控制器入门》由开发流程和功能区域组成, 它使您的开发工作尽可能的连续。提供了与 C28x™ DSP 软件和硬件开发入门相关的提示以帮助您进行最初的设计和调试工作。每一个部分包括到有价值信息的指针, 这些信息包括每一个设计阶段技术文档、软件、和工具。
- [SPRA958](#)** 《从 TMS320F28xxx DSP 的内部闪存存储器上运行一个应用》包括正确配置应用软件 (此软件用于从片载闪存存储器执行) 的要求。介绍了 DSP/BIOS™ 和非 DSP/BIOS 项目的要求。包括示例代码项目。
- [SPRAA85](#)** 《使用 C/C++ 编辑 TMS320x28xx 和 28xxx 外设》开发一个硬件抽象层实现以使得 28x DSP 上的 C/C++ 编码更加容易。这个方法被用来与传统的 #define 宏相比较并且代码效率主题和特殊情况寄存器也被提及。
- [SPRAA88](#)** 《使用 PWM 输出作为一个 TMS320F280x 数字控制器上的数模转换器》展示了一个利用 TMS320F280x 系列数字信号控制器上的片载脉宽调制 (PWM) 信号生成器作为一个数模转换器 (DAC) 的方法。
- [SPRAA91](#)** 《使用 TUSB3410 USB-至-UART 桥接芯片的 TMS320F280x 数字信号控制器 USB 连接性》显示了硬件连接以及使用一个简单通信回声程序的开发系统的软件准备和运行。
- [SPRAAH1](#)** 《将 TMS320x280x, 28xxx 中的增强型正交编码器脉冲 (eQEP) 模块用作一个专用捕捉》指导用户将 eQEP 模块用作一个专用的捕捉单元并且适用于 TMS320x280x, 28xxx 系列处理器。
- [SPRAAI1](#)** 《使用 PWM 模块实现 0-100% 占空比控制》为使用 ePWM 模块来实现 0% 至 100% 占空比控制提供了一个指南并且适用于 TMS320x280x 系列处理器。
- [SPRAAD5](#)** 《针对带有一个单 DSP 控制器且使用二进制相移键控 (BPSK) 的照明应用的电源线路通信》显示了一个使用单 DSP 遵守 CEA-709 协议的电源线路调制解调器 (modem) 的完整实施方法。

- [SPRAAD8](#)** 《TMS320x280x 和 TMS320F2801x ADC 校准》描述了一个改进 TMS320x280x 和 TMS320F2801x 器件上 12 位 ADC 绝对精度的方法。固有增益和偏移误差会影响 ADC 的绝对精度。这份报告中描述的方法能够改进 ADC 的绝对精度到好于 0.5% 的水平。这份应用报告有一个选项来下载一个示例程序，此程序从 F2808 EzDSP 上的 RAM 执行。
- [SPRA820](#)** 《TMS320C28x DSP 在线堆栈溢出检测》介绍了 TMS320C28x DSP 上在线堆栈溢出检测的方法。提供了包含一些函数的 C 源代码，用于在 DSP/BIOS 和非 DSP/BIOS 应用中执行溢出检测。
- [SPRA806](#)** 《为 TMS320C28x DSP 创建一个 C 语言可调用汇编函数的简单方法》提供配置 C 语言编译器的指令和建议以辅助 C 语言可调用汇编例程。
- [SPRAA58](#)** 《TMS320x281x 到 TMS320x280x 迁移概述》描述了德州仪器 (TI) 的 TMS320x280x 与 TMS320x280x/2801x/2804x DSP 之间的差异，以在应用迁移中提供帮助。

软件

SPRC191 C280x, C2801x C/C++ 头文件和外设示例

BSDL 模型

SPRM244 F2809 GGM/ZGM BSDL 模型

SPRM245 F2809 PZ BSDL 模型

SPRM198 F2808 100 引脚 GGM/ZGM BSDL 模型

SPRM197 F2808 100 引脚 PZ BSDL 模型

SPRM196 F2806 100 引脚 PZ BSDL 模型

SPRM200 F2806 100 引脚 GGM/ZGM BSDL 模型

SPRM414 F2802 GGM BSDL 模型

SPRM413 F2802 PZ BSDL 模型

SPRM415 F2802 ZGM BSDL 模型

SPRM194 F2801 100 引脚 GGM/ZGM BSDL 模型

SPRM195 F2801 100 引脚 PZ BSDL 模型

SPRM261 C2802 100 引脚 GGM/ZGM BSDL 模型

SPRM260 C2802 100 引脚 PZ BSDL 模型

SPRM259 C2801 100 引脚 GGM/ZGM BSDL 模型

SPRM258 C2801 100 引脚 PZ BSDL 模型

SPRM416 F28016 GGM BSDL 模型

SPRM357 F28016 PZ BSDL 模型

SPRM417 F28016 ZGM BSDL 模型

SPRM412 F28015 GGM BSDL 模型

SPRM356 F28015 PZ BSDL 模型

SPRM355 F28015 ZGM BSDL 模型

IBIS 模型

SPRM445	F2809 GGM IBIS 模型
SPRM295	F2809 PZ IBIS 模型
SPRM444	F2809 ZGM IBIS 模型
SPRM291	F2808 GGM IBIS 模型
SPRM292	F2808 PZ IBIS 模型
SPRM293	F2808 ZGM IBIS 模型
SPRM288	F2806 GGM IBIS 模型
SPRM289	F2806 PZ IBIS 模型
SPRM290	F2806 ZGM IBIS 模型
SPRM285	F2802 GGM IBIS 模型
SPRM286	F2802 PZ IBIS 模型
SPRM287	F2802 ZGM IBIS 模型
SPRM282	F2801 GGM IBIS 模型
SPRM283	F2801 PZ IBIS 模型
SPRM284	F2801 ZGM IBIS 模型
SPRM310	C2802 GGM IBIS 模型
SPRM449	C2802 PZ IBIS 模型
SPRM311	C2802 ZGM IBIS 模型
SPRM308	C2801 GGM IBIS 模型
SPRM448	C2801 PZ IBIS 模型
SPRM309	C2801 ZGM IBIS 模型
SPRM405	F28016 GGM IBIS 模型
SPRM300	F28016 PZ IBIS 模型
SPRM404	F28016 ZGM IBIS 模型
SPRM403	F28015 GGM IBIS 模型
SPRM299	F28015 PZ IBIS 模型
SPRM402	F28015 ZGM IBIS 模型

为了支持数字信号处理研究和教育，Prentice-Hall 和 John Wiley & Son 出版了 DSP 系列教科书。TMS320 DSP 简报，信号处理详细资料，每季度出版并被分发用来更新 TMS320 DSP 用户所掌握的产品信息。

与 TMS320 DSP 控制器有关的更新信息可在互联网：<http://www.ti.com>上找到。

要发送与这个数据手册（文献编号 [SPRS230](#)）相关的评论，请使用 comments@books.sc.ti.com 电子邮件地址，此邮件地址为反馈专用。对于问题和支持，请与列于 <http://www.ti.com/sc/docs/pic/home.htm> 网站内的产品信息中心联系。

5.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范 and 标准且不一定反映 TI 的观点；请见 TI 的[使用条款](#)。

[TI E2E 社区](#) **TI 工程师间 (E2E) 社区** 此社区的创建目的是为了促进工程师之间协作。在 e2e.ti.com 中，您可以咨询问题、共享知识、探索思路，在研发工程师的帮助下解决问题。

[德州仪器 \(TI\) 嵌入式处理器维基网站](#) **德州仪器 (TI) 嵌入式处理器维基网站**。此网站的建立是为了帮助开发人员从德州仪器 (TI) 的嵌入式处理器入门并且也为了促进与这些器件相关的硬件和软件的总体知识的创新和增长。

6 电气规范

这个部分提供了针对TMS320F280x DSP的绝对最大额定值和建议运行条件。

6.1 最大绝对额定值⁽¹⁾⁽²⁾

除非另外说明，绝对最大额定值的列表在运行温度范围内指定。

电源电压范围, V_{DDIO} , V_{DD3VFL}	相对于 V_{SS}	-0.3V 至 4.6V
电源电压范围, V_{DDA2} , V_{DDAIO}	相对于 V_{SSA}	-0.3V 至 4.6V
电源电压范围, V_{DD}	相对于 V_{SS}	-0.3V 至 2.5V
电源电压范围, V_{DD1A18} , V_{DD2A18}	相对于 V_{SSA}	-0.3V 至 2.5V
电源电压范围, V_{SSA2} , V_{SSAIO} , $V_{SS1AGND}$, $V_{SS2AGND}$	相对于 V_{SS}	-0.3V 至 0.3V
输入电压范围, V_{IN}		-0.3V 至 4.6V
输出电压范围, V_O		-0.3V 至 4.6V
输入钳制电流, $I_{IK}(V_{IN} < 0 \text{ 或者 } V_{IN} > V_{DDIO})^{(3)}$		$\pm 20\text{mA}$
输出钳制电流, $I_{OK}(V_O < 0 \text{ 或者 } V_O > V_{DDIO})$		$\pm 20\text{mA}$
工作环境温度范围	T_A : A 版本 (GGM, ZGM, PZ) ⁽⁴⁾	-40°C 至 85°C
	T_A : S 版本 (GGM, ZGM, PZ) ⁽⁴⁾	-40°C 至 125°C
	T_A : Q 版本 (PZ) ⁽⁴⁾	-40°C 至 125°C
结温范围, $T_J^{(4)}$		-40°C 至 150°C
贮存温度范围, $T_{stg}^{(4)}$		-65°C 至 150°C

- (1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值，在这些值或者任何超过Section 6.2下所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性。
- (2) 所有电压值都是相对于 V_{SS} 的值，除非额外注明。
- (3) 每个引脚上的持续钳制电流为 $\pm 2\text{mA}$ 。这包括模拟输入，此模拟输入有一个内部钳制电路，此电路能够将电压固定在一个高于 V_{DDA2} 或者低于 V_{SSA2} 的二极管压降上。
- (4) 长期高阻抗贮存存储并且/或者在最大温度条件下长时间使用会使器件总体使用寿命的缩短。额外信息，请见《IC 封装热度量应用报告》（文献编号 [SPRA953](#)）和《用于 TMS320LF24xx 和 TMS320F28xx 器件应用报告的可靠性数据》（文献编号 [SPRA963](#)）。

6.2 建议的运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位
器件电源电压, I/O, V_{DDIO}		3.14	3.3	3.47	V
器件电源电压 CPU, V_{DD}		1.71	1.8	1.89	V
电源接地, V_{SS} , V_{SSIO}		0			V
ADC 电源电压 (3.3V), V_{DDA2} , V_{DDAIO}		3.14	3.3	3.47	V
ADC 电源电压 (1.8V), V_{DD1A18} , V_{DD2A18}		1.71	1.8	1.89	V
闪存电源电压, V_{DD3VFL}		3.14	3.3	3.47	V
器件时钟频率（系统时钟）， $f_{SYSCLKOUT}$	100MHz 器件	2			100 MHz
	60MHz 器件	2			60 MHz
高电平输入电压, V_{IH}	除 X1 之外的所有输入	2			$V_{DDIO}+0.3$ V
	X1	$0.7 * V_{DD}-0.05$			V_{DD}
低电平输入电压, V_{IL}	除 X1 之外的所有输入	$V_{SS}-0.3$			0.8 V
	X1	$0.3 * V_{DD}+0.05$			
高电平输出源电流, $V_{OH}=2.4V$, I_{OH}	除组 2 之外的所有 I/O	-4			mA
	组 2 ⁽¹⁾	-8			
低电平输出灌电流, $V_{OL}=V_{OL}$ （最大值）, I_{OL}	除组 2 之外的所有 I/O	4			mA
	组 2 ⁽¹⁾	8			
环境温度, T_A	A 版本	-40			85 °C
	S 版本	-40			125
	Q 版本 (Q100 标准)	-40			125

(1) 组 2 引脚如下: GPIO28, GPIO29, GPIO30, GPIO31, TDO, XCLKOUT, EMU0, 和 EMU1

6.3 电气特性

在推荐的运行条件下（除非额外注明）

参数		测试条件		最小值	典型值	最大值	单位
V _{OH}	高电平输出电压	I _{OH} =I _{OH} 最大值		2.4			V
		I _{OH} =50μA		V _{DDIO} -0.2			
V _{OL}	低电平输出电压	I _{OL} =I _{OL} 最大值		0.4			V
I _{IL}	带有上拉使能的引脚 输入电流 (低电平)	V _{DDIO} =3.3V, V _{IN} =0V	所有 I/Os (包括 $\overline{XRS}$)	-80	-140	-190	μA
	具有下拉使能的引脚	V _{DDIO} =3.3V, V _{IN} =0V					
I _{IH}	带有上拉使能的引脚 输入电流 (高电平)	V _{DDIO} =3.3V, V _{IN} =V _{DDIO}				±2	μA
		V _{DDIO} =3.3V, V _{IN} =V _{DDIO} (F280x)	28	50	80		
		V _{DDIO} =3.3V, V _{IN} =V _{DDIO} (C280x)	80	140	190		
I _{OZ}	输出电流, 上拉或者下拉被禁用	V _O =V _{DDIO} 或者 0V		±2			μA
C _I	输入电容			2			pF

6.4 流耗

Table 6-1. TMS320F2809, TMS320F2808 100MHz SYSCLKOUT 上电源引脚的流耗

模式	测试条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DD3VFL} ⁽²⁾		I _{DDA18} ⁽³⁾		I _{DDA33} ⁽⁴⁾	
		典型值 ⁽⁵⁾	最大值 ⁽⁶⁾	典型值 ⁽⁵⁾	最大值 ⁽⁶⁾	典型值	最大值 ⁽⁶⁾	典型值 ⁽⁵⁾	最大值 ⁽⁶⁾	典型值 ⁽⁵⁾	最大值 ⁽⁶⁾
可用 (闪存)	下列的外设时钟被启用: • ePWM1/2/3/4/5/6 • eCAP1/2/3/4 • eQEP1/2 • eCAN-A • SCI-A/B • SPI-A • ADC • IC2 所有 PWM 引脚被切换至 100MHz 所有 I/O 引脚保持未连接状态。 数据在 SCI-A, SCI-B, 和 eCAN-A 端口上持续发出。硬件复用器被使用。 正在闪存之外运行的代码具有 3 个等待状态。 XCLKOUT 被关闭。	195mA	230mA	15mA	27mA	35mA	40mA	30mA	38mA	1.5mA	2mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 下列的外设时钟被启用: • eCAN-A • SCI-A • SPI-A • IC2	75mA	90mA	500μA	2mA	2μA	10μA	5μA	50μA	15μA	30μA
STANDBY	闪存被断电。 外设时钟被关闭。	6mA	12mA	100μA	500μA	2μA	10μA	5μA	50μA	15μA	30μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。	70μA		60μA	120μA	2μA	10μA	5μA	50μA	15μA	30μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。

(2) 这个表中标明的 I_{DD3VFL} 电流为闪存读取电流, 不包括用于擦除/写入操作的额外电流。闪存编程期间, 从 V_{DD} 和 V_{DD3VFL} 电源轨汲取额外的电流, 如 Table 6-45 所示。如果用户应用涉及板载闪存编程, 在设计电源级时应该将这个额外电流考虑在内。

(3) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA18} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。

(4) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDA10} 引脚的电流。

(5) TYP 数适用于常温 and 标称电压。

(6) MAX 数为 125°C 和 MAX 电压时的值。

NOTE

外设 - 280x 器件中执行的 I/O 复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个 I/O 引脚。然而, 可同时打开到所有外设的时钟, 虽然这一配置并无实际用途。如果这一操作完成, 器件汲取的电流将大于流耗表中的额定值。

Table 6-2. 100MHz SYSCLKOUT 时 TMS320F2806 电源引脚 的流耗

模式	测试条件	I_{DD}		$I_{DDIO}^{(1)}$		$I_{DD3VFL}^{(2)}$		$I_{DDA18}^{(3)}$		$I_{DDA33}^{(4)}$	
		TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾
可用 (闪存)	下列的外设时钟被启用: • ePWM1/2/3/4/5/6 • eCAP1/2/3/4 • eQEP1/2 • eCAN-A • SCI-A/B • SPI-A • ADC • IC2 所有 PWM 引脚被切换至 100MHz。 所有 I/O 引脚保持未连接状态。 数据在 SCI-A, SCI-B, 和 eCAN-A 端口上持续发出。 硬件复用器被使用。 正在闪存之外运行的代码具有 3 个等待状态。 XCLKOUT 被关闭。	195mA	230mA	15mA	27mA	35mA	40mA	30mA	38mA	1.5mA	2mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 下列的外设时钟被启用: • eCAN-A • SCI-A • SPI-A • IC2	75mA	90mA	500μA	2mA	2μA	10μA	5μA	50μA	15μA	30μA
STANDBY	闪存被断电。 外设时钟被关闭。	6mA	12mA	100μA	500μA	2μA	10μA	5μA	50μA	15μA	30μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。	70μA		60μA	120μA	2μA	10μA	5μA	50μA	15μA	30μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。

(2) 这个表中标明的 I_{DD3VFL} 电流为闪存读取电流, 不包括用于擦除/写入操作的额外电流。闪存编程期间, 从 V_{DD} 和 V_{DD3VFL} 电源轨汲取额外的电流, 如 Table 6-45 所示。如果用户应用涉及板载闪存编程, 在设计电源级时应该将这个额外电流考虑在内。

(3) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA18} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。

(4) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDAIO} 引脚的电流。

(5) TYP 数适用于常温 and 标称电压。

(6) MAX 数为 125°C 和 MAX 电压时的值。

NOTE

外设 - 280x 器件中执行的 I/O 复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个 I/O 引脚。然而, 可同时打开到所有外设的时钟, 虽然这一配置并无实际用途。如果这一操作完成, 器件汲取的电流将大于流耗表中的额定值。

Table 6-3. 100MHz SYSCLKOUT 时 TMS320F2802, TMS320F2801 电源引脚的流耗

模式	测试条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DD3VFL} ⁽²⁾		I _{DDA18} ⁽³⁾		I _{DDA33} ⁽⁴⁾	
		TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾	TYP ⁽⁵⁾	MAX ⁽⁶⁾
可用 (闪存)	下列的外设时钟被启用: • ePWM1/2/3 • eCAP1/2 • eQEP1 • eCAN-A • SCI-A • SPI-A • ADC • IC2 所有 PWM 引脚被切换至 100MHz。 所有 I/O 引脚保持未连接状态。 数据在 SCI-A, SCI-B, 和 eCAN-A 端口上持续发出。 硬件复用器被使用。 正在闪存之外运行的代码具有 3 个等待状态。 XCLKOUT 被关闭。	180mA	210mA	15mA	27mA	35mA	40mA	30mA	38mA	1.5mA	2mA
IDLE	闪存被断电。 XCLKOUT 被关闭。 下列的外设时钟被启用: • eCAN-A • SCI-A • SPI-A • IC2	75mA	90mA	500μA	2mA	2μA	10μA	5μA	50μA	15μA	30μA
STANDBY	闪存被断电。 外设时钟被关闭。	6mA	12mA	100μA	500μA	2μA	10μA	5μA	50μA	15μA	30μA
HALT	闪存被断电。 外设时钟被关闭。 输入时钟被禁用。	70μA		60μA	120μA	2μA	10μA	5μA	50μA	15μA	30μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。

(2) 这个表中标明的 I_{DD3VFL} 电流为闪存读取电流, 不包括用于擦除/写入操作的额外电流。闪存编程期间, 从 V_{DD} 和 V_{DD3VFL} 电源轨汲取额外的电流, 如 Table 6-45 所示。如果用户应用涉及板载闪存编程, 在设计电源级时应该将这个额外电流考虑在内。

(3) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA18} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。

(4) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDA10} 引脚的电流。

(5) TYP 数适用于常温 and 标称电压。

(6) MAX 数为 125°C 和 MAX 电压时的值。

NOTE

外设 - 280x 器件中执行的 I/O 复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个 I/O 引脚。然而, 可同时打开到所有外设的时钟, 虽然这一配置并无实际用途。如果这一操作完成, 器件汲取的电流将大于流耗表中的额定值。

Table 6-4. 100MHz SYSCLKOUT 时 TMS320C2802, TMS320C2801 电源引脚的流耗

模式	测试条件	I_{DD}		$I_{DDIO}^{(1)}$		$I_{DDA18}^{(2)}$		$I_{DDA33}^{(3)}$	
		TYP ⁽⁴⁾	MAX ⁽⁵⁾	TYP ⁽⁴⁾	MAX ⁽⁵⁾	TYP ⁽⁴⁾	MAX ⁽⁵⁾	TYP ⁽⁴⁾	MAX ⁽⁵⁾
可用 (ROM)	下列的外设时钟被启用: • ePWM1/2/3 • eCAP1/2 • eQEP1 • eCAN-A • SCI-A • SPI-A • ADC • IC2 所有 PWM 引脚被切换至 100MHz。 所有 I/O 引脚保持未连接状态。 数据在 SCI-A, SCI-B, 和 eCAN-A 端口上持续发出。硬件复用器被使用。 正在 ROM 之外运行的代码具有 3 个等待状态。 XCLKOUT 被关闭。	150mA	165mA	5mA	10mA	30mA	38mA	1.5mA	2mA
IDLE	XCLKOUT 被关闭。 下列的外设时钟被启用: • eCAN-A • SCI-A • SPI-A • IC2	75mA	90mA	500μA	2mA	5μA	50μA	15μA	30μA
STANDBY	外设时钟被关闭。	6mA	12mA	100μA	500μA	5μA	50μA	15μA	30μA
HALT	外设时钟被关闭。 输入时钟被禁用。	70μA		80μA	120μA	5μA	50μA	15μA	30μA

- (1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
 (2) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA18} 电流, 必须通过写入 PCLKCR0 寄存器来明确关闭到 ADC 模块的时钟。
 (3) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDAIO} 引脚的电流。
 (4) TYP 数适用于常温和标称电压。
 (5) MAX 数为 125°C 和 MAX 电压时的值。

NOTE

外设 - 280x 器件中执行的 I/O 复用防止同时使用所有可用外设。这是因为不止一个外设功能可共用一个 I/O 引脚。然而, 可同时打开到所有外设的时钟, 虽然这一配置并无实际用途。如果这一操作完成, 器件汲取的电流将大于流耗表中的额定值。

6.4.1 减少流耗

相对于 281x 系列，280x 器件有一个更加丰富的外设集。虽然 McBSP 已被拆除，280x 中增加了下列全新的外设：

- 3 个 SPI 模块
- 1 个 CAN 模块
- 1 个 I2C 模块

281x 的两个事件管理器已经被增强并被独立的 ePWM (6)，eCAP (4) 和 eQEP (2) 模块所取代，从而在应用中提供了巨大的灵活性。与 281x 类似，280x DSP 包含了一个减少器件流耗的独特方法。由于每一个外设单元有一个独立的时钟启用位，通过关闭到任一未在指定应用中使用的模块的时钟，可大大减少流耗。此外，可利用这三个低功耗模式的任一个来进一步减少流耗。Table 6-5 表明了由关闭时钟所实现的流耗减少的典型值。

Table 6-5. 不同外设的典型流耗（在 100MHz 上时）⁽¹⁾

外设 模块	I _{DD} 电流 减少 (mA) ⁽²⁾
ADC	8 ⁽³⁾
IC2	5
eQEP	5
ePWM	5
eCAP	2
SCI	4
SPI	5
eCAN	11

- (1) 所有外设时钟在复位时被禁用。只有在外设时钟被打开后，才可进行对外设寄存器的写入/读取操作。
- (2) 对于具有多个实例的外设，按照模块引用电流。例如，为 ePWM 所引出 5mA 电流数是用于一个 ePWM 模块。
- (3) 这个数字代表了 ADC 模块数字部分汲取的电流。关闭到 ADC 模块的时钟也将消除取自 ADC (I_{DDA18}) 模拟部分汲取的电流。

NOTE

当 XCLKOUT 被关闭时，I_{DDIO} 流耗减少了 15mA（典型值）。

NOTE

基线 I_{DD} 电流（此电流是指当内核在无外设被启用的情况下执行一个仿真环路时的电流）为 110mA，典型值。为了达到一个指定应用所需的 I_{DD} 电流，外设（由应用启用）汲取的电流必须被增加到 I_{DD} 电流上。

6.4.2 流耗图

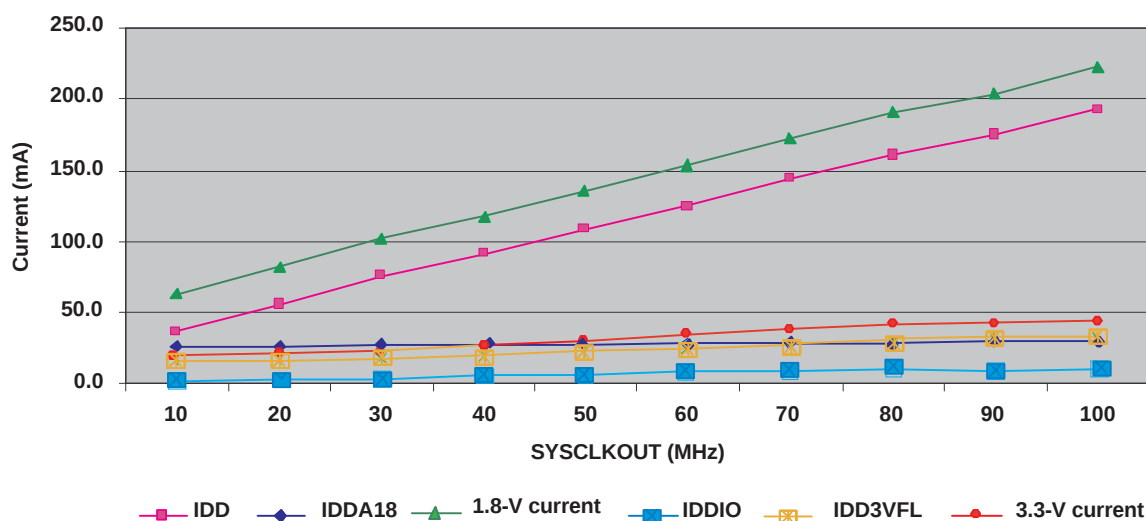


Figure 6-1. 典型运行电流与频率间的关系(F2808)

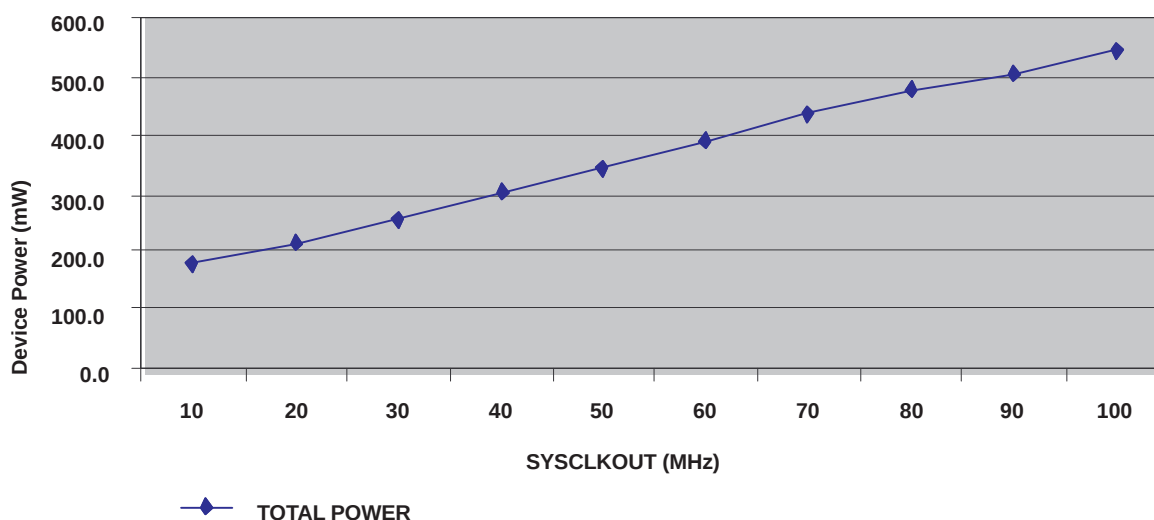


Figure 6-2. 典型运行功率与频率间的关系(F2808)

NOTE

从Figure 6-1可估计 60MHz 器件的典型工作流耗。单单对于 I_{DD} 电流，在缩放针对 60MHz 的外设电流之后，减去不存在外设所提供的电流。例如，为了计算 F2801-60 器件的电流，必须从 I_{DD} 中减去下列外设提供的电流：ePWM4/5/6，eCAP3/4，eQEP2，SCI-B。

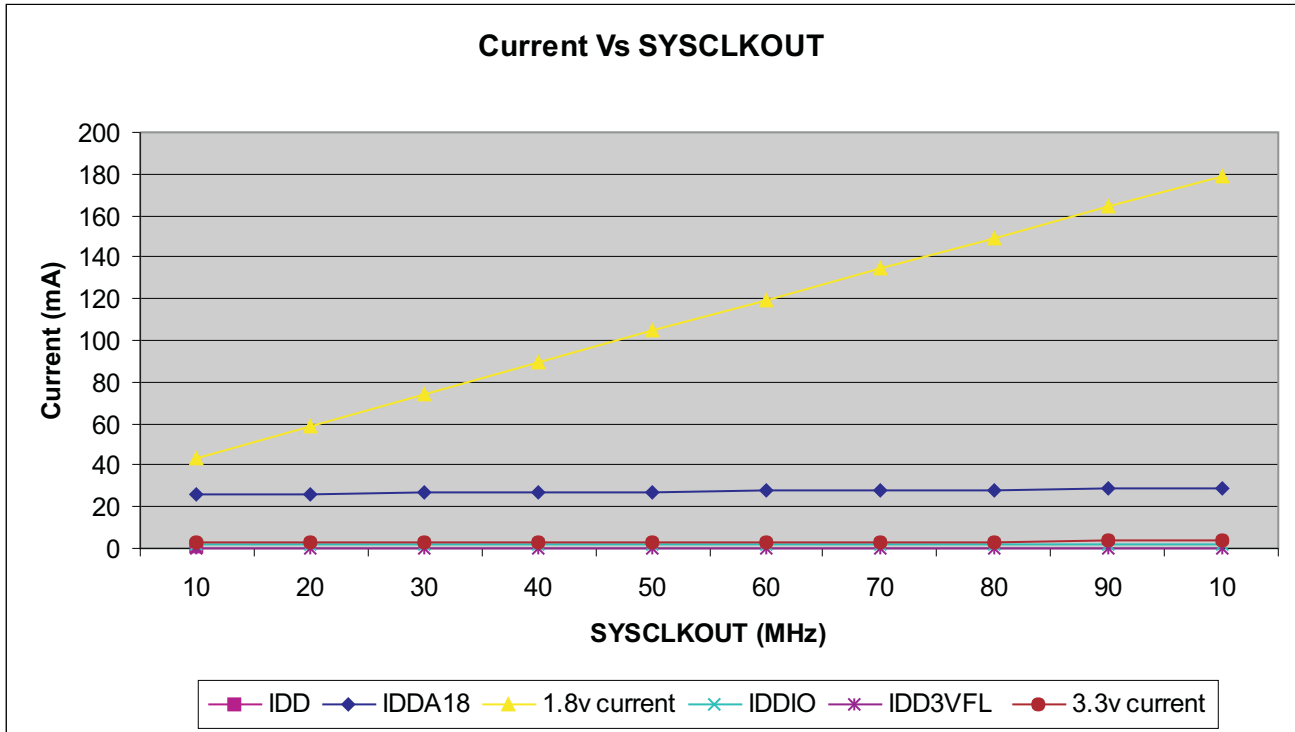


Figure 6-3. 典型运行电流与频率间的关系 (C280x)

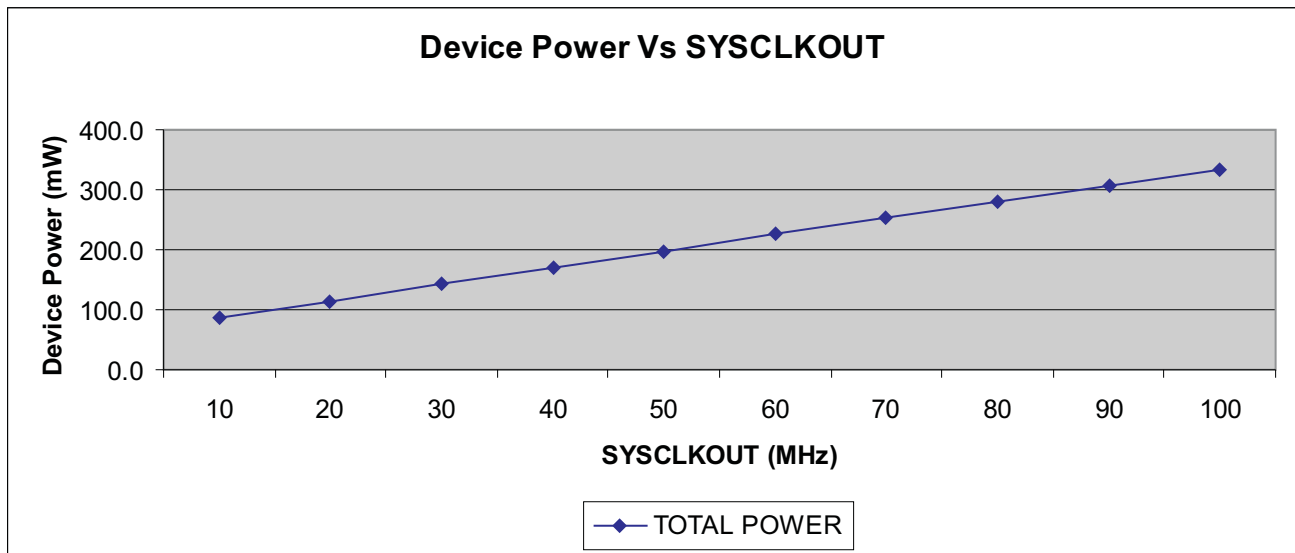


Figure 6-4. 典型运行功率与频率间的关系 (C280x)

6.5 针对 DSP 的无信号缓冲的仿真器连接

Figure 6-5显示了 DSP 和 JTAG 接头之间针对一个单处理器配置的连接。如果 JTAG 接头和 DSP 之间的距离大于 6 英寸，那么仿真信号必须被缓冲。如果距离小于 6 英寸，通常无需缓冲。Figure 6-5显示了较简单、无缓冲的情况。要获得上拉/下拉电阻器的值，请见引脚说明部分。

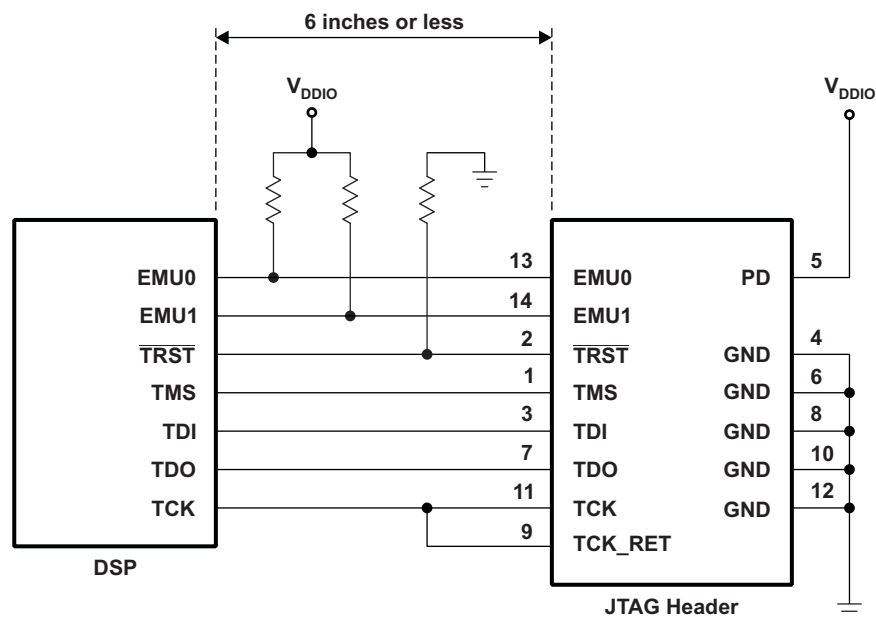


Figure 6-5. 针对 DSP 的无信号缓冲的仿真器连接

6.6 时序参数符号

所用的时序参数符号按照 JEDEC 标准 100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

小写下标和它们的含意：		字母和符合符号和它们的含意：	
a	访问时间	H	高
c	周期时间（周期）	L	低
d	延迟时间	V	有效
f	下降时间	X	未知、改变、或者无关电平
h	保持时间	Z	高阻抗
r	上升时间		
su	建立时间		
t	转换时间		
v	有效时间		
w	脉冲持续时间（宽度）		

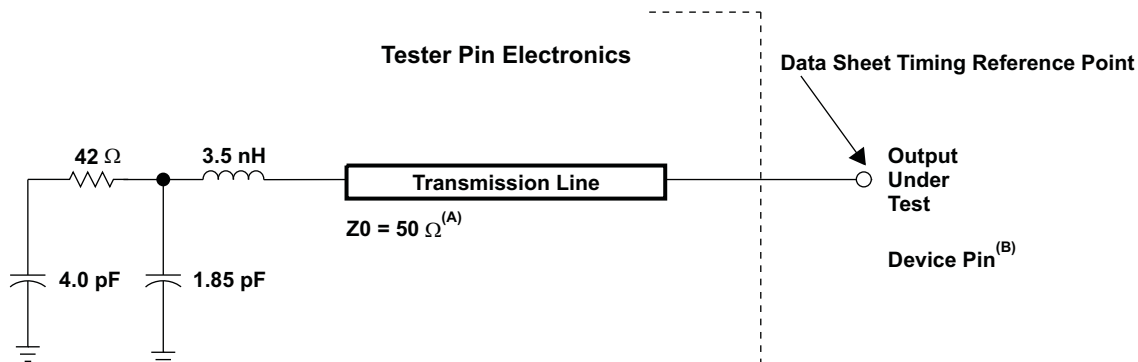
6.6.1 定时参数的通用注释

所有 28x 器件的输出信号（包括 XCLKOUT）取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。

这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期示例，请参见本文档的适当周期说明部分。

6.6.2 测试负载电路

这个测试负载电路用于测试这个文档中提供的所有开关特性。



- 使用一个器件引脚上小于每纳秒 4 伏 (4V/ns) 的输入转换率对这个数据表中的输入要求进行测试。
- 此数据表在器件引脚上提供时序。对于输出时序分析，必须将测试器引脚电子特性和传输线路效应考虑在内。一个带有 2ns 或者更长时间延迟的传输线路可被用于生成所需的传输线路效应。传输线路只用作一个负载。无需从数据表时序中增加或者减少传输线路延迟（2ns 或者更长）。

Figure 6-6. 3.3V 测试负载电路

6.6.3 器件时钟表

这个部分提供针对 280x DSP 上可用的多种时钟选项的时序要求和开关特性。Table 6-6和Table 6-7列出了不同时钟的周期时间。

Table 6-6. TMS320x280x 时钟表和命名规则（100MHz 器件）

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$, 周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN ⁽¹⁾	$t_{c(CI)}$, 周期时间	10		250	ns
	频率	4		100	MHz
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	10		500	ns
	频率	2		100	MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间	10		2000	ns
	频率	0.5		100	MHz
HSPCLK ⁽²⁾	$t_{c(HCO)}$, 周期时间	10	20 ⁽³⁾		ns
	频率		50 ⁽³⁾	100	MHz
LSPCLK ⁽²⁾	$t_{c(LCO)}$, 周期时间	10	40 ⁽³⁾		ns
	频率		25 ⁽³⁾	100	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间（除 F2809 之外的所有器件）	80			ns
	频率（除 F2809 之外的所有器件）			12.5	MHz
	$t_{c(ADCCLK)}$, 周期时间 (F2809)	40			ns
	频率 (F2809)			25	MHz

- (1) 如果使用一个 1.8V 振荡器，这也应用于 X1 引脚。
(2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗。
(3) 如果 SYSCLKOUT=100MHz，这个值为缺省复位值。

Table 6-7. TMS320x280x/2801x 时钟表和命名规则（60MHz 器件）

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$, 周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN ⁽¹⁾	$t_{c(CI)}$, 周期时间	16.67		250	ns
	频率	4		60	MHz
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	16.67		500	ns
	频率	2		60	MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间	16.67		2000	ns
	频率	0.5		60	MHz
HSPCLK ⁽²⁾	$t_{c(HCO)}$, 周期时间	16.67	33.3 ⁽³⁾		ns
	频率		30 ⁽³⁾	60	MHz
LSPCLK ⁽²⁾	$t_{c(LCO)}$, 周期时间	16.67	66.7 ⁽³⁾		ns
	频率		15 ⁽³⁾	60	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	133.33			ns
	频率			7.5	MHz

- (1) 如果使用一个 1.8V 振荡器，这也应用于 X1 引脚。
(2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗。
(3) 如果 SYSCLKOUT=60MHz，这个值为缺省复位值。

6.7 时钟要求和特性

Table 6-8. 输入时钟频率

参数				最小值	典型值	最大值	单位
f _x	输入时钟频率	谐振器 (X1/X2)		20		35	MHz
		晶振 (X1/X2)		20		35	
		外部振荡器/时钟源（XCLKIN 或者 X1 引脚）	100MHz 器件	4		100	
			60MHz 器件	4		60	
f _i	跛行模式 SYSCLKOUT 频率范围（/2 启用时）			1-5			MHz

Table 6-9. XCLKIN⁽¹⁾时序要求 - PLL 被启用

编号	参数	最小值	最大值	单位
C8	$t_{c(CI)}$ 周期时间, XCLKIN	33.3	200	ns
C9	$t_{f(CI)}$ 下降时间, XCLKIN		6	ns
C10	$t_{r(CI)}$ 上升时间, XCLKIN		6	ns
C11	$t_{w(CIL)}$ 脉冲持续时间, XCLKIN 低电平是 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%
C12	$t_{w(CIH)}$ 脉冲持续时间, XCLKIN 高电平是 $t_{c(OSCCLK)}$ 的一部分的时间	45	55	%

(1) 这也被应用到 X1 引脚。

Table 6-10. XCLKIN⁽¹⁾时序需求 - PLL 被禁用

编号			最小值	最大值	单位	
C8	$t_{c(CI)}$	周期时间, XCLKIN	100MHz 器件	10	250	ns
			60MHz 器件	16.67	250	
C9	$t_{f(CI)}$	下降时间, XCLKIN	高达 20 MHz		6	ns
			20MHz 至100MHz		2	ns
C10	$t_{r(CI)}$	上升时间, XCLKIN	高达 20 MHz		6	ns
			20MHz 至100MHz		2	ns
C11	$t_{w(CIL)}$	脉冲持续时间, XCLKIN 低电平为 $t_{c(OSCCLK)}$ 的一部分的时间		45	55	%
C12	$t_{w(CIH)}$	脉冲持续时间, XCLKIN 高电平为 $t_{c(OSCCLK)}$ 的一部分		45	55	%

(1) 这也被应用到 X1 引脚。

表 3-17中显示了可能的配置模式。

Table 6-11. XCLKOUT 开关特性 (PLL 旁通或者被禁用) ⁽¹⁾⁽²⁾

编号	参数	最小值	典型值	最大值	单位
C1	$t_{c(XCO)}$ 周期时间, XCLKOUT	100MHz 器件	10		ns
		60MHz 器件	16.67		
C3	$t_{f(XCO)}$ 下降时间, XCLKOUT		2		ns
C4	$t_{r(XCO)}$ 上升时间, XCLKOUT		2		ns
C5	$t_{w(XCOL)}$ 脉冲持续时间, XCLKOUT 低电平的时间	H-2		H+2	ns
C6	$t_{w(XCOH)}$ 脉冲持续时间, XCLKOUT 高电平的时间	H-2		H+2	ns
	t_p PLL 锁定时间	131072 $t_{c(OSCCLK)}$ ⁽³⁾			周期

(1) 假定这些参数有 40pF 的负载。

(2) $H=0.5t_{c(XCO)}$

(3) OSCCLK 或者为片载振荡器的输出, 或者是来自一个外部振荡器的输出。

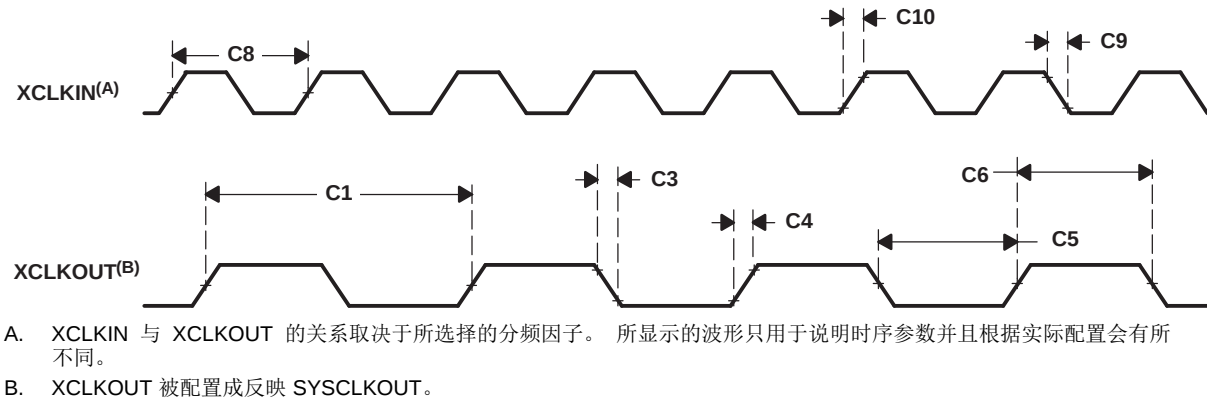


Figure 6-7. 时钟时序

6.8 电源排序

对于不同电源引脚的加电/断电序列无特别要求以确保针对所有模块的正确复位。 然而, 如果 I/O 引脚的电平移动输出缓冲器中的 3.3V 晶体管在 1.8V 晶体管之前加电, 输出缓冲器有可能打开, 这会在加电期间导致引脚上的毛刺脉冲。 为了避免这一运行状态, 给 V_{DD} (内核电压) 引脚加电应早于对 V_{DDIO} (输入/输出电压) 引脚供电, 或者与之同时, 以确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。

有一些对于 $\overline{XRS}$ 引脚的要求:

1. 加电期间, $\overline{XRS}$ 引脚必须在输入时钟稳定之后的 $t_{w(RSL1)}$ 内保持低电平 (请见 Table 6-13)。这使得整个器件从一个已知的条件启动。
2. 断电期间, $\overline{XRS}$ 引脚必须至少在 V_{DD} 达到 1.5V 之前的 8 μ s 内被下拉至低电平。这样做提高了闪存可靠性。

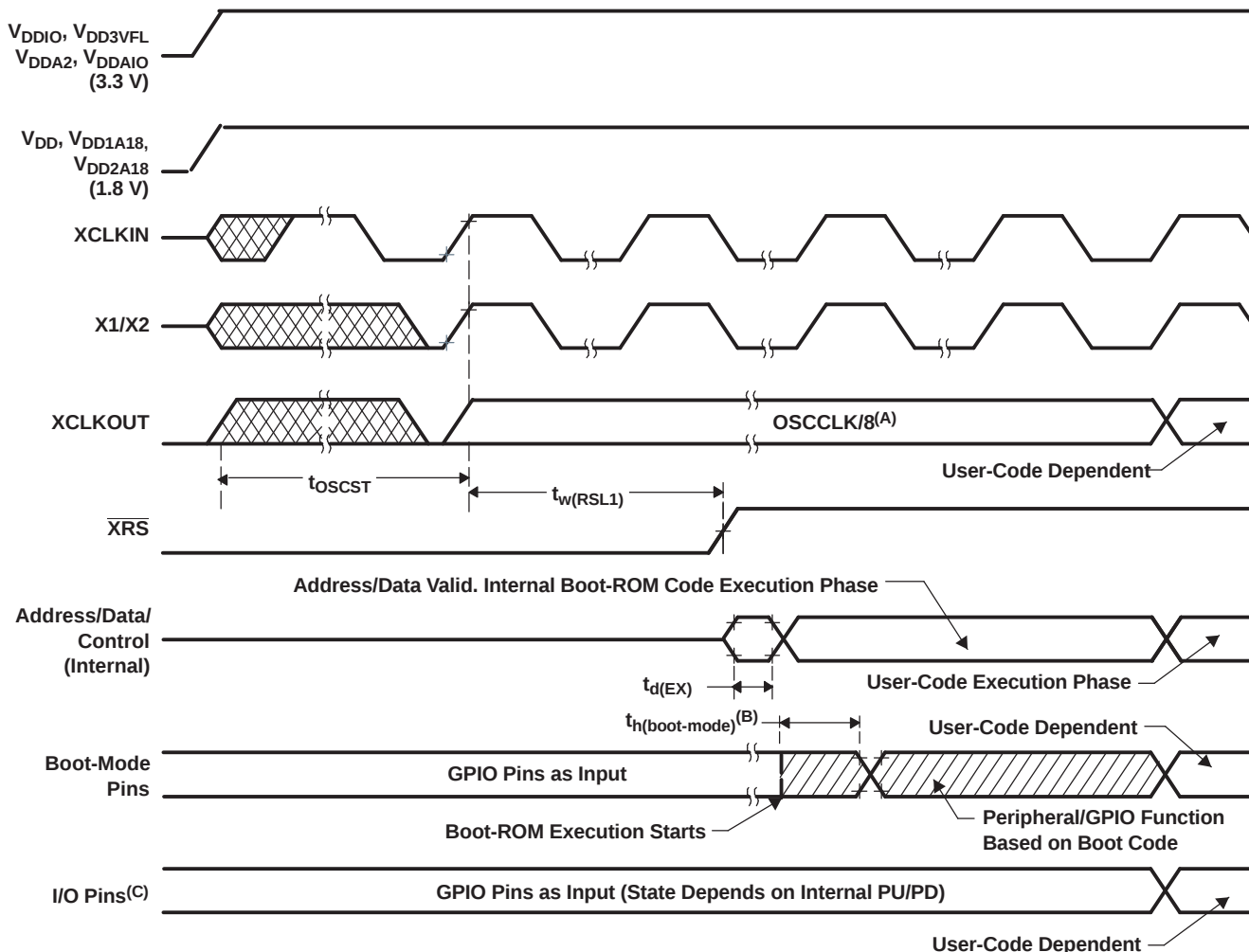
在为器件加电之前, 不应将 V_{DDIO} 之上大于二极管压降 (0.7V) 的电压应用于任何数字引脚上 (对于模拟引脚, 这个值是比 V_{DDA} 高 0.7V 的电压值)。此外, V_{DDIO} 和 V_{DDA} 之间的差距应一直在 0.3V 之内。应用于未加电器件的引脚上的电压会以一种无意的的方式偏置内部 p-n 接头并产生无法预料的结果。

6.8.1 电源管理和监控电路解决方案

Table 6-12 列出了针对 280x DSP 的电源管理和监控电路解决方案。 LDO 选择取决于最终应用的总功耗。完整的 TI 电源 IC 列表, 请访问<http://www.power.ti.com>。

Table 6-12. 电源管理和监控电路解决方案

供应商	类型	部件	说明
德州仪器 (TI)	LDO	TPS767D301	带有电源电压监控 (SVS) 的双路 1A 低压降稳压器 (LDO)
德州仪器 (TI)	LDO	TPS70202	带有 SVS 的双路 500/250 mA LDO
德州仪器 (TI)	LDO	TPS766xx	带有电源正常 (PG) 的 250mA LDO
德州仪器 (TI)	SVS	TPS3808	带有可编程延迟的开漏 SVS
德州仪器 (TI)	SVS	TPS3803	带有 5 μ S 延迟的低成本开漏 SVS
德州仪器 (TI)	LDO	TPS799xx	晶圆级芯片 (WCSP) 封装内的 200mA LDO
德州仪器 (TI)	LDO	TPS736xx	V_{DO} 为 40mV 的 400mA LDO
德州仪器 (TI)	DC/DC	TPS62110	4 x 4 四方扁平无引线 (QFN) 封装内的高 V_{in} 1.2A dc/dc 转换器
德州仪器 (TI)	DC/DC	TPS6230x	WCSP 封装内的 500mA 转换器



- 加电时, SYSCLKOUT 为 OSCCLK/2。由于 XCLK 寄存器内的 XCLKOUTDIV 位出现时的状态为复位状态 0, SYSCLKOUT 在出现在 XCLKOUT 上之前被进一步 4 分频。这就是在这个阶段 XCLKOUT=OSCCLK/8 的原因。
- 复位后, 引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- 对于加电期间, 确保一个 GPIO 引脚为高阻抗状态的要求, 请见 [Section 6.8](#)。

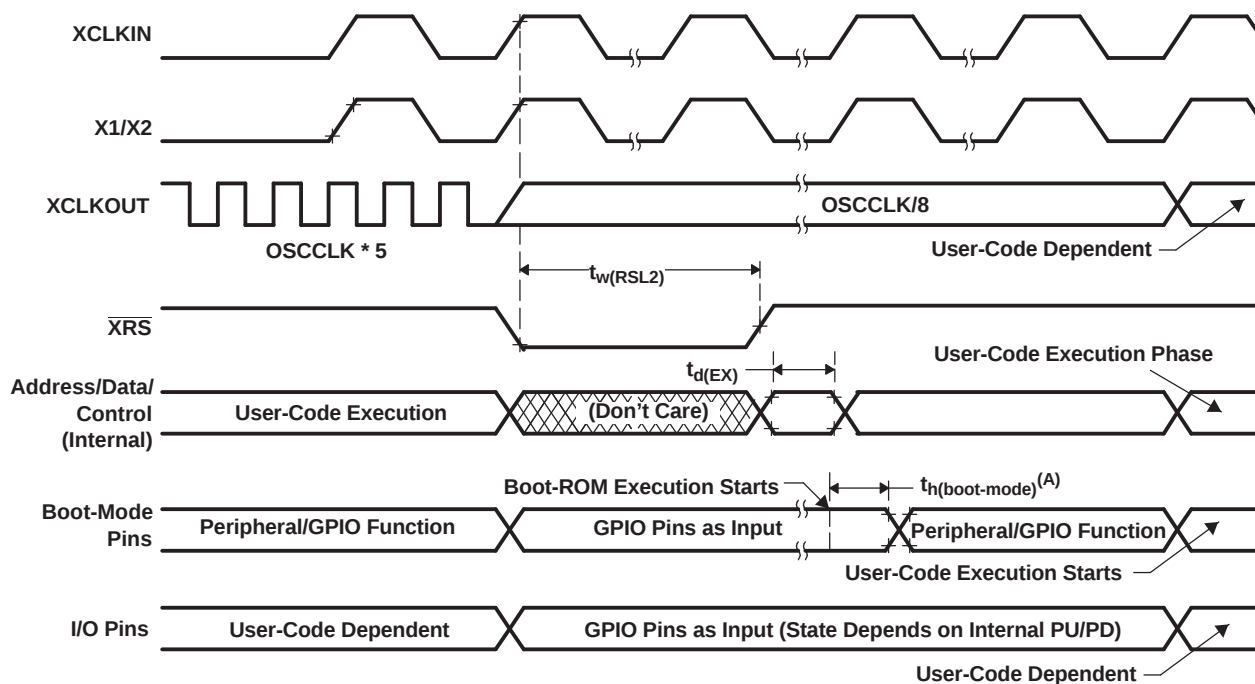
Figure 6-8. 加电复位

Table 6-13. 复位 $\overline{\text{XRS}}$ 时序要求

		最小值	标称值	最大值	单位
$t_{w(RSL1)}$ (1)	脉冲持续时间, 稳定 XCLKIN 到 $\overline{\text{XRS}}$ 高电平的时间	$8t_{c(OSCCLK)}$			周期
$t_{w(RSL2)}$	脉冲持续时间, $\overline{\text{XRS}}$ 低电平的时间	$8t_{c(OSCCLK)}$			周期
$t_{w(WDRS)}$	脉冲持续时间, 由安全装置生成复位脉冲的时间		$512t_{c(OSCCLK)}$		周期
$t_{d(EX)}$	延迟时间, $\overline{\text{XRS}}$ 高电平后, 地址/数据有效的时间		$32t_{c(OSCCLK)}$		周期
t_{OSCST} (2)	振荡器启动时间	1	10		ms
t_h (引导模式)	引导模式引脚的保持时间	$200t_{c(OSCCLK)}$			周期

(1) 除了 $t_{w(RSL1)}$ 环境, $\overline{\text{XRS}}$ 必须在 V_{DD} 达到 1.5V 之后的至少 1ms 内为低电平。

(2) 取决于晶振/谐振器和电路板设计。



- A. 复位后, 引导 ROM 代码采样 BOOT 模式 引脚。基于 引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

Figure 6-9. 热复位

Figure 6-10显示了写入 PLLCR 寄存器所产生的效果的一个示例。在第一个阶段, PLLCR=0x0004 并且 SYSCLKOUT=OSCCLK x 2。然后写入 0x0008 到 PLLCR。就在 PLLCR 寄存器被写入后, PLL 锁存阶段开始。在这个阶段期间, SYSCLKOUT=OSCCLK/2。在 PLL 锁存完成后(将花费 131072 OSCCLK 周期), SYSCLKOUT 反映新的运行频率, OSCCLKx 4。

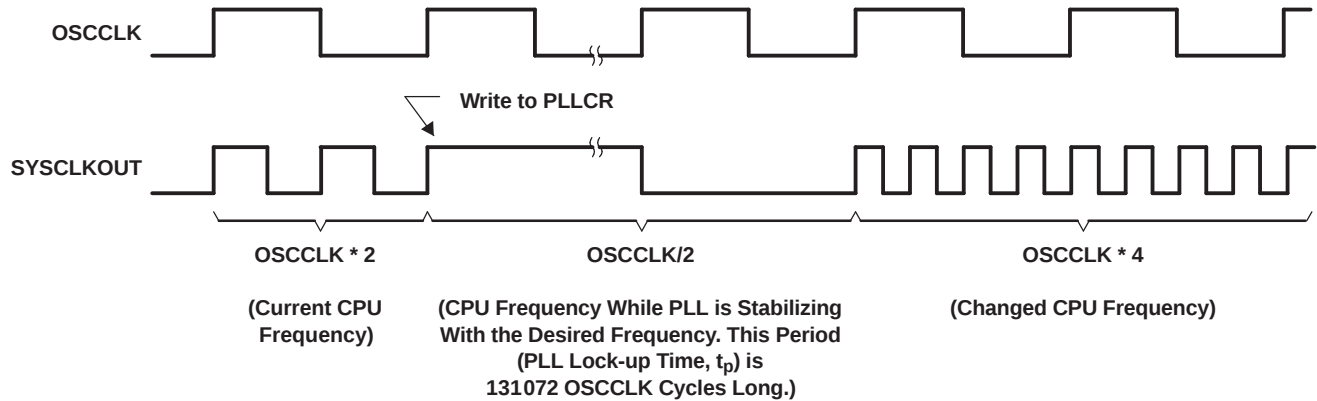


Figure 6-10. 写入 PLLCR 寄存器所产生的效果的示例

6.9 通用输入/输出 (GPIO)

6.9.1 GPIO - 输出时序

Table 6-14. 通用输出开关特性

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间, GPIO 从低电平切换至高电平的时间	所有 GPIO		8	ns
$t_{f(GPO)}$	下降时间, GPIO 从高电平切换至低电平的时间	所有 GPIO		8	ns
f_{GPO}	切换频率, GPO 引脚			25	MHz

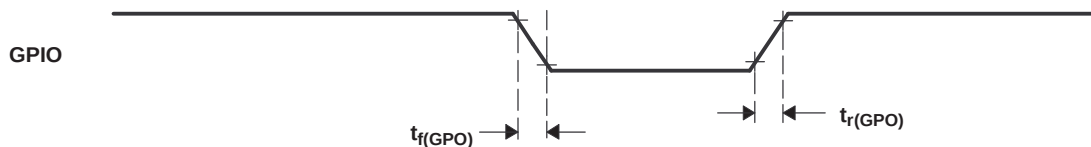
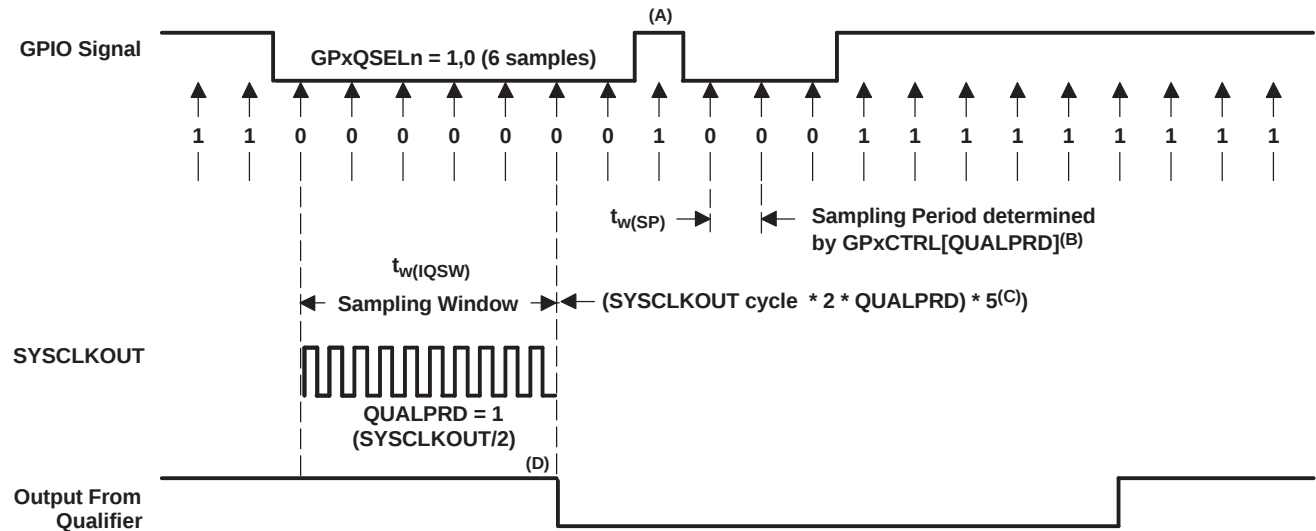


Figure 6-11. 通用输出时序

6.9.2 GPIO - 输入时序



- A. 这个毛刺脉冲将被输入限定器所忽略。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值, 限定采样周期为 2n SYSCLKOUT 周期 (也就是说, 在每一个 SYSCLKOUT 周期上, GPIO 引脚将被采样)。
- B. 通过 GPxCTRL 寄存器选择的限定周期应用于一组 8 个 GPIO 引脚上。
- C. 此限定块可采样 3 个或者 6 个样本。GPxQSELn 寄存器选择使用的采样模式。
- D. 在所示的示例中, 为了使限定器检测到变化, 输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说, 输入应该在 (5 x QUALPRD x 2) SYSCLKOUT 周期内保持稳定。这将确保发生 5 个用于检测的采样周期。由于外部时钟被异步驱动, 一个 13 SYSCLKOUT 宽的脉冲将确保可靠识别。

Figure 6-12. 采样模式

Table 6-15. 通用输入时序要求

		最小值	最大值	单位
t _{w(SP)}	采样周期	QUALPRD=0	1t _{c(SCO)}	周期
		QUALPRD≠0	2t _{c(SCO)} *QUALPRD	周期
t _{w(IQSW)}	输入限定器采样窗口		t _{w(SP)} *(n ⁽¹⁾ -1)	周期
t _{w(GPI)} ⁽²⁾	脉冲持续时间，GPIO 低电平/高电平的时间	同步模式	2t _{c(SCO)}	周期
		带有输入限定器	t _{w(IQSW)} + t _{w(SP)} + 1t _{c(SCO)}	周期

(1) "n" 代表由 GPxQSELn 寄存器定义的限定采样的数量。

(2) 对于 t_{w(GPI)}, 对于一个低电平有效信号, 脉宽在 V_{IL} 至 V_{IL} 之间进行测量, 而对于一个高电平有效信号脉宽在 V_{IH} 至 V_{IH} 之间进行测量。

6.9.3 针对输入信号的采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率表明相对于 SYCLKOUT 的信号采样频率。

如果 QUALPRD≠0 的话, 采样频率 = SYCLKOUT/(2*QUALPRD)

如果 QUALPRD=0 的话, 采样频率 = SYCLKOUT

如果 QUALPRD≠0 的话, 采样周期 = SYCLKOUT 周期 x 2 x QUALPRD

在上面的等式中, SYCLKOUT 周期表明 SYCLKOUT 的时间周期。

如果 QUALPRD=0 的话, 采样周期 = SYCLKOUT 周期

在一个指定的采样窗口中, 输入信号的 3 个样本或者 6 个样本被采样以确定信号的有效性。由写入到 GPxQSELn 寄存器的值确定。

情况 1:

使用 3 个样本的限定

如果 QUALPRD≠0, 采样窗口宽度 = (SYCLKOUT 周期 x 2 x QUALPRD) x 2

如果 QUALPRD=0, 采样窗口宽度 = (SYCLKOUT 周期) x 2

情况 2:

使用 6 个样本的限定

如果 QUALPRD≠0, 采样窗口宽度 = (SYCLKOUT 周期 x 2 x QUALPRD) x 5

如果 QUALPRD=0, 采样窗口宽度 = (SYCLKOUT 周期) x 5

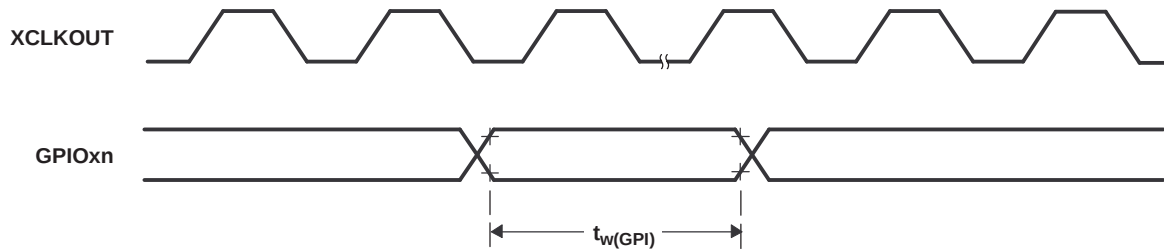


Figure 6-13. 通用输入时序

NOTE

通用输入的脉宽要求也同样适用于 XINT2_ADCSOC 信号。

6.9.4 低功耗唤醒时序

Table 6-16显示时序要求，Table 6-17显示了开关特性，而Figure 6-14显示了 IDLE 模式下的时序图

Table 6-16. IDLE 模式时序要求⁽¹⁾

		最小值	标称值	最大值	单位
$t_{w(WAKE-INT)}$ 脉冲持续时间，外部唤醒信号的时间	无输入限定器	$2t_{c(SCO)}$			周期
	带有输入限定器	$5t_{c(SCO)}+t_{w(IQSW)}$			

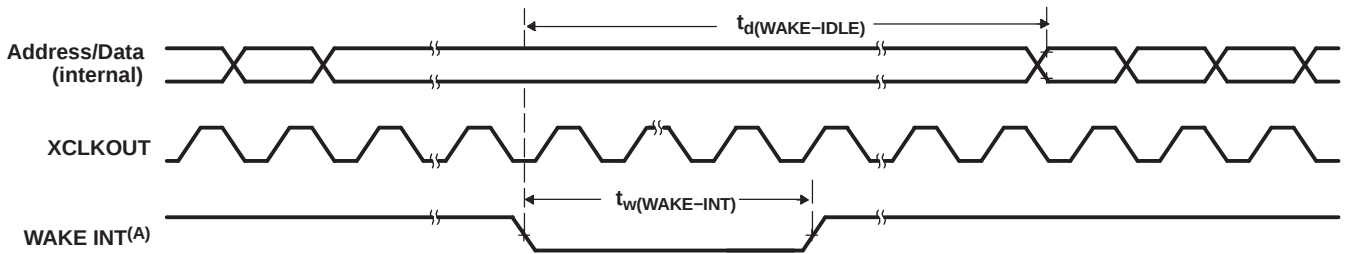
(1) 对于输入限定器参数的说明，请见Table 6-15。

Table 6-17. IDLE 模式开关特性⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽²⁾					
	从闪存唤醒 – 激活状态中的闪存模块	无输入限定器			$20t_{c(SCO)}$	周期
		带有输入限定器			$20t_{c(SCO)} + t_{w(IQSW)}$	
	从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器			$1050t_{c(SCO)}$	周期
		带有输入限定器			$1050t_{c(SCO)} + t_{w(IQSW)}$	
	从 SARAM 中唤醒	无输入限定器			$20t_{c(SCO)}$	周期
		带有输入限定器			$20t_{c(SCO)} + t_{w(IQSW)}$	

(1) 对于输入限定器参数的说明，请见Table 6-15。

(2) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR（由唤醒触发）信号的执行会涉及额外的延迟。



A. WAKE INT 可以是任一被启用的中断， $\overline{WDINT}$ ，或者 $\overline{XRS}$ 。

Figure 6-14. IDLE 进入和退出定时

Table 6-18. STANDBY 模式定时要求

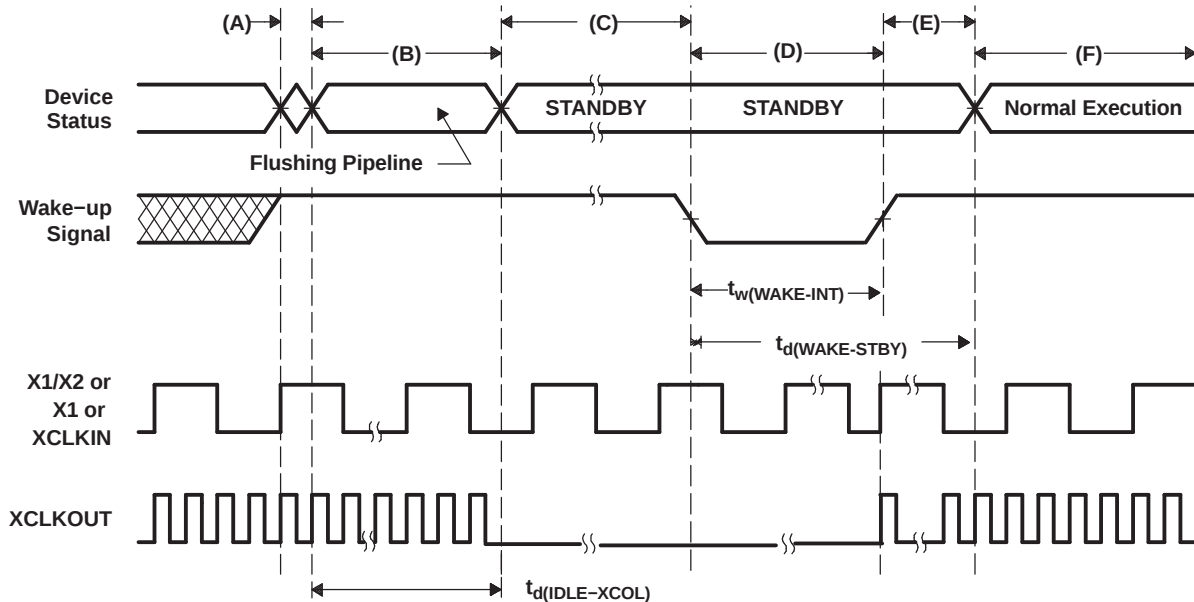
		测试条件	最小值	标称值	最大值	单位
t _{w(WAKE-INT)}	脉冲持续时间，外部唤醒信号的时间	无输入限定	3t _{c(OSCCLK)}			周期
		带有输入限定 ⁽¹⁾	(2+QUALSTDBY)*t _{c(OSCCLK)}			

(1) QUALSTDBY 是一个 LPMCR0 寄存器内的 6 位字段。

Table 6-19. STANDBY 模式开关特性

参数	测试条件	最小值	典型值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间, IDLE 指令被执行使 XCLKOUT 变为低电平的时间	$32t_{c(SCO)}$			周期
$t_{d(WAKE-STBY)}$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				
	从闪存唤醒	无输入限定器		$100t_{c(SCO)}$	周期
	– 处于激活状态的闪存模块	带有输入限定器		$100t_{c(SCO)} + t_{w(WAKE-INT)}$	
	从闪存唤醒	无输入限定器		$1125t_{c(SCO)}$	周期
	– 处于睡眠状态的闪存模块	带有输入限定器		$1125t_{c(SCO)} + t_{w(WAKE-INT)}$	
	从 SARAM 中唤醒	无输入限定器		$100t_{c(SCO)}$	周期
		带有输入限定器		$100t_{c(SCO)} + t_{w(WAKE-INT)}$	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。一个 ISR (由唤醒触发) 信号的执行会涉及额外的延迟。



- 被执行的 IDLE 指令将器件置于 STANDBY 模式。
- PLL 块响应 STANDBY 信号。在被关闭前, SYSCLKOUT 被保持大约 32 个周期 (如果 CLKINDIV=0) 或者 64 个周期 (如果 CLKINDIV=1)。这个延迟使得 CPU 管线和其它等待的操作被适当清空。
- 到外设的时钟被关闭。然而, PLL 和安全装置并未关闭。此器件现在处于 STANDBY 模式。
- 外部唤醒信号被驱动为有效。
- 在一个延迟周期内, 退出 STANDBY 模式。
- 正常执行重新开始。此器件将响应中断 (如果被启用的话)。

Figure 6-15. STANDBY 进入和退出时序图

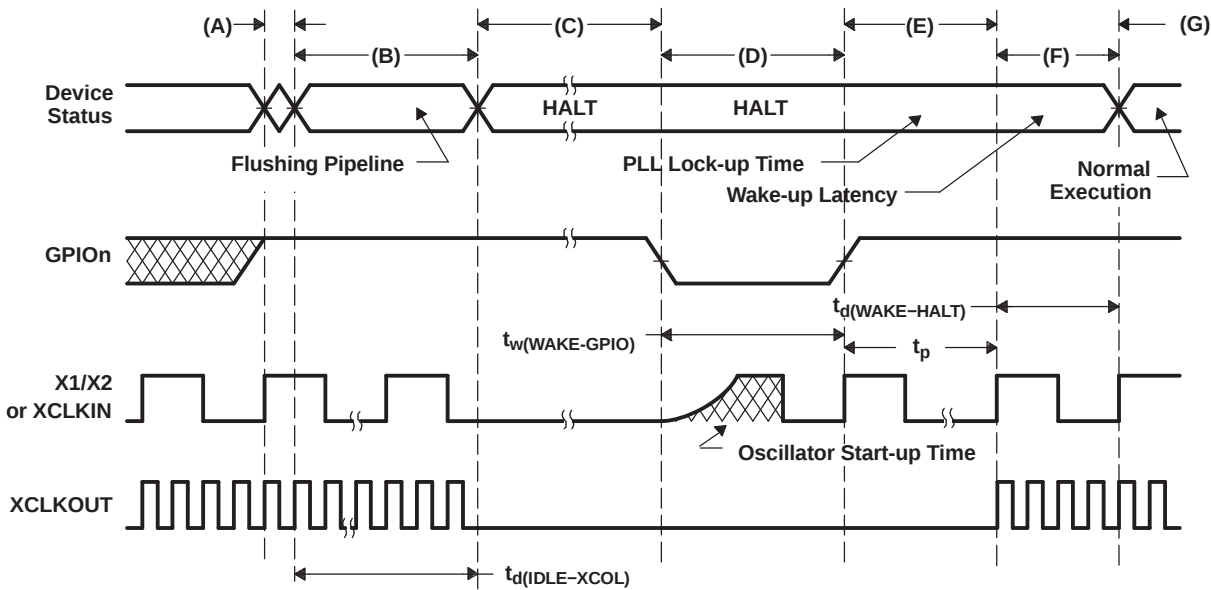
Table 6-20. HALT 模式时序要求

	最小值	标称值	最大值	单位
$t_{w(WAKE-GPIO)}$ 脉冲持续时间, GPIO 唤醒信号的时间	$t_{oscst} + 2t_{c(OSCCLK)}$ ⁽¹⁾			周期
$t_{w(WAKE-XRS)}$ 脉冲持续时间, XRS 唤醒信号的时间	$t_{oscst} + 8t_{c(OSCCLK)}$			周期

(1) $oscst$ 的解释请见 Table 6-13

Table 6-21. HALT 模式开关特性

参数	最小值	典型值	最大值	单位
$t_{d(IDLE-XCOL)}$ 延迟时间, IDLE 指令被执行到 XCLKOUT 变为低电平的时间	$32t_{c(SCO)}$		$45t_{c(SCO)}$	周期
t_p PLL 锁存时间			$131072t_{c(OSCCLK)}$	周期
$t_{d(WAKE-HALT)}$ 延迟时间, PLL 锁存到程序执行重新开始的时间 • 从闪存唤醒 – 处于睡眠状态的闪存模块			$1125t_{c(SCO)}$	周期
• 从 SARAM 中唤醒			$35t_{c(SCO)}$	周期



- A. IDLE 指令被执行以将器件置于 HALT 模式。
- B. PLL 块响应 HALT 信号。在振荡器被关闭并且到内的 CLKIN 的被停止前, SYSCCLKOUT 被保持大约 32 个周期 (如果 CLKINDIV=0) 或者 64 个周期 (如果 CLKINDIV=1)。这个延迟使得 CPU 管线和其它等待的操作被适当清空。
- C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源, 内部振荡器也被关断。器件现在处于 HALT 模式, 消耗绝对最小功率。
- D. 当 GPIO_n 引脚 (用于使器件脱离 HALT 模式) 被驱动为低电平时, 振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时, GPIO 才应被驱动为高电平。这样可在 PLL 锁存期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿异步开始唤醒过程, 应该注意在进入和处于 HALT 模式期间保持一个低噪声环境。
- E. 一旦振荡器已经稳定, PLL 锁存序列被启动, 这将花费 131072 个 OSCCLK (X1/X2 或者 X1 或者 XCLKIN) 周期。请注意, 即使当 PLL 被禁用 (也就是说, 即使当 PLL 被禁用时, 代码执行也将被这个持续时间推迟), 131072 个时钟周期也适用。
- F. 到内核的时钟和外设被启用。现在退出 HALT 模式。一个延迟后, 这个器件将相应此中断 (如果被启用的话)。
- G. 正常运行重新开始。

Figure 6-16. 使用 GPIO_n 的 HALT 唤醒

6.10 增强型控制外设

6.10.1 增强型脉宽调制器 (ePWM) 时序

PWM 是指 ePWM1-6 上的 PWM 输出。Table 6-22 显示了 PWM 时序要求和 Table 6-23，开关特性。

Table 6-22. ePWM 时序要求⁽¹⁾

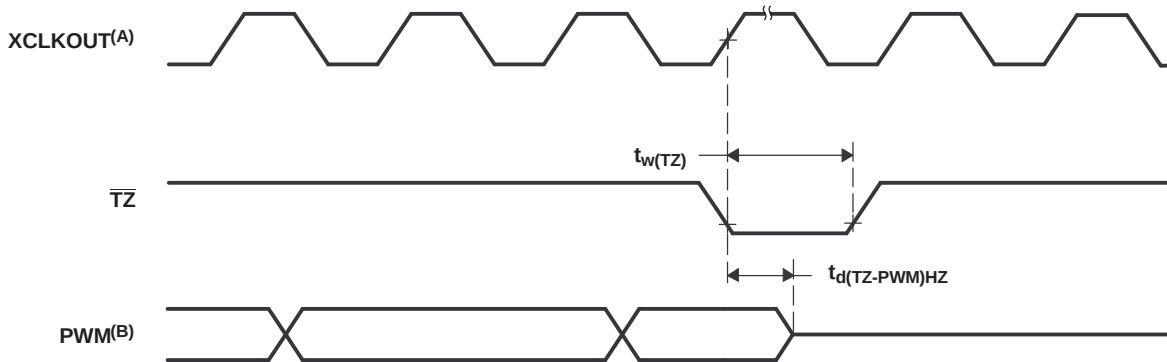
	测试条件	最小值	最大值	单位
$t_{w(SYCIN)}$ 同步输入脉冲宽度	异步	$2t_{c(SCO)}$		周期
	同步的	$2t_{c(SCO)}$		周期
	带有输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 要获得输入限定符参数的解释说明，请见 Table 6-15。

Table 6-23. ePWM 开关特性

参数	测试条件	最小值	最大值	单位
$t_{w(PWM)}$ 脉冲持续时间, PWMx 输出高电平/低电平的时间		20		ns
$t_{w(SYNCOUT)}$ 同步输出脉冲宽度		$8t_{c(SCO)}$		周期
$t_{d(PWM)tza}$ 延迟时间, 触发输入有效到 PWM 强制高电平的时间 延迟时间, 触发输入有效到 PWM 强制低电平的时间	无引脚负载		25	ns
$t_{d(TZ-PWM)HZ}$ 延迟时间, 触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间			20	ns

6.10.2 触发区输入时序



- A. $\overline{TZ}$: $\overline{TZ1}$, $\overline{TZ2}$, $\overline{TZ3}$, $\overline{TZ4}$, $\overline{TZ5}$, $\overline{TZ6}$
B. PWM 是指器件内的所有 PWM 引脚。TZ 为高电平之后的 PWM 引脚的状态取决于 PWM 恢复软件。

Figure 6-17. PWM Hi-Z 特性

Table 6-24. 触发区输入时序要求⁽¹⁾

	测试条件	最小值	最大值	单位
$t_{w(TZ)}$ 脉冲持续时间, $\overline{TZx}$ 输入低电平的时间	异步的	$1t_{c(SCO)}$		周期
	同步的	$2t_{c(SCO)}$		周期
	带有输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 要获得输入限定符参数的解释说明，请见 Table 6-15。

Table 6-25显示了高分辨率 PWM 的开关特性。

Table 6-25. SYSCLKOUT=60-100MHz时, 高分辨率 PWM 特性

	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		150	310	ps

(1) 最大 MEP 步长基于最差情况过程、最大温度和最大电压。MEP 步长将随着低电压和高温度而增加, 随着电压和冷却温度而降低。使用 HRPWM 特性的应用应该使用 MEP 缩放因子优化器 (SFO) 近似软件函数。在最终应用中使用 SFO 函数的细节请见 TI 软件库。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLKOUT 周期内的 MEP 步数量。

Table 6-26显示了 eCAP 时序要求, 而Table 6-27显示了 eCAP 开关特性。

Table 6-26. 增强型捕捉 (eCAP) 时序要求⁽¹⁾

	测试条件	最小值	最大值	单位
$t_{w(CAP)}$ 捕捉输入脉冲宽度	异步的	$2t_{c(SCO)}$		周期
	同步的	$2t_{c(SCO)}$		
	带有输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 对于输入限定器参数的说明, 请见Table 6-15。

Table 6-27. eCAP 开关特性

参数	测试条件	最小值	最大值	单位
$t_{w(APWM)}$ 脉冲持续时间, APWMx 输出高电平/低电平的时间		20		ns

Table 6-28显示了 eQEP 时序要求, 而Table 6-29显示了 eQEP 开关特性。

Table 6-28. 增强型正交编码器脉冲 (eQEP) 时序要求⁽¹⁾

	测试条件	最小值	最大值	单位
$t_{w(QEPP)}$ QEP 输入周期	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$		周期
	带有输入限定器	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$ QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$		周期
	带有输入限定器	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$ QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$		周期
	带有输入限定器	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$ QEP 选通脉冲高电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$		周期
	带有输入限定器	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$ QEP 选通脉冲输入低电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$		周期
	带有输入限定器	$2t_{c(SCO)} + t_{w(IQSW)}$		

(1) 要获得输入限定符参数的解释说明, 请见Table 6-15。

(2) 异步模式中的限制, 请参考《TMS320F280x, TMS320C280x, 和 TMS320F2801x DSC 芯片勘误表》(文献编号 [SPRZ171](#))。

Table 6-29. eQEP 开关特性

参数	测试条件	最小值	最大值	单位
$t_{d(CNTR)xin}$ 延迟时间, 外部时钟到计数器增量的时间			$4t_{c(SCO)}$	周期
$t_{d(PCS-OUT)QEP}$ 延迟时间, QEP 输入边沿到位置比较同步输出的时间			$6t_{c(SCO)}$	周期

Table 6-30. 外部 ADC 转换开始开关特性

参数	最小值	最大值	单位
$t_w(\text{ADCSOCAL})$ 脉冲持续时间, $\overline{\text{ADCSOCAO}}$ 低电平的时间	$32t_{\text{c}}(\text{HCO})$		周期

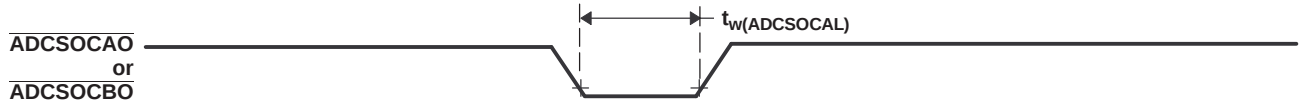


Figure 6-18. $\overline{\text{ADCSOCAO}}$ 或者 $\overline{\text{ADCSOCBO}}$ 时序

6.10.3 外部中断时序

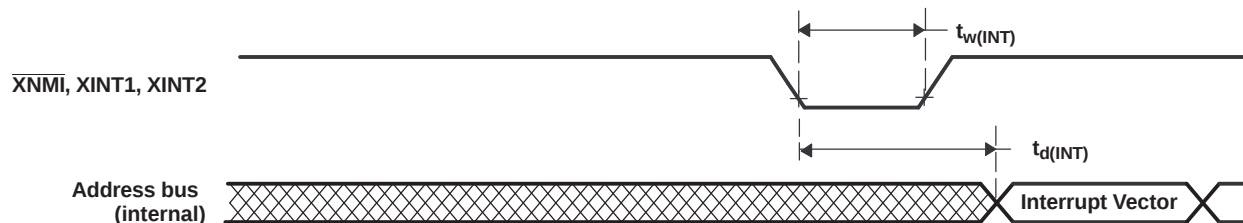


Figure 6-19. 外部中断时序

Table 6-31. 外部中断时序要求⁽¹⁾

参数	测试条件	最小值	最大值	单位
$t_w(\text{INT})$ ⁽²⁾ 脉冲持续时间, INT 输入低电平/高电平的时间	同步	$1t_{\text{c}}(\text{SCO})$		周期
	带有限定符	$1t_{\text{c}}(\text{SCO}) + t_w(\text{IQSW})$		

(1) 要获得输入限定符参数的解释说明, 请见 Table 6-15。

(2) 这个时序适用于为 ADCSOC 功能性所配置的任一 GPIO 引脚。

Table 6-32. 外部中断开关特性⁽¹⁾

参数	最小值	最大值	单位
$t_d(\text{INT})$ 延迟时间, INT 低电平/高电平到中断矢量提取的时间	$t_w(\text{IQSW}) + 12t_{\text{c}}(\text{SCO})$		周期

(1) 要获得输入限定符参数的解释说明, 请见 Table 6-15。

6.10.4 I2C 电气特性和时序

Table 6-33. I2C 时序

		测试条件	最小值	最大值	单位
f _{SCL}	SCL 时钟频率	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置		400	kHz
V _{il}	低电平输入电压			0.3V _{DDIO}	V
V _{ih}	高电平输入电压		0.7 V _{DDIO}		V
V _{hys}	输入滞后		0.05 V _{DDIO}		V
V _{ol}	低电平输出电流	3mA 吸收电流	0	0.4	V
t _{LOW}	SCL 时钟的低周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	1.3		μs
t _{HIGH}	SCL 时钟的高周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	0.6		μs
I _I	输入电压介于 0.1V _{DDIO} 和 0.9V _{DDIO} （最大值）的输入电流		-10	10	μA

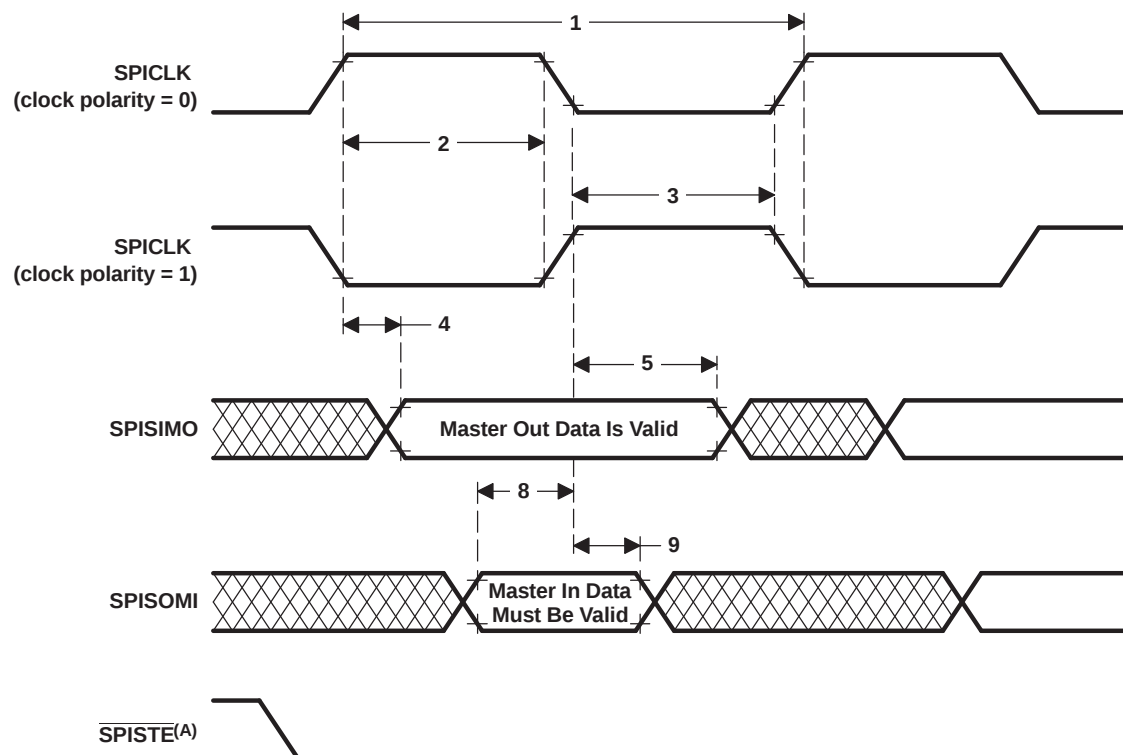
6.10.5 串行外设接口 (SPI) 主控模式时序

Table 6-34列出了主控模式时序（时钟相位 = 0）而Table 6-35列出了时序（时钟相位 = 1）。Figure 6-20和Figure 6-21显示了时序波形。

Table 6-34. SPI 主控模式外部时序（时钟相位 = 0）(1)(2)(3)(4)(5)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
4	$t_{d(SPCH-SIMO)M}$	延迟时间, SPICLK 高电平至 SPISIMO 有效的时间 (时钟极性 = 0)		10		10	ns
	$t_{d(SPCL-SIMO)M}$	延迟时间, SPICLK 低电平至 SPISIMO 有效的时间 (时钟极性 = 1)		10		10	
5	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平 后, SPISIMO 数据有效的的时间 (时钟 极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之 后, SPISIMO 数据有效的的时间 (时钟 极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$		
8	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电 平之前的时间 (时钟极性 = 0)	35		35		ns
	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电 平之前的时间 (时钟极性 = 1)	35		35		
9	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		ns
	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	$0.25t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$		

- (1) 主控/受控位 (SPICTL.2) 被设定, 而时钟相位的位 (SPICTL.3) 被清除。
- (2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK/4 或者 LSPCLK/(SPIBRR + 1)}$
- (3) $t_{c(LCO)} = \text{LSPCLK 周期时间}$
- (4) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 25MHz, 主控模式接收最大值 12.5MHz
受控模式发送最大值 12.5MHz, 受控模式接收最大值 12.5MHz。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPICCR 6) 控制。



- A. 在主机模式下，在有效的 SPI 时钟边沿之前 $0.5t_{c(SPC)}$ （最小值）， $\overline{SPISIM}$ 变为有效。在字的后端， $\overline{SPISIM}$ 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(SPC)}$ 将变为无效，除非 $\overline{SPISIM}$ 在 FIFO 和非 FIFO 模式中的背靠背传送字之间保持有效。

Figure 6-20. SPI 主机模式外部时序（时钟相位 = 0）

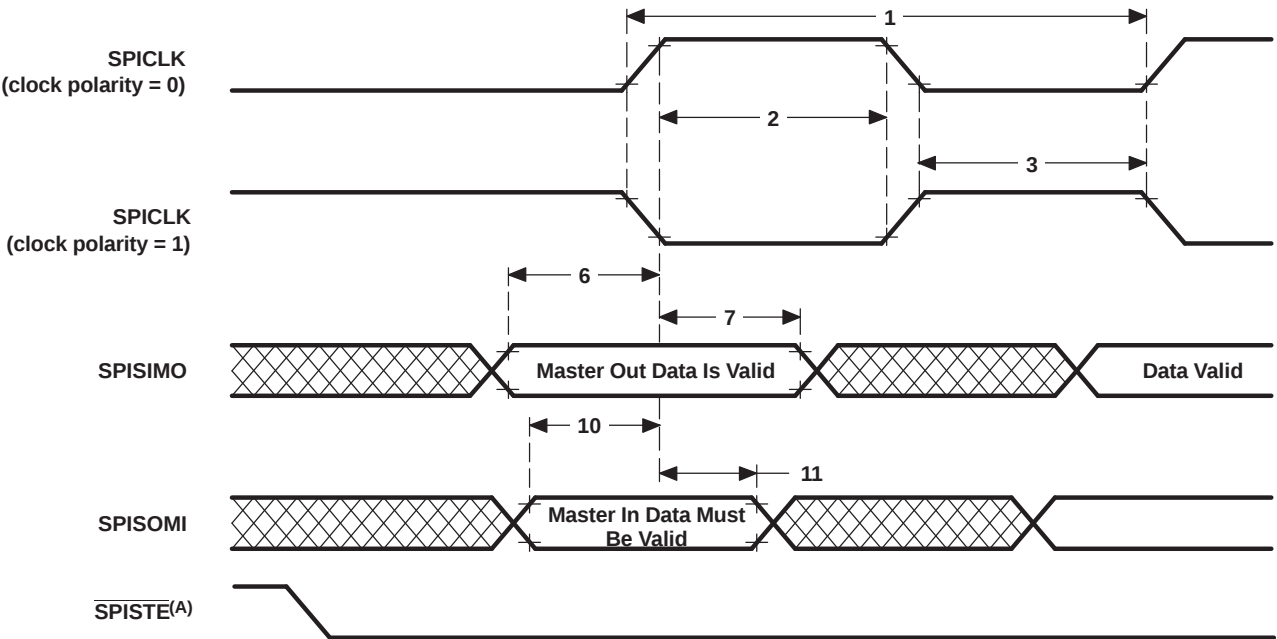
Table 6-35. SPI 主控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI		当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间, SPICLK	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	ns
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}-0.5t_{c(LCO)}$	
3	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	ns
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M}-10$	$0.5t_{c(SPC)M}$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}-10$	$0.5t_{c(SPC)M}+0.5t_{c(LCO)}$	
6	$t_{su(SIMO-SPCH)M}$	建立时间, 在 SPICLK 高电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{su(SIMO-SPCL)M}$	建立时间, 在 SPICLK 低电平之前 SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
7	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间 (时钟极 性 = 0)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		ns
	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平 后, SPISIMO 数据有效的的时间 (时 钟极性 = 1)	$0.5t_{c(SPC)M}-10$		$0.5t_{c(SPC)M}-10$		
10	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高 电平之前的时间 (时钟极性 = 0)	35		35		ns
	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低 电平之前的时间 (时钟极性 = 1)	35		35		

- (1) 主控/受控位 (SPICTL.2) 被设定并且时钟相位的位 (SPICTL.3) 被设定。
(2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或者 $\text{LSPCLK}/(\text{SPIBRR}+1)$
(3) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 25MHz, 主控模式接收最大值 12.5MHz
受控模式发送最大值 12.5MHz, 受控模式接收最大值 12.5MHz。
(4) $t_{c(LCO)} = \text{LSPCLK 周期时间}$
(5) 作为基准的 SPICLK 信号的有效边沿由 CLOCK POLARITY (时钟极性) 位 (SPICCR 6) 控制。

Table 6-35. SPI 主控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾ (continued)

编号			当 (SPIBRR+1) 为偶数或者 SPIBRR=0 或者 2 时的 SPI	当 (SPIBRR+1) 为奇数并且 SPIBRR>3 时的 SPI	单位
			最小值	最大值	
11	$t_{V(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极 性 = 0)	$0.25t_{c(SPC)M-10}$	$0.5t_{c(SPC)M-10}$	ns
	$t_{V(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极 性 = 1)	$0.25t_{c(SPC)M-10}$	$0.5t_{c(SPC)M-10}$	



A. 在主控模式下, $\overline{SPISTE}$ 在有效 SPI 时钟边沿前 $0.5t_{c(SPC)}$ (最小值) 变为有效。在字的后端, $\overline{SPISTE}$ 在接收到最后一个数据位的边沿 (SPICLK) 之后 $0.5t_{c(SPC)}$ 将变为无效, 除非 $\overline{SPISTE}$ 在 FIFO 和非 FIFO 模式中的背靠背传送字之间保持有效。

Figure 6-21. SPI 主控模式外部时序（时钟相位 = 1）

6.10.6 SPI 受控模式时序

Table 6-36列出了受控模式外部时序（时钟相位 = 0）并且Table 6-37（时钟相位 = 1）Figure 6-22和Figure 6-23显示了时序波形。

Table 6-36. SPI 受控模式外部时序（时钟相位 = 0）(1)(2)(3)(4)(5)

编号		最小值	最大值	单位
12	$t_{c(SPC)}S$ 周期时间, SPICLK	$4t_{c(LCO)}$		ns
13	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
14	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$	$0.5t_{c(SPC)}S$	
15	$t_{d(SPCH-SOMI)}S$ 延迟时间, SPICLK 高电平至 SPISOMI 有效的时间 (时钟极性 = 0)		35	ns
	$t_{d(SPCL-SOMI)}S$ 延迟时间, SPICLK 低电平至 SPISOMI 有效的时间 (时钟极性 = 1)		35	
16	$t_{v(SPCL-SOMI)}S$ 有效时间, SPICLK 低电平之后 SPISOMI 数据有效的时间 (时钟极性 = 0)	$0.75t_{c(SPC)}S$		ns
	$t_{v(SPCH-SOMI)}S$ 有效时间, SPICLK 高电平之后 SPISOMI 数据有效的时间 (时钟极性 = 1)	$0.75t_{c(SPC)}S$		
19	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 0)	35		ns
	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 1)	35		
20	$t_{v(SPCL-SIMO)}S$ 有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S-10$		ns
	$t_{v(SPCH-SIMO)}S$ 有效时间, SPICLK 高电平之后 SPISIMO 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S-10$		

- (1) 主控/受控位 (SPICTL.2) 位被清除并且时钟相位位 (SPICTL.3) 被清除。
- (2) $t_{c(SPC)}=SPI$ 时钟周期时间 = $LSPCLK/4$ 或者 $LSPCLK/(SPIBRR + 1)$
- (3) 内部时钟预分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 25MHz, 主控模式接收最大值 12.5MHz
受控模式发送最大值 12.5MHz, 受控模式接收最大值 12.5MHz。
- (4) $t_{c(LCO)}=LSPCLK$ 周期时间
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

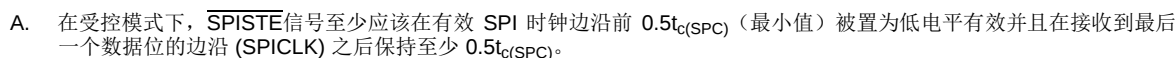
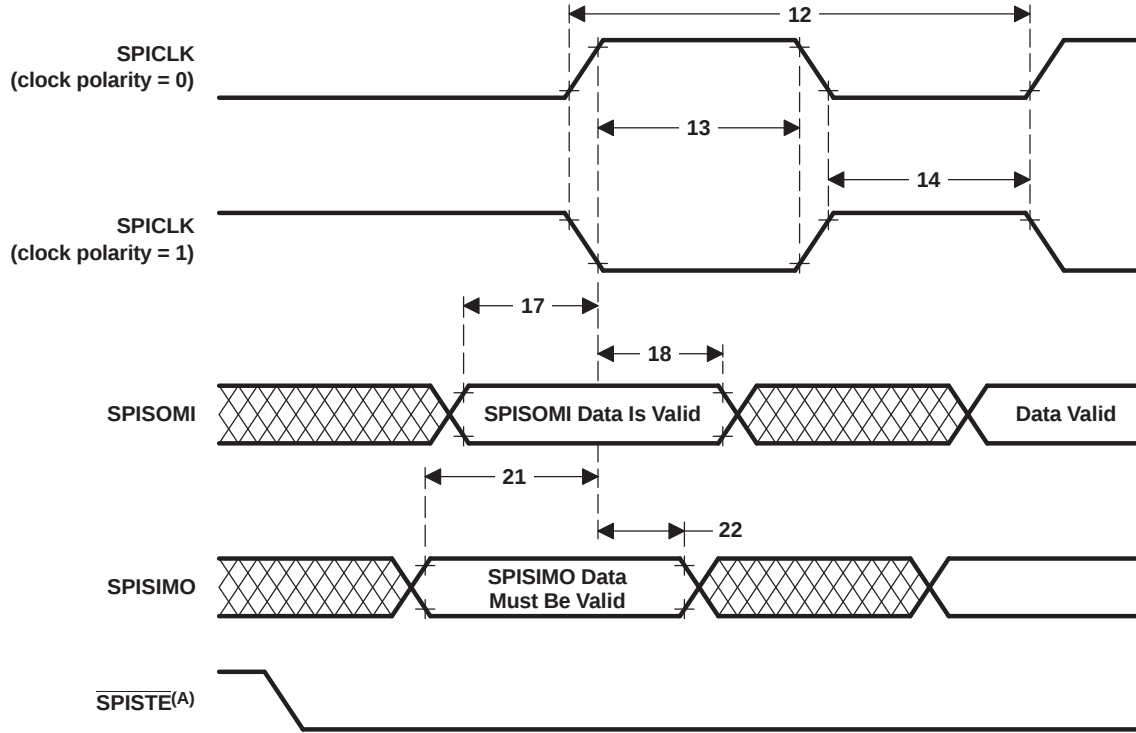


Table 6-37. SPI 受控模式外部时序 (时钟相位 = 1) ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

- (1) 主控/受控位 (SPICTL.2) 位被清除并且时钟相位位 (SPICTL.3) 被清除。
- (2) $t_{\text{c(SPC)}} = \text{SPI 时钟周期时间} = \text{LSPCLK/4 或者 LSPCLK/(SPIBRR + 1)}$
- (3) 内部时钟分频器必须被调整, 这样的话, SPI 时钟速度被限制在下列 SPI 时钟速率上:
主控模式发射最大值 25MHz, 主控模式接收最大值 12.5MHz
受控模式发送最大值 12.5MHz, 受控模式接收最大值 12.5MHz。
- (4) 作为基准的 SPICLK 信号的有效边沿由 CLOCK POLARITY 位 (SPICCR 6) 控制。

Table 6-37. SPI 受控模式外部时序（时钟相位 = 1）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾ (continued)

编号			最小值	最大值	单位
22	$t_{v(SPCH-SIMO)S}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)S}-10$		ns
	$t_{v(SPCL-SIMO)S}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)S}-10$		



- A. 在受控模式下, $\overline{SPISTE}$ 信号至少应该在有效 SPI 时钟边沿前 $0.5t_{c(SPC)}$ (最小值) 被置为低电平有效并且在接收到最后一个数据位的边沿 (SPICLK) 之后保持至少 $0.5t_{c(SPC)}$ 。

Figure 6-23. SPI 受控模式外部时序（时钟相位 = 1）

6.10.7 片载模数转换器

Table 6-38. ADC 电气特性（在推荐的运行条件下）⁽¹⁾⁽²⁾

参数		最小值	典型值	最大值	单位
DC 技术规范					
分辨率		12			位
ADC 时钟	60MHz 器件	0.001		7.5	MHz
	100MHz 器件	0.001		12.5	
	100MHz 器件（只适用于 F2809）	0.001		25	
精度					
INL（积分非线性）	1–12.5MHz ADC 时钟 (6.25MSPS)			±1.5	最低有效位 (LSB)
	12.5-25MHz ADC 时钟 (12.5MSPS)			±2	
DNL（微分非线性） ⁽³⁾				±1	LSB
偏移误差 ⁽⁴⁾		-60		+60	LSB

- (1) 在 12.5 MHz ADCCLK 上测得。
(2) 这个表中的所有电压相对 V_{SSA2} 。
(3) TI 指定 ADC 将无丢码。
(4) 1 个 LSB 有 $3.0/4096=0.732$ mV 的加权值。

Table 6-38. ADC 电气特性（在推荐的运行条件下）⁽¹⁾⁽²⁾ (continued)

参数		最小值	典型值	最大值	单位
带有硬件调整的偏移误差			±4		LSB
带有内部基准的总增益误差 ⁽⁵⁾		-60		+60	LSB
带有内部基准的总增益误差		-60		+60	LSB
通道到通道偏移变化			±4		LSB
通道到通道增益变化			±4		LSB
模拟输入					
模拟输入电压（ADCINx 至 ADCLO） ⁽⁶⁾		0		3	V
ADCLO		-5	0	5	mV
输入电容			10		pF
输入漏电流				±5	µA
内部参考基准⁽⁵⁾					
V _{ADCREFP} - 在基于内部基准的引脚上的 ADCREFP 输出电压			1.275		V
V _{ADCREFM} - 在基于内部基准的引脚上的 ADCREFM 输出电压			0.525		V
电压差异, ADCREFP-ADCREFM			0.75		V
温度系数			50		PPM/°C
外部电压基准⁽⁷⁾⁽⁸⁾					
V _{ADCREFIN} - 在推荐的 ADCREFIN 引脚 0.2% 或 者更好的精确基准上的外部基准电压输入	ADCREFSSEL[15:14]=11b		1.024		V
	ADCREFSSEL[15:14]=10b		1.500		V
	ADCREFSSEL[15:14]=01b		2.048		V
AC 技术规格					
SINAD (100kHz) 信噪比+失真			67.5		dB
SNR (100kHz) 信噪比			68		dB
THD (100kHz) 总谐波失真			-79		dB
ENOB (100kHz) 有效位数			10.9		位
SFDR (100kHz) 无杂散动态范围			83		dB

- (5) 一个单一内部/外部带隙基准为 ADCREFP 和 ADCREFM 信号供源, 因此, 这些电压可一起跟踪。ADC 转换器使用这两个之间的差异作为它的基准。这里列出的针对内部基准的总体增益误差包括温度范围内内部带隙的运动。针对外部基准选项的温度范围内的增益误差将取决于所使用源的温度参数。
- (6) 应用到一个模拟输入引脚上的高于 V_{DDA}+0.3V 或者低于 V_{SS}-0.3V 的电压有可能暂时影响另外引脚的转换。为了避免这种情况, 模拟输入应该被保持在这些限值内。
- (7) 一个单一内部/外部带隙基准为 ADCREFP 和 ADCREFM 信号供源, 因此, 这些电压可一起跟踪。ADC 转换器使用这两个之间的差异作为它的基准。这里列出的针对内部基准的总体增益误差包括温度范围内内部带隙的运动。针对外部基准选项的温度范围内的增益误差将取决于所使用源的温度参数。
- (8) TI 建议使用高精度外部基准 TI 部件 REF3020/3120 或者针对 2.048V 基准的等效器件。

6.10.7.1 ADC 加电控制位时序

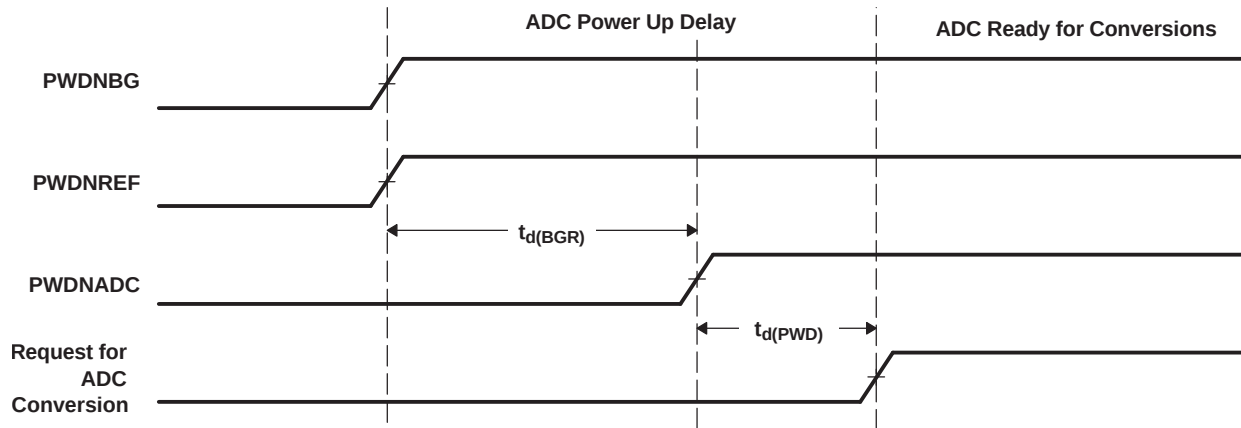


Figure 6-24. ADC 加电控制位时序

Table 6-39. ADC 加电延迟

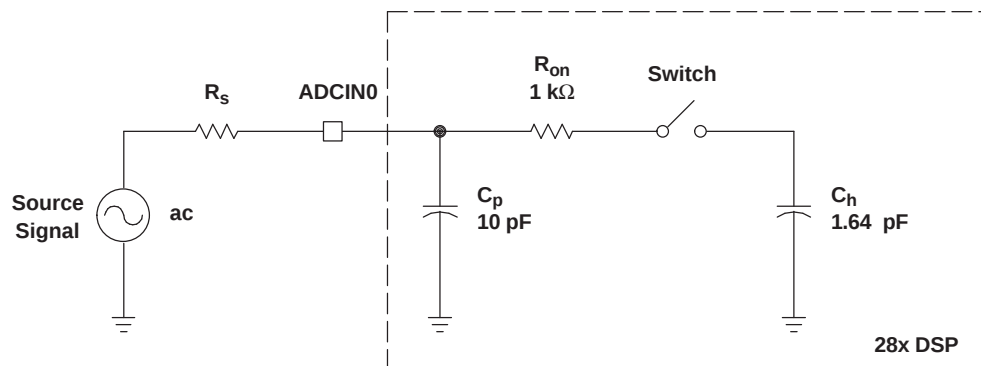
参数 ⁽¹⁾	最小值	典型值	最大值	单位
$t_d(\text{BGR})$	带隙基准稳定所需的延迟时间。ADCTRL3 寄存器的位 7 和 6 (ADCBGRFDN1/0) 在 PWDNADC 位被启用前被设定为 1。			5 ms
$t_d(\text{PWD})$	20	50		μs
			1	ms

(1) 时序保持与 281x ADC 模块的兼容性。280x ADC 也支持同时驱动所有 3 位，并在首次转换前等待 $t_d(\text{BGR})$ ms。

Table 6-40. 针对不同 ADC 配置的流耗（在12.5MHzADCCLK 上）^{(1) (2)}

ADC 运行模式	条件	V_{DDA18}	$V_{\text{DDA3.3}}$	单位
模式 A（运行模式）	- BG 和 REF 被启用 - PWD 被禁用	30	2	mA
模式 B:	- ADC 时钟被启用 - BG 和 REF 被启用 - PWD 被启用	9	0.5	mA
模式 C:	- ADC 时钟被启用 - BG 和 REF 被启用 - PWD 被启用	5	20	μA
模式 D:	- ADC 时钟被禁用 - BG 和 REF 被启用 - PWD 被启用	5	15	μA

- (1) 测试条件:
 SYSCLKOUT= 100MHz
 ADC 模块时钟 = 12.5MHz
 ADC 在模式 A 中执行一个所有16 通道的连续转换。
- (2) V_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 的电流。 $V_{\text{DDA3.3}}$ 包括进入 V_{DDA2} 和 V_{DDAIO} 的电流。



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}):	1 k Ω
Sampling Capacitor (C_h):	1.64 pF
Parasitic Capacitance (C_p):	10 pF
Source Resistance (R_s):	50 Ω

Figure 6-25. ADC 模拟输入阻抗模型

6.10.7.2 定义

基准电压

片载 ADC 有一个内置基准，这个基准为 ADC 提供了基准电压。

模拟输入

片载 ADC 由 16 个模拟输入组成，这些通道或者同时采样，或者每次两个通道采样。这些输入为软件可选。

转换器

片载 ADC 使用一个 12 位四级管线架构，此架构可在低功耗时实现一个高采样率。

转换时间

转换可以在两个不同的转换模式中执行：

- 顺序采样模式 (SMODE = 0)
- 同步采样模式 (SMODE = 1)

6.10.7.3 顺序采样模式（单通道）(SMODE = 0)

在顺序采样模式下，ADC 能够持续在任一通道（Ax 至 Bx）上转换输入信号。ADC 能够在来自 ePWM，软件触发器，或者来自一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 0，ADC 将在每个采样/保持脉冲上的所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的每个下降边沿上被采样。采样/保持脉冲宽度可被设定为 1 个 ADC 时钟宽（最小值）或者 16 个 ADC 时钟宽（最大值）。

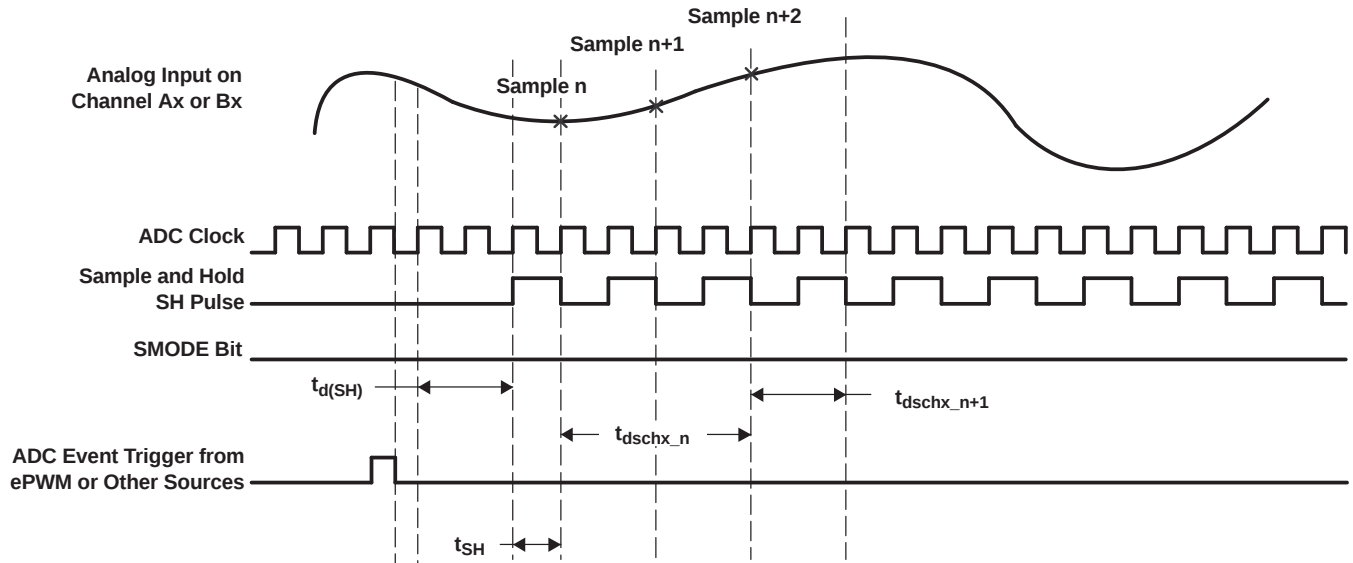


Figure 6-26. 顺序采样模式（单通道）时序

Table 6-41. 顺序采样模式时序

		SAMPLE (样本) n	SAMPLE n + 1	在 12.5MHz ADC CLOCK 时钟上, $t_{c(ADCCLK)}=80\text{ ns}$	注释
$t_{d(SH)}$	从事件触发器到采样的延迟时间	$2.5t_{c(ADCCLK)}$			
t_{SH}	采样/保持宽度/采集宽度	$(1 + \text{Acqps}) * t_{c(ADCCLK)}$		Acqps=0 时为80ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_{d(schx_n)}$	结果寄存器出现第一个结果的延迟时间	$4t_{c(ADCCLK)}$		320ns	
$t_{d(schx_n+1)}$	结果寄存器中出现连续结果的延迟时间		$(2 + \text{Acqps}) * t_{c(ADCCLK)}$	160ns	

6.10.7.4 同步采样模式（双通道）(SMODE=1)

在同步模式中，ADC 可在任何一对通道（A0/B0 至 A7/B7）持续转换输入信号。ADC 能够在来自 ePWM，软件触发器，或者来自一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 1，ADC 将在每个采样/保持脉冲上的两个所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的下降边沿上被同时采样。采样/保持脉冲宽度可被设定为 1 个 ADC 时钟宽（最小值）或者 16 个 ADC 时钟宽（最大值。）

NOTE

在同步模式中，ADCIN 通道对选择必须为 A0/B0, A1/B1, ..., A7/B7, 并且不是任何其它组合（例如 A1/B3, 等等）。

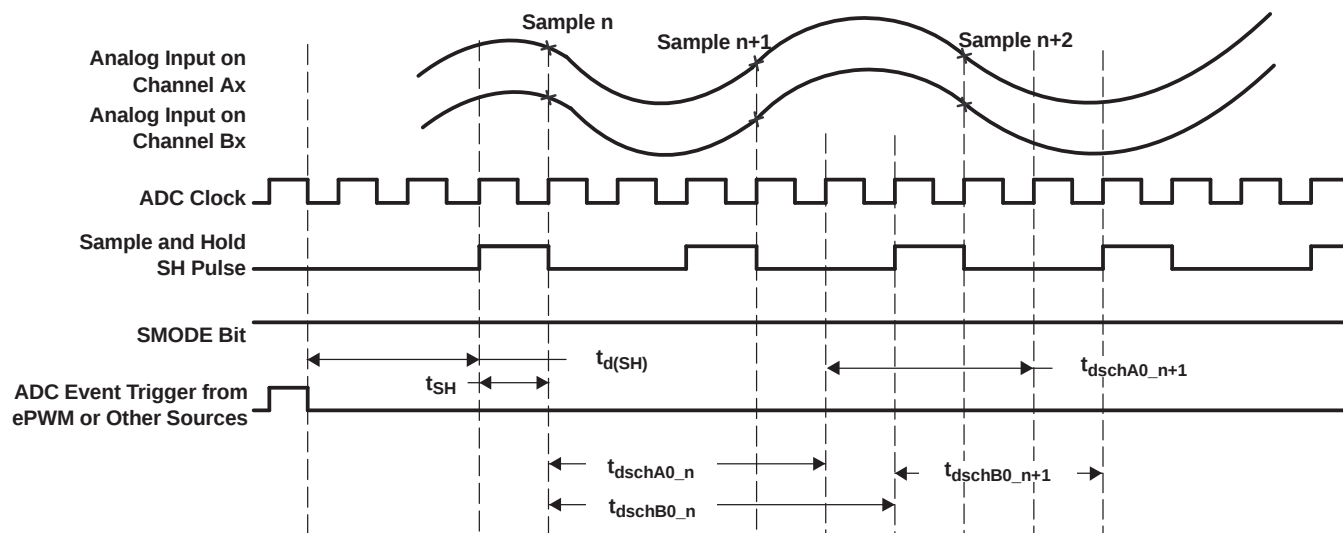


Figure 6-27. 同步采样模式时序

Table 6-42. 同步采样模式时序

		SAMPLE n	SAMPLE n + 1	在 12.5MHz ADC CLOCK 时钟 上, $t_c(\text{ADCCLK}) = 80 \text{ ns}$	注释
$t_d(\text{SH})$	从事件触发到采样的延迟时间	$2.5t_c(\text{ADCCLK})$			
t_{SH}	采样/保持宽度/采集宽度	$(1 + \text{Acqps}) * t_c(\text{ADCCLK})$		Acqps=0 时为 80ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_d(\text{schA0}_n)$	结果寄存器出现第一个结果的延迟时间	$4t_c(\text{ADCCLK})$		320ns	
$t_d(\text{schB0}_n)$	结果寄存器出现第一个结果的延迟时间	$5t_c(\text{ADCCLK})$		400ns	
$t_d(\text{schA0}_{n+1})$	结果寄存器中出现连续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	240ns	
$t_d(\text{schB0}_{n+1})$	结果寄存器中出现连续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	240ns	

6.11 详细说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现一半 **LSB**。满刻度点被定义为超过最后一次代码转换的级别一半 **LSB**。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 **ADC** 显示分开距离恰好为 1 个 **LSB** 的代码转换。**DNL** 是从这个理想值的偏离。一个少于 ± 1 **LSB** 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 **LSB** 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 **LSB** 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比 + 失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 **dc**）的均方根总和的比。**SINAD** 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，**SINAD** 可用位的数量表示。使用下列公式，
$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$
有可能获得一个用 **N**（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 **SINAD** 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无杂散动态范围 (SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

6.12 闪存定时

Table 6-43. 对于A 和S 温度材料的闪存耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	0°C 至 85°C（环境温度）	20000	50000		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	0°C 至 85°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

Table 6-44. 闪存对于 Q 温度材料的耐受度⁽¹⁾

	擦除/编程 温度	最小值	典型值	最大值	单位
N_f 闪存对于阵列的耐受度（写入/擦除周期）	-40°C 至 125°C（环境温度）	20000	50000		周期
N_{OTP} OTP 对于阵列的耐受度（写入周期）	-40°C 至 125°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

Table 6-45. 100MHzSYSCLKOUT 上的闪存参数

参数 ⁽¹⁾		测试条件	最小值	典型值	最大值	单位
编程时间	16 位字			50		μs
	16K 扇区			500		ms
	8K 扇区			250		ms
	4K 扇区			125		ms
擦除时间 ⁽²⁾	16K 扇区			2		s
	8K 扇区			2		s
	4K 扇区			2		s
$I_{DD3VFLP}$	擦除/编程周期期间的 V_{DD3VFL} 流耗	擦除		75		mA
		程序		35		mA
I_{DDP}	擦除/编程周期期间的 V_{DD} 流耗			140		mA
I_{DDIOP}	擦除/编程周期期间的 V_{DDIO} 流耗			20		mA

(1) 室温下的包括函数调用开销在内的典型参数，是在所有外设关闭时的参数。

(2) 当器件从 TI 出货时，片载闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

Table 6-46. 闪存 / OTP 访问时序

参数	最小值	典型值	最大值	单位
$t_{a(fp)}$ 页式闪存访问时间	36			ns
$t_{a(fr)}$ 随机闪存访问时间	36			ns
$t_{a(OTP)}$ OTP 访问时间	60			ns

计算Table 6-47中闪存页等待状态和随机等待状态的等式如下：

$$\text{Flash Page Wait-State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (round up to the next highest integer) or 0, whichever is larger}$$

$$\text{Flash Random Wait-State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (round up to the next highest integer) or 1, whichever is larger}$$

计算Table 6-47中 OTP 等待状态的等式如下：

$$\text{OTP Wait-State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (round up to the next highest integer) or 1, whichever is larger}$$

Table 6-47. 不同频率上所需最小的闪存 / OTP 等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	闪存页等待状态	闪存随机等待状态 ⁽¹⁾	OTP 等待状态
100	10	3	3	5
75	13.33	2	2	4
60	16.67	2	2	3
50	20	1	1	2
30	33.33	1	1	1
25	40	0	1	1
15	66.67	0	1	1
4	250	0	1	1

(1) 随机等待状态必须大于或者等于 1。

6.13 ROM 时序（只适用于 C280x）

Table 6-48. ROM/OTP 访问时序

参数	最小值	典型值	最大值	单位
$t_{a(rp)}$ 页式 ROM 访问时间	19			ns
$t_{a(rr)}$ 随机 ROM 访问时间	19			ns
$t_{a(ROM)}$ ROM (OTP 区域) 访问时间 ⁽¹⁾	60			ns

(1) 在 C280x 器件中，一个 1K x 16 ROM 取代了闪存器件中的 OTP 块。

计算 Table 6-49 中页等待状态和随机等待状态的等式如下：

$$\text{ROM Page Wait-State} = \left\lceil \left(\frac{t_{a(rp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (round up to the next highest integer) or 0, whichever is larger}$$

$$\text{ROM Random Wait-State} = \left\lceil \left(\frac{t_{a(rr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ (round up to the next highest integer) or 1, whichever is larger}$$

Table 6-49. 不同频率上 ROM/ROM (OTP 区域) 所要求的最小等待状态

SYSLCKOUT (MHz)	SYSLCKOUT (ns)	页等待状态	随机等待状态 ⁽¹⁾
100	10	1	1
75	13.33	1	1
50	20	0	1
30	33.33	0	1
25	40	0	1
15	66.67	0	1
4	250	0	1

(1) 随机等待状态必须大于或者等于 1。

7 从 F280x 器件到 C280x 器件的迁移

7.1 迁移事件

在从 F280x 器件向 C280x 器件迁移时，需要考虑的迁移事项如下：

- F280x 器件内的 1K OTP 内存已经被 C280x 器件中的 1K ROM 取代。
- 对于所有四个可能模式，F280x 和 C280x 器件的流耗不同。准确值请见适当的电气部分。
- V_{DD3VFL} 引脚是 F280x 器件中的 3.3V 闪存内核电源引脚，而在 C280x 器件中为一个 V_{DDIO} 引脚。
- F280x 和 C280x 器件为引脚兼容且代码兼容；然而，它们具有不同的电磁干扰 (EMI) / 静电放电 (ESD) 属性。在增加 C280x 器件的产量之前，评估两个器件的硬件设计性能。
- OTP 中地址 0x3D 7BFC 至 0x3D 7BFF 和主 ROM 阵列中的地址 0x3F 7FF0 到 0x3F 7FF5 为 ROM 特定部件信息预留并且不可用于用户应用。
- 针对闪存和 ROM 部件的页面和随机等待状态技术规范是不同的。在闪存向 ROM 部件迁移时，同一个等待状态值必须被用于最佳性能兼容性（例如，在使用软件延迟环路或者精准中断延迟十分关键的应用中）。
- 相比于 F280x 器件，C280x 器件中的模拟输入开关电阻值要小一些。在闪存向 ROM 部件迁移时，应该注意设计模拟输入电路以满足采样网络所要求应用性能。
- 对于闪存和 ROM 部件，PART-ID 寄存器值是不同的。
- 从一个芯片功能性/勘误表的角度来看，修订版本 A ROM 器件是修订版本 C 闪存器件的等效器件。详细信息，请见适用于 280x 器件的勘误表。
- 作为 ROM 代码生成过程的一部分，所有用户应用中未使用的内存单元被自动填充为 0xFFFF。未使用的单元不应被任何其它数据手工填充。

对于适用于 280x 器件的勘误表，请参阅《TMS320F280x, TMS320C280x, 和 TMS320F2801x DSC 芯片勘误表》（文献编号 [SPRZ171](#)）。

8 修订历史记录

这个数据表的修订历史记录强调了使 SPRS230M 器件专用数据表变为 SPRS230N 修订版本所做的技术改变。

范围： 见下表。

位置	添加、删除、和修改
节 1.1	特性： 添加了“字节序：小端序”特性
节 5.2	文档支持： - 增加了 《TMS320F2809, TMS320F2808, TMS320F2806, TMS320F2802, TMS320F2801, TMS320C2802, TMS320C2801, TMS320F28016, TMS320F28015 数字信号处理器数据手册》（文献编号 SPRZ230）。 - 增加了《TMS320F280x, TMS320C280x, 和 TMS320F2801x DSC 芯片勘误表》（文献编号 SPRZ171）。
Section 6.8	电源排序： 将“此外，建议在为器件加电前，加在任何引脚上的电压不应大于一个二极管的压降 (0.7V) 改为“在为器件加电前，加在任一数字引脚上的电压不能大于一个高于 VDDIO 的二极管压降 (0.7V)（对于模拟引脚，此电压为比 VDDA 高 0.7 V）。而且，VDDIO 和 VDDA 应该一直在 0.3V 之内”
Table 6-28	增强型正交编码器脉冲 (eQEP) 时序要求： 增加了异步模式下与限制有关的脚注
Table 6-45	100MHz SYSCLKOUT 上的闪存参数： 增加了的有关当器件被运出时闪存存储器处于被擦除状态的脚注。

9 机械数据

Table 9-1到Table 9-6显示了热性能数据。

表格之后的机械封装图反映了最新发布的用于指定器件的机械数据。

Table 9-1. F280x 热性能模型 100 引脚 GGM 结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	30.58	29.31	28.09	26.62
Ψ_{JT} [°C/W]	0.4184	0.32	0.3725	0.4887
θ_{JC}	12.08			
θ_{JB}	16.46			

Table 9-2. F280x 热性能模型 100 引脚 PZ 结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	48.16	40.06	37.96	35.17
Ψ_{JT} [°C/W]	0.3425	0.85	1.0575	1.410
θ_{JC}	12.89			
θ_{JB}	29.58			

Table 9-3. C280x 热性能模型 100 引脚 GGM 结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	36.33	35.01	33.81	32.31
Ψ_{JT} [°C/W]	0.57	0.43	0.52	0.67
θ_{JC}	14.18			
θ_{JB}	21.36			

Table 9-4. C280x 热性能模型 100 引脚 PZ 结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	69.81	60.34	57.46	53.63
Ψ_{JT} [°C/W]	0.42	1.23	1.54	2.11
θ_{JC}	13.52			
θ_{JB}	54.78			

Table 9-5. F2809 热性能模型 100 引脚 GGM 结果

空气流量				
参数	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	28.15	26.89	25.68	24.22
Ψ_{JT} [°C/W]	0.38	0.35	0.33	0.44
θ_{JC}	10.36			
θ_{JB}	13.3			

Table 9-6. F2809 热性能模型 100 引脚 PZ 结果

参数	空气流量			
	0lfm	150lfm	250lfm	500lfm
θ_{JA} [°C/W] 高 k PCB	44.02	28.34	36.28	33.68
Ψ_{JT} [°C/W]	0.2	0.56	0.7	0.95
θ_{JC}	7.06			
θ_{JB}	28.76			

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320C2801PZA	NRND	LQFP	PZ	100		TBD	Call TI	Call TI			
TMS320C2802PZA	NRND	LQFP	PZ	100		TBD	Call TI	Call TI			
TMS320F28015PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F28015PZA TMS	Samples
TMS320F28015PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F28015PZQ TMS	Samples
TMS320F28015PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F28015PZS TMS	Samples
TMS320F28015PZSR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F28015PZS TMS	Samples
TMS320F28015ZGMA	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F28015ZGMA TMS320	Samples
TMS320F28016PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F28016PZA TMS	Samples
TMS320F28016PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F28016PZQ TMS	Samples
TMS320F28016PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F28016PZS TMS	Samples
TMS320F2801PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2801PZA TMS	Samples
TMS320F2801PZA-60	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2801PZA-60 TMS	Samples
TMS320F2801PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2801PZQ TMS	Samples
TMS320F2801PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2801PZS TMS	Samples
TMS320F2801PZS-60	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2801PZS-60 TMS	Samples
TMS320F2801ZGMA	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F2801ZGMA TMS320	Samples
TMS320F2802PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2802PZA TMS	Samples
TMS320F2802PZA-60	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2802PZA-60 TMS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F2802PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2802PZQ TMS	Samples
TMS320F2802PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2802PZS TMS	Samples
TMS320F2802PZS-60	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2802PZS-60 TMS	Samples
TMS320F2802ZGMA	NRND	BGA MICROSTAR	ZGM	100	168	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F2802ZGMA TMS320	
TMS320F2802ZGMS	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 125	F2802ZGMS TMS320	Samples
TMS320F2806PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2806PZA TMS	Samples
TMS320F2806PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2806PZQ TMS	Samples
TMS320F2806PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2806PZS TMS	Samples
TMS320F2806ZGMA	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F2806ZGMA TMS320	Samples
TMS320F2806ZGMS	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 125	F2806ZGMS TMS320	Samples
TMS320F2808GGMA	ACTIVE	BGA MICROSTAR	GGM	100	184	TBD	SNPB	Level-3-220C-168 HR	-40 to 85	F2808GGMA TMS320	Samples
TMS320F2808GGMS	ACTIVE	BGA MICROSTAR	GGM	100	184	TBD	SNPB	Level-3-220C-168 HR	-40 to 125	F2808GGMS TMS320	Samples
TMS320F2808PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2808PZA TMS	Samples
TMS320F2808PZAR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2808PZA TMS	Samples
TMS320F2808PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2808PZQ TMS	Samples
TMS320F2808PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2808PZS TMS	Samples
TMS320F2808ZGMA	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F2808ZGMA TMS320	Samples
TMS320F2808ZGMS	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 125	F2808ZGMS TMS320	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F2809GGMA	ACTIVE	BGA MICROSTAR	GGM	100	184	TBD	SNPB	Level-3-220C-168 HR	-40 to 85	F2809GGMA TMS320	Samples
TMS320F2809GGMS	ACTIVE	BGA MICROSTAR	GGM	100	184	TBD	SNPB	Level-3-220C-168 HR	-40 to 125	F2809GGMS TMS320	Samples
TMS320F2809PZA	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	320F2809PZA TMS	Samples
TMS320F2809PZQ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2809PZQ TMS	Samples
TMS320F2809PZS	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	320F2809PZS TMS	Samples
TMS320F2809ZGMA	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 85	F2809ZGMA TMS320	Samples
TMS320F2809ZGMS	ACTIVE	BGA MICROSTAR	ZGM	100	184	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	-40 to 125	F2809ZGMS TMS320	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

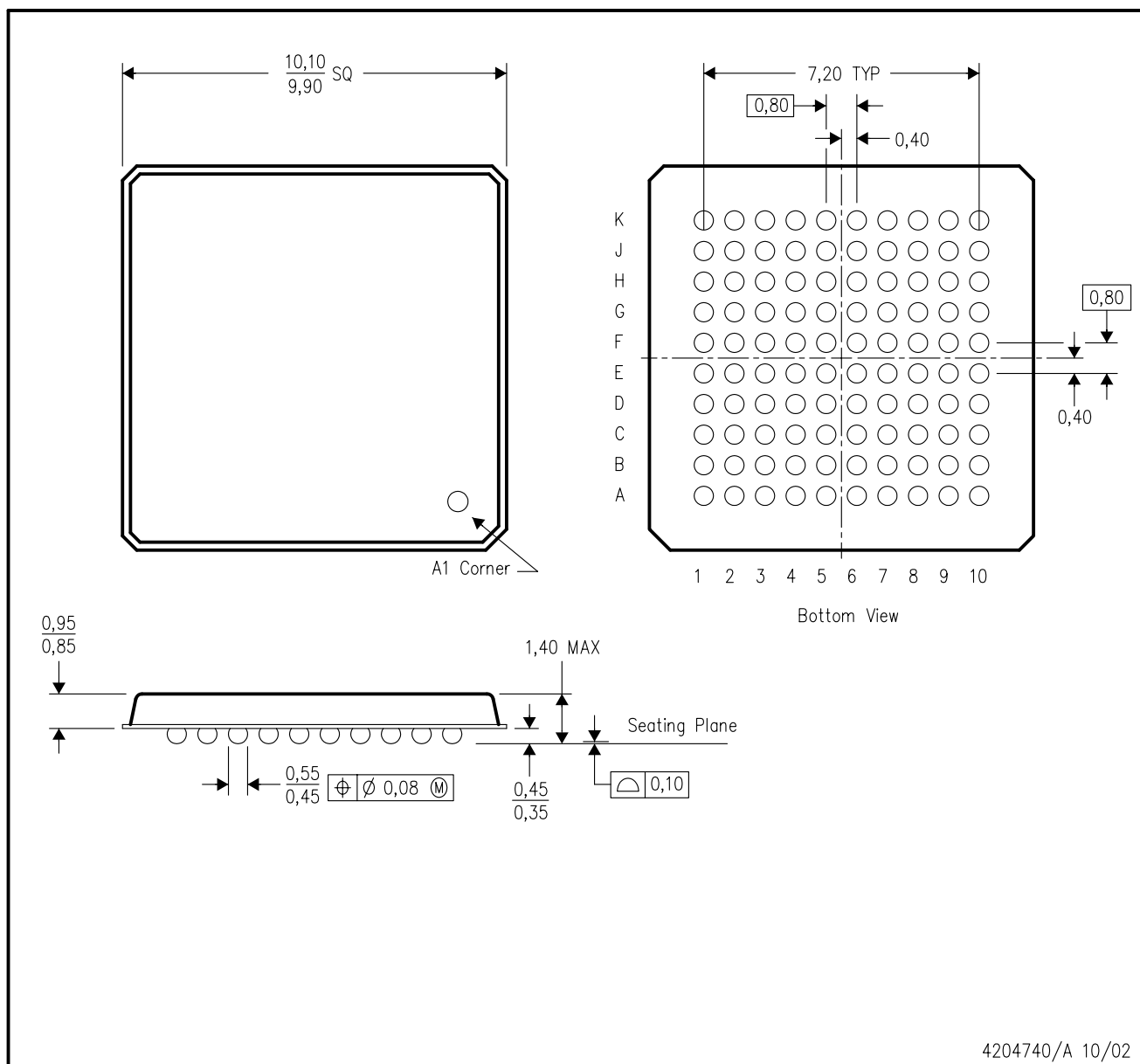
⁽⁶⁾ Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

ZGM (S-PBGA-N100)

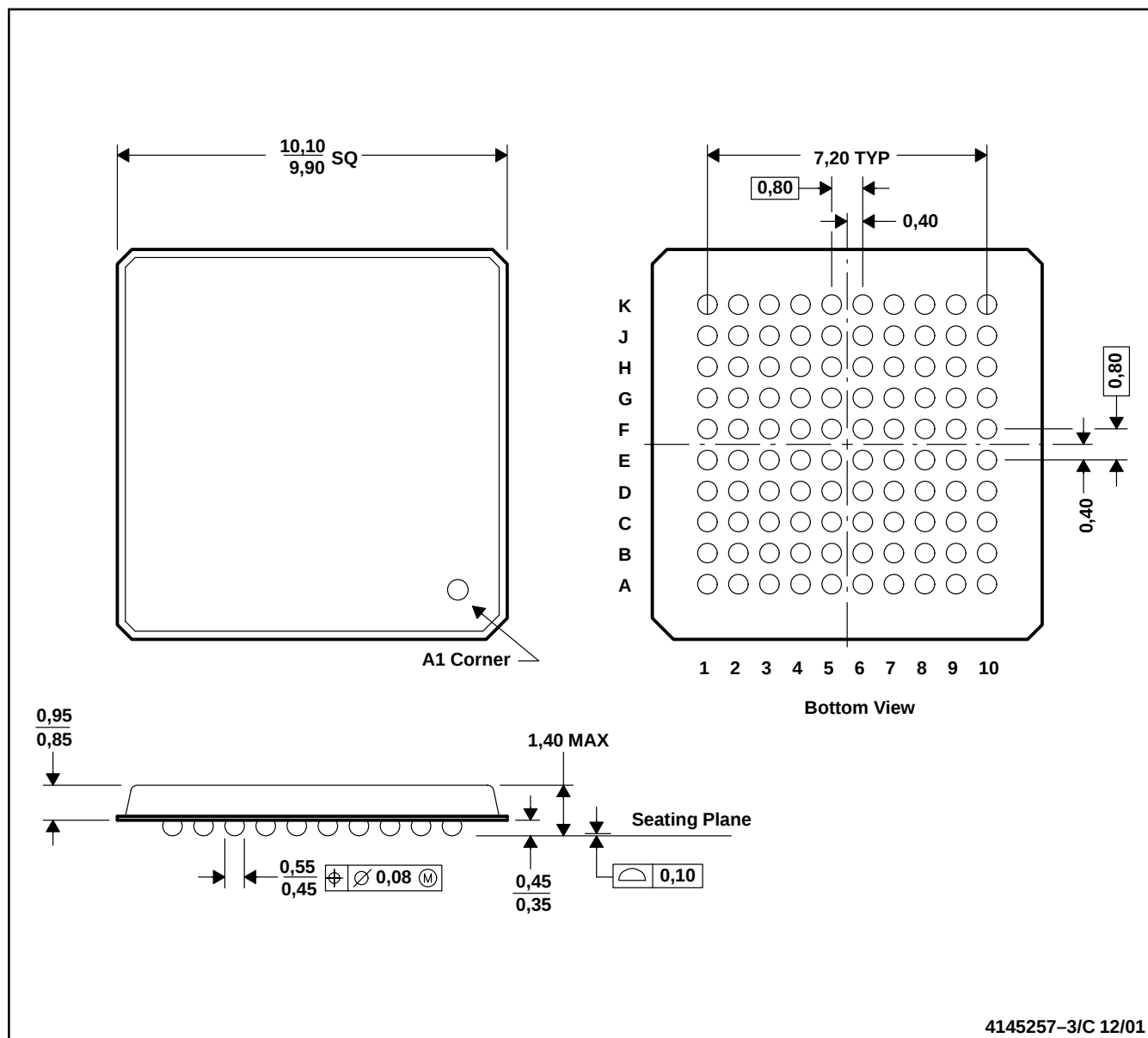
PLASTIC BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. MicroStar BGA™ configuration.
 - D. This package is lead-free.

GGM (S-PBGA-N100)

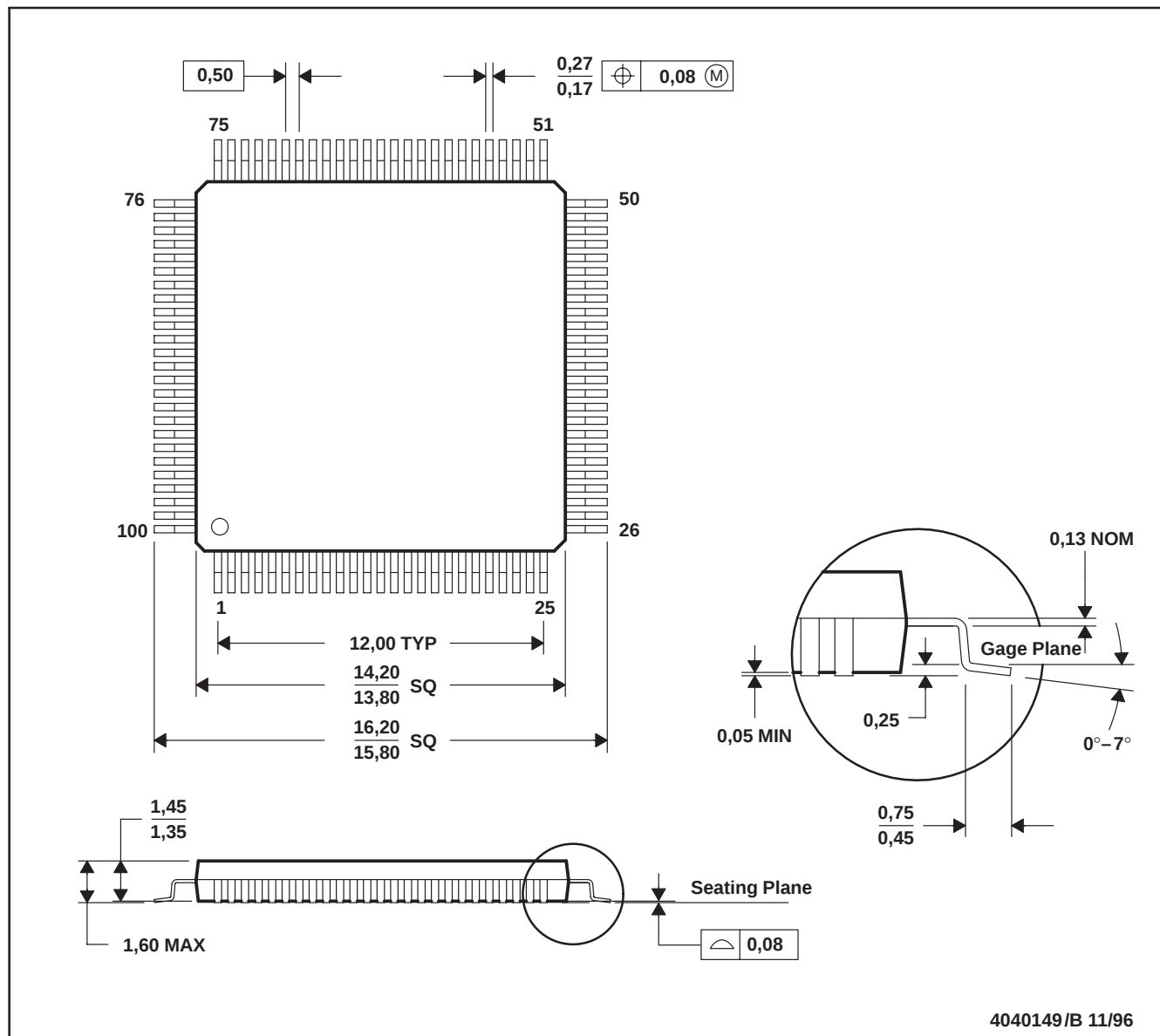
PLASTIC BALL GRID ARRAY



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. MicroStar BGA configuration.

PZ (S-PQFP-G100)

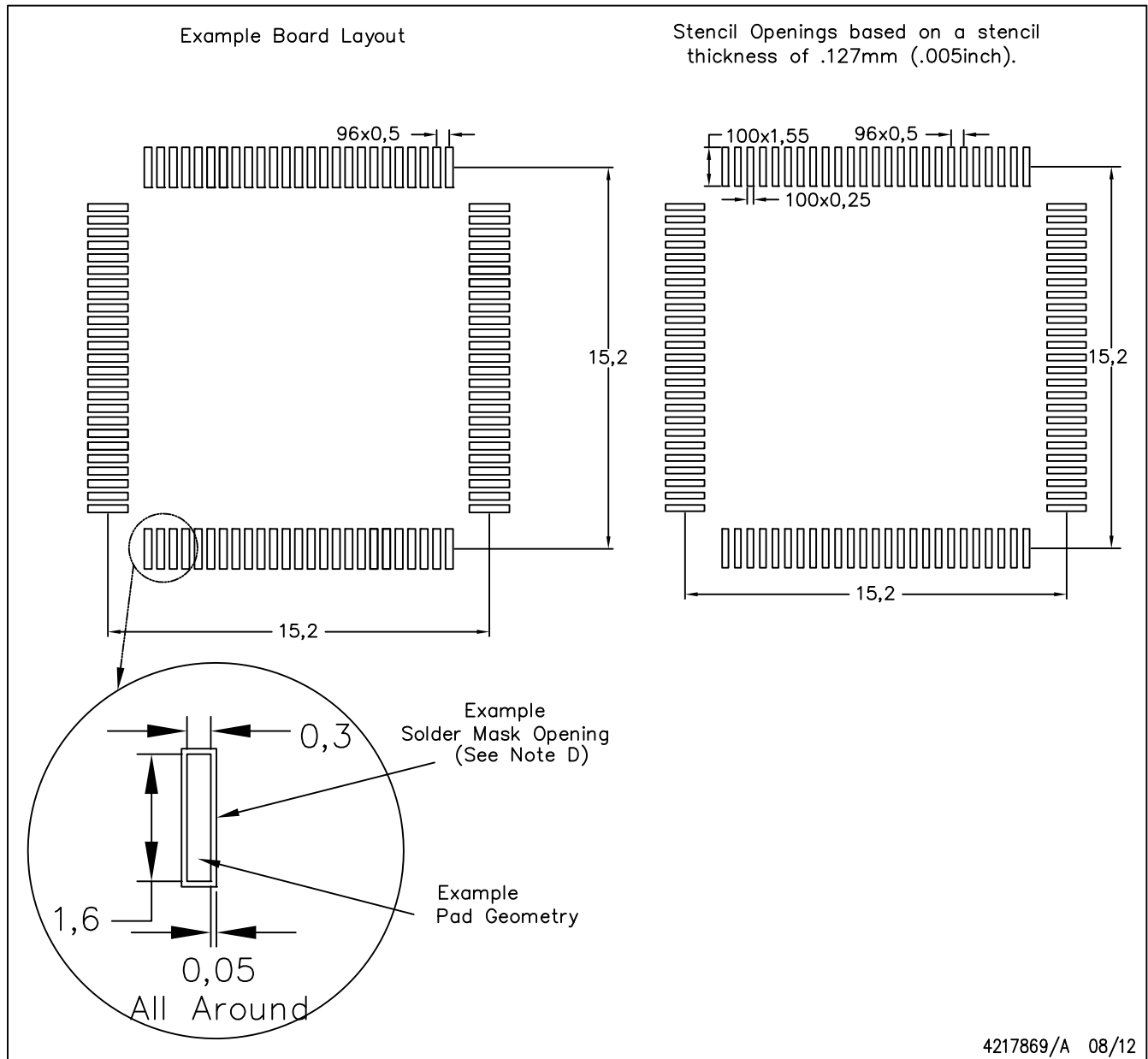
PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

PZ (S-PQFP-G100)

PLASTIC QUAD FLAT PACK



NOTES:

- All linear dimensions are in millimeters.
- This drawing is subject to change without notice.
- Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
- Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司