LM6132/LM6134 双通道和四通道低功耗 10MHz 轨至轨 I/O 运算放大器

1 特性

- （除非另有说明，否则典型情况下采用 5V 电源）
- 轨至轨输入 CMVR：−0.25V 至 5.25V
- 轨至轨输出摆幅：0.01V 至 4.99V
- 高增益带宽：10MHz（20kHz 时）
- 压摆率：12V/μs
- 低电源电流：360μA/放大器
- 宽电源电压范围：2.7V 至 24V 以上
- CMRR：100dB
- R_L = 10k 时的增益为 100dB
- PSRR：82dB

2 应用

- 电池供电型仪表
- 仪表放大器
- 便携式扫描仪
- 无线通信
- 平板显示器驱动器

3 说明

LM6132/34 在原本因低电压电源或功率限制而导致必须作出妥协的 应用 中提供了新的速度与功率性能等级。此器件的电源电流仅为 360μA/放大器，其 10MHz 的增益带宽可支持新型便携式 应用 ：在此类应用中，功耗较高的器件会大幅缩短电池使用寿命，而这是不可接受的。

即使实际电压比两个电源轨都要高，仍可以驱动 LM6132/34，因此您不必担心超出共模电压输入范围。轨至轨输出摆幅功能可提供尽可能最大的输出动态范围。在低电源电压下运行时，这一点尤为重要。LM6132/34 还可以驱动较大的容性负载而不会出现振荡。

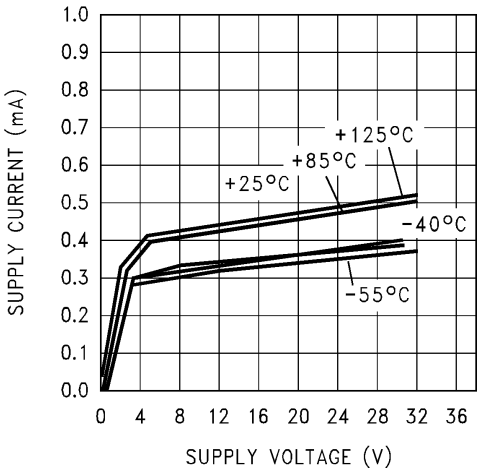
LM6132/34 采用 2.7V 至 24V 以上的电源供电，非常适合用于从带宽要求很高的电池供电型系统到高速仪表的各种 应用。

器件信息(1)

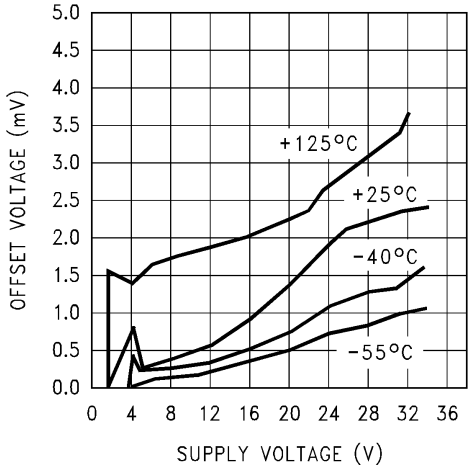
器件型号	封装	封装尺寸（标称值）
LM6132	SOIC (8)	4.90mm x 3.91mm
LM6132	PDIP (8)	9.81mm x 6.35mm
LM6134	SOIC (14)	8.65mm x 3.91mm
LM6134	PDIP (14)	19.177mm x 6.35mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

电源电流与电源电压间的关系



失调电压与电源电压间的关系



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 最大绝对额定值 ... 4
6.2 处理额定值 ... 4
6.3 建议的运行条件(1) ... 4
6.4 热性能信息，8 引脚 ... 4
6.5 热性能信息，14 引脚 ... 4
6.6 5.0V 直流电气特性 ... 5
6.7 5.0V 交流电气特性 ... 6
6.8 2.7V 直流电气特性 ... 6
6.9 2.7V 交流电气特性 ... 6
6.10 24V 直流电气特性 ... 7
6.11 24V 交流电气特性 ... 7
6.12 典型性能特性 ... 8
7 应用和实现 ... 13
7.1 应用信息 ... 13
7.2 增强的压摆率 ... 13
7.3 典型 应用 ... 17
8 器件和文档支持 ... 18
8.1 相关链接 ... 18
8.2 商标 ... 18
8.3 静电放电警告 ... 18
8.4 术语表 ... 18
9 机械、封装和可订购信息 ... 18

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision D (February 2013) to Revision E **Page**

- 已更改 将“结温范围”更改为“工作温度范围”并删除“T_J”。 ... 4
- 已删除 “电气特性”表的 T_J = 25°C。 ... 5

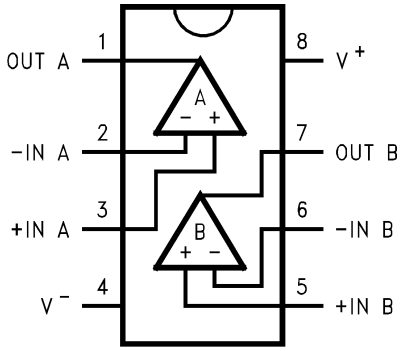
Changes from Revision C (February 2013) to Revision D **Page**

- 已更改 将美国国家半导体数据表的布局更改成了 TI 格式 ... 17

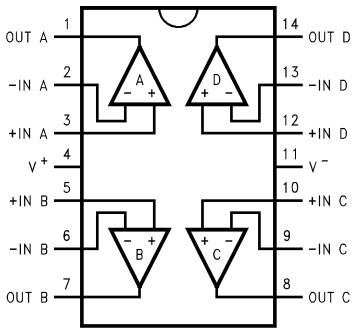
版权 © 2000–2014, Texas Instruments Incorporated

5 引脚配置和功能

D 和 P 封装
8 引脚 SOIC/PDIP
俯视图



D 和 NFF 封装
14 引脚 SOIC/PDIP
俯视图



SOT-23 的

引脚			I/O	说明
名称	LM6132	LM6134		
	D/P	D/NFF0014 A		
-IN A	2	2	I	通道 A 反相输入
+IN A	3	3	I	通道 A 同相输入
-IN B	6	6	I	通道 B 反相输入
+IN B	5	5	I	通道 B 同相输入
-IN C		9	I	通道 C 反相输入
+IN C		10	I	通道 C 同相输入
-IN D		13	I	通道 D 反相输入
+IN D		12	I	通道 D 同相输入
OUT A	1	1	O	通道 A 输出
OUT B	7	7	O	通道 B 输出
OUT C		8	O	通道 C 输出
OUT D		14	O	通道 D 输出
V^-	4	11	I	负电源
V^+	8	4	I	正电源

版权 © 2000–2014, Texas Instruments Incorporated

6 规格

6.1 最大绝对额定值(1)(2)

在自然通风温度范围内测得（除非另有说明）

	最小值	最大值	单位
差分输入电压		±15	V
输入/输出引脚电压		$(V^+)+0.3$ $(V^-)-0.3$	V
电源电压 (V^+–V^-)		35	V
输入引脚电流		±10	mA
输出引脚电流(3)		±25	mA
电源引脚处的电流		50	mA
铅温（焊接，10 秒）		260	°C
结温(4)		150	°C

(1) 绝对最大额定值表示限值，超过这些限值可能对器件造成损坏。运行额定值表示旨在让器件正常工作但无法保证特定性能的条件。有关各种保证规格和测试条件，请参阅“电气特性”。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
(3) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。
(4) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(MAX)} - T_A)/R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

6.2 处理额定值

			最小值	最大值	单位
T_{stg}	贮存温度范围		−65	+150	°C
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)		2500	V

(1) 人体放电模型，1.5kΩ 与 100pF 串联。JEDEC 文档 JEP155 指出：2500V HBM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议的运行条件(1)

在自然通风温度范围内运行（除非另有说明）

	最小值	最大值	单位
电源电压		$1.8 \le V^+ \le 24$	V
工作温度范围：LM6132、LM6134	−40	+85	°C

(1) 绝对最大额定值表示限值，超过这些限值可能对器件造成损坏。运行额定值表示旨在让器件正常工作但无法保证特定性能的条件。有关各种保证规格和测试条件，请参阅“电气特性”。

6.4 热性能信息，8 引脚

热指标(1)		D (SOIC)	P (PDIP)	单位
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	193	115	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告 （文献号：SPRA953）。

6.5 热性能信息，14 引脚

热指标(1)		D (SOIC)	NFF (PDIP)	单位
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	126	81	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告 （文献号：SPRA953）。

版权 © 2000–2014, Texas Instruments Incorporated

6.6 5.0V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 5.0V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。**粗体**限值适用于极端温度

参数		测试条件	典型值 (1)	LM6134AI LM6132AI 限值 (2)	LM6134BI LM6132BI 限值 (2)	单位
V_{OS}	输入失调电压		0.25	2 **4**	6 **8**	mV 最大值
TCV_{OS}	输入失调电压平均漂移		**5**			µV/C
I_B	输入偏置电流	0V ≤ V_{CM} ≤ 5V	110	140 **300**	180 **350**	nA 最大值
I_{OS}	输入失调电流		3.4	30 **50**	30 **50**	nA 最大值
R_{IN}	输入电阻，CM		104			MΩ
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 4V	100	75 **70**	75 **70**	dB 最小值
		0V ≤ V_{CM} ≤ 5V	80	60 **55**	60 **55**	
PSRR	电源抑制比	±2.5V ≤ V^+ ≤ ±12V	82	78 **75**	78 **75**	dB 最小值
V_{CM}	输入共模电压范围		−0.25 5.25	**0** **5.0**	**0** **5.0**	V
A_V	大信号电压增益	R_L = 10k	100	25 **8**	15 **6**	V/mV 最小值
V_O	输出摆幅	100k 负载	4.992	4.98 **4.93**	4.98 **4.93**	V 最小值
			0.007	0.017 **0.019**	0.017 **0.019**	V 最大值
		10k 负载	4.952	4.94 **4.85**	4.94 **4.85**	V 最小值
			0.032	0.07 **0.09**	0.07 **0.09**	V 最大值
		5k 负载	4.923	4.90 **4.85**	4.90 **4.85**	V 最小值
			0.051	0.095 **0.12**	0.095 **0.12**	V 最大值
I_{SC}	输出短路电流 LM6132	拉电流	4	2 **2**	2 **1**	mA 最小值
		灌电流	3.5	1.8 **1.8**	1.8 **1**	mA 最小值
I_{SC}	输出短路电流 LM6134	拉电流	3	2 **1.6**	2 **1**	mA 最小值
		灌电流	3.5	1.8 **1.3**	1.8 **1**	mA 最小值
I_S	电源电流	每个放大器	360	400 **450**	400 **450**	µA 最大值

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

版权 © 2000–2014, Texas Instruments Incorporated

6.7 5.0V 交流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 5.0V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。**粗体**限值适用于极端温度

参数		测试条件	典型值 (1)	LM6134AI LM6132AI 限值 (2)	LM6134BI LM6132BI 限值 (2)	单位
SR	压摆率	±4V @ V_S = ±6V R_S < 1kΩ	14	8 **7**	8 **7**	V/μs 最小值
GBW	增益带宽积	f = 20kHz	10	7.4 **7**	7.4 **7**	MHz 最小值
θm	相位裕度	R_L = 10k	33			度
G_m	增益裕量	R_L = 10k	10			dB
e_n	输入基准电压噪声	f = 1kHz	27			nV/√Hz
i_n	输入基准电流噪声	f = 1kHz	0.18			pA/√Hz

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

6.8 2.7V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 2.7V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。**粗体**限值适用于极端温度

参数		测试条件	典型值 (1)	LM6134AI LM6132AI 限值 (2)	LM6134BI LM6132BI 限值 (2)	单位
V_{OS}	输入失调电压		0.12	2 **8**	6 **12**	mV 最大值
I_B	输入偏置电流	0V ≤ V_{CM} ≤ 2.7V	90			nA
I_{OS}	输入失调电流		2.8			nA
R_{IN}	输入电阻		134			MΩ
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 2.7V	82			dB
PSRR	电源抑制比	±1.35V ≤ V^+ ≤ ±12V	80			dB
V_{CM}	输入共模电压范围			2.7 0	2.7 0	V
A_V	大信号电压增益	R_L = 10k	100			V/mV
V_O	输出摆幅	R_L = 100k	0.03	0.08 **0.112**	0.08 **0.112**	V 最大值
			2.66	2.65 **2.25**	2.65 **2.25**	V 最小值
I_S	电源电流	每个放大器	330			μA

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

6.9 2.7V 交流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 2.7V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。

参数		测试条件	典型值 (1)	LM6134AI LM6132AI 限值 (2)	LM6134BI LM6132BI 限值 (2)	单位
GBW	增益带宽积	R_L = 10k，f = 20kHz	7			MHz
θ_m	相位裕度	R_L = 10k	23			度
G_m	增益裕量		12			dB

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

版权 © 2000–2014, Texas Instruments Incorporated

6.10 24V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 24V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。**粗体**限值适用于极端温度

参数		测试条件	典型值(1)	LM6134AI LM6132AI 限值(2)	LM6134BI LM6132BI 限值(2)	单位
V_{OS}	输入失调电压		1.7	3 **5**	7 **9**	mV 最大值
I_B	输入偏置电流	0V ≤ V_{CM} ≤ 24V	125			nA
I_{OS}	输入失调电流		4.8			nA
R_{IN}	输入电阻		210			MΩ
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 24V	80			dB
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 24V	82			dB
V_{CM}	输入共模电压范围		−0.25 24.25	0 24	0 24	V 最小值 V 最大值
A_V	大信号电压增益	R_L = 10k	102			V/mV
V_O	输出摆幅	R_L = 10k	0.075 23.86	0.15 23.8	0.15 23.8	V 最大值 V 最小值
I_S	电源电流	每个放大器	390	450 **490**	450 **490**	μA 最大值

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

6.11 24V 交流电气特性

除非另有说明，否则所有限值均基于以下条件：V^+ = 24V，V^- = 0V，$V_{CM} = V_O = V^+/2$，且 R_L > 1MΩ（连接至 $V^+/2$）。

参数		测试条件	典型值(1)	LM6134AI LM6132AI 限值(2)	LM6134BI LM6132BI 限值(2)	单位
GBW	增益带宽积	R_L = 10k，f = 20kHz	11			MHz
θ_m	相位裕度	R_L = 10k	23			度
G_m	增益裕量	R_L = 10k	12			dB
THD + N	总谐波失真和噪声	A_V = +1，V_O = 20V_{P-P} f = 10kHz	0.0015%			

(1) 典型值表示最可能的参数标准。
(2) 所有限值均根据测试或统计分析确定。

版权 © 2000–2014, Texas Instruments Incorporated

6.12 典型性能特性

T_A = 25°C，R_L = 10kΩ（除非另有说明）

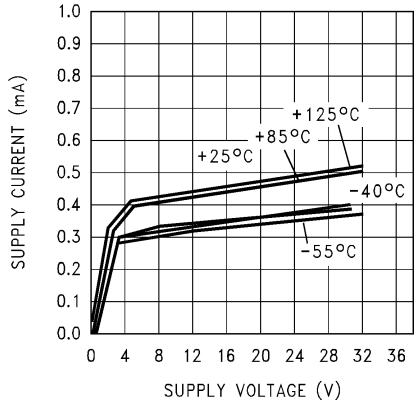


图 **1.** 电源电流与电源电压间的关系

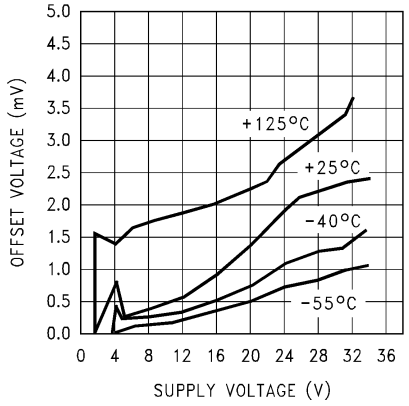


图 **2.** 失调电压与电源电压间的关系

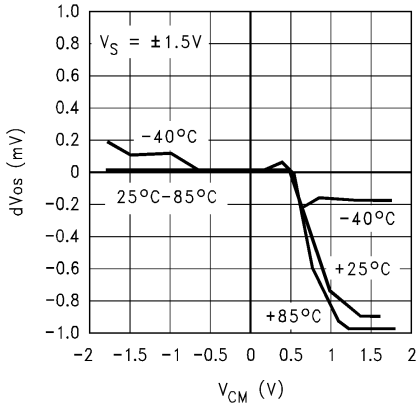


图 **3. dV_{OS} 与V_{CM}** 间的关系

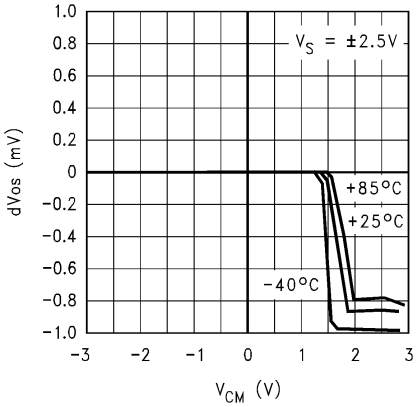


图 **4. dV_{OS} 与V_{CM}** 间的关系

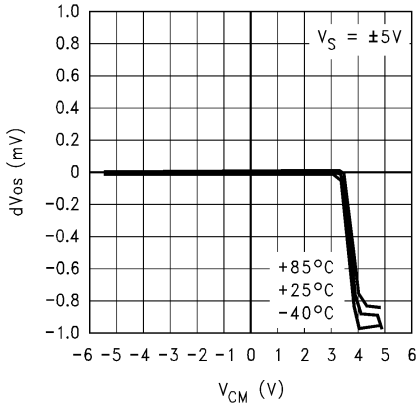


图 **5. dV_{OS} 与V_{CM}** 间的关系

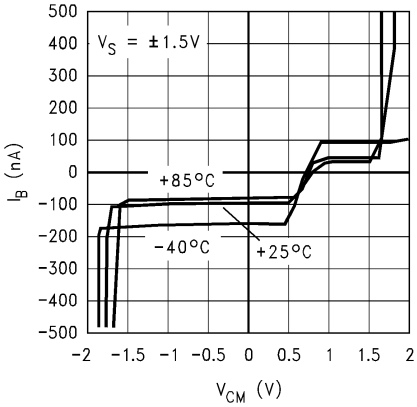


图 **6. I_{BIAS} 与V_{CM}** 间的关系

版权 © 2000–2014, Texas Instruments Incorporated

典型性能特性 (接下页)

T_A = 25°C，R_L = 10kΩ（除非另有说明）

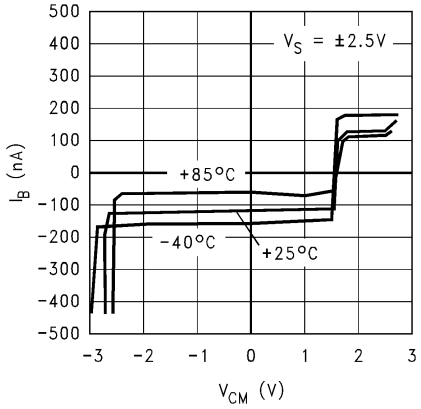


图 **7.** I_{BIAS} 与V_{CM} 间的关系

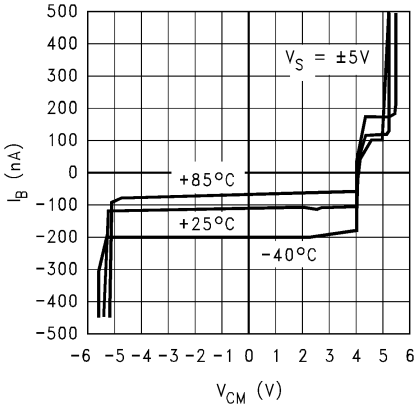


图 **8.** I_{BIAS} 与V_{CM} 间的关系

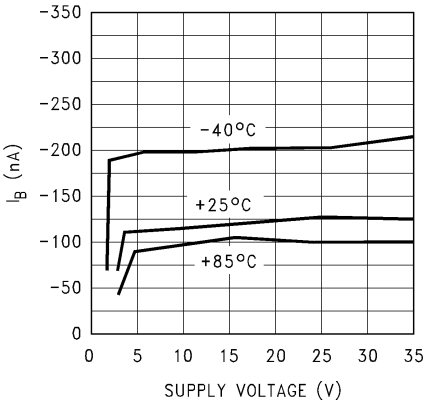


图 **9.** 输入偏置电流与电源电压间的关系

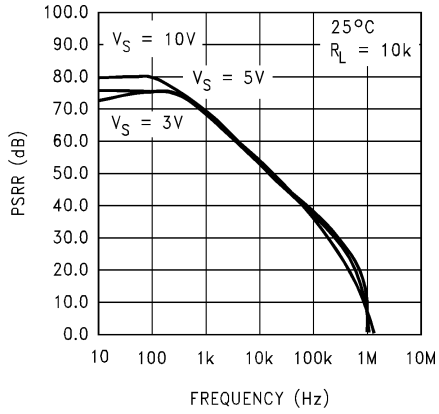


图 **10.** 负 **PSRR** 与频率间的关系

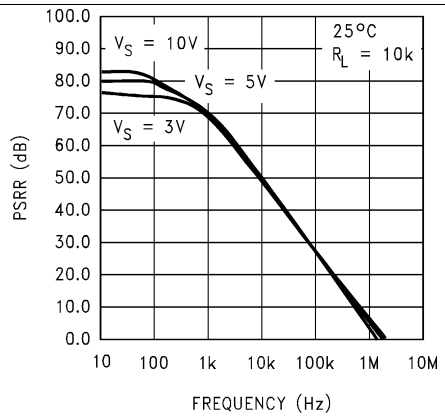


图 **11.** 正 **PSSR** 与频率间的关系

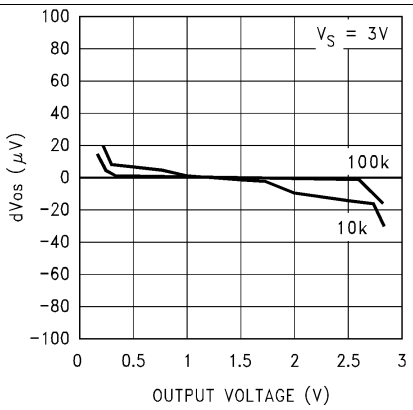


图 **12.** dV_{OS} 与输出电压间的关系

典型性能特性 (接下页)

T_A = 25°C，R_L = 10kΩ（除非另有说明）

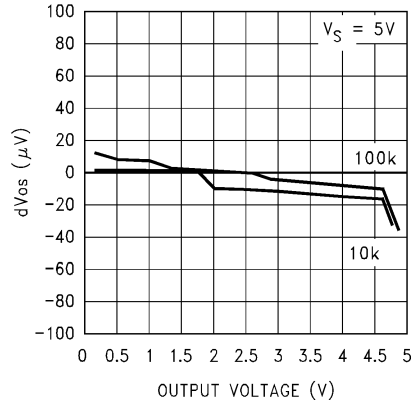


图 **13.** dV_{OS} 与输出电压间的关系

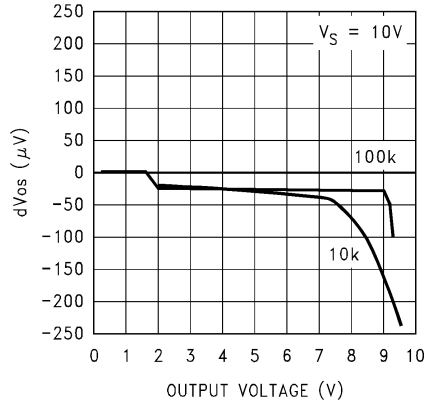


图 **14.** dV_{OS} 与输出电压间的关系

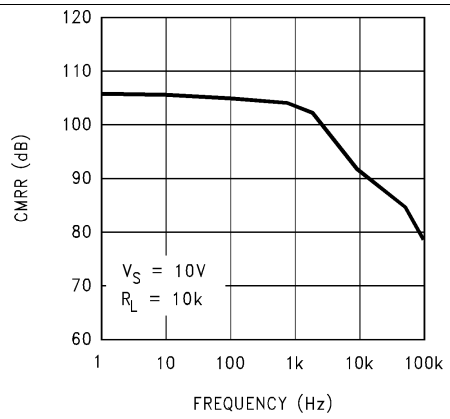


图 **15. CMRR** 与频率间的关系

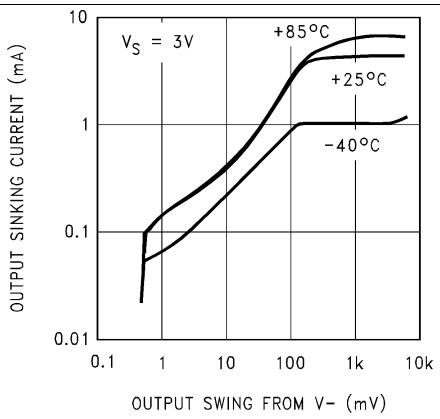


图 **16.** 输出电压与灌电流间的关系

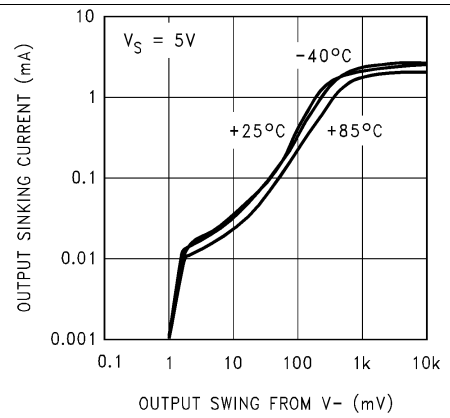


图 **17.** 输出电压与灌电流间的关系

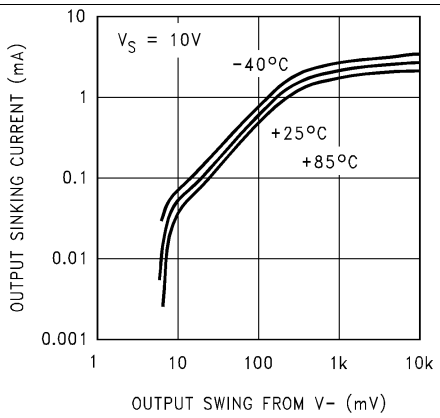


图 **18.** 输出电压与灌电流间的关系

版权 © 2000–2014, Texas Instruments Incorporated

典型性能特性 (接下页)

T_A = 25°C，R_L = 10kΩ（除非另有说明）

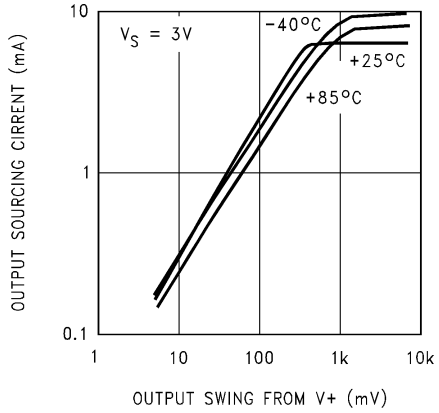


图 **19.** 输出电压与拉电流间的关系

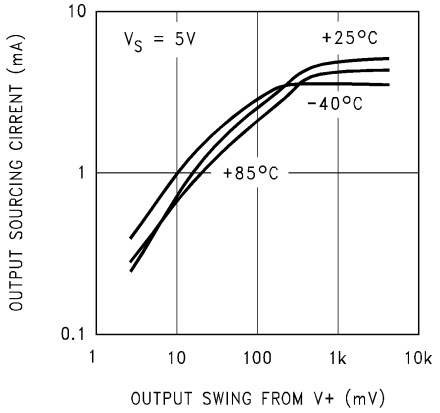


图 **20.** 输出电压与拉电流间的关系

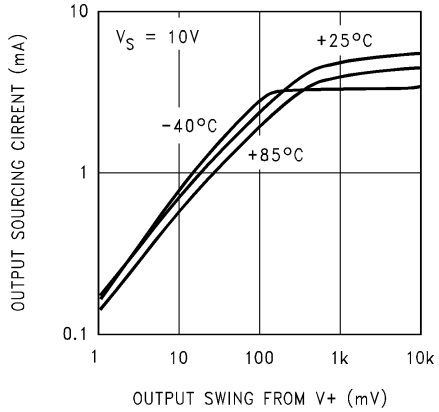


图 **21.** 输出电压与拉电流间的关系

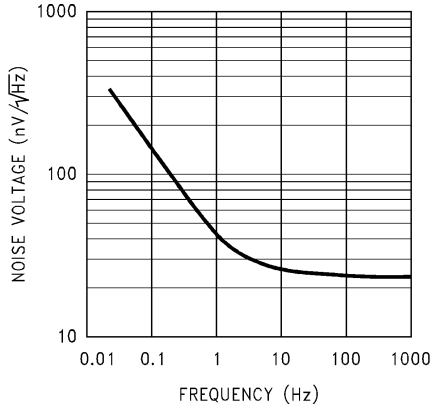


图 **22.** 噪声电压与频率间的关系

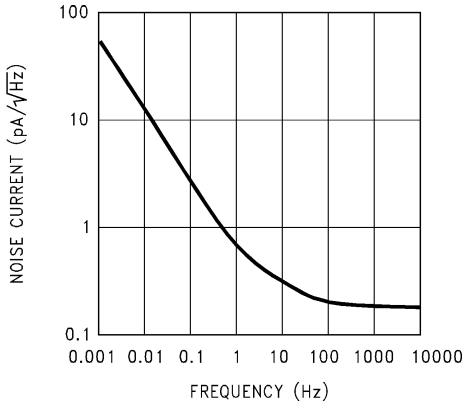


图 **23.** 噪声电流与频率间的关系

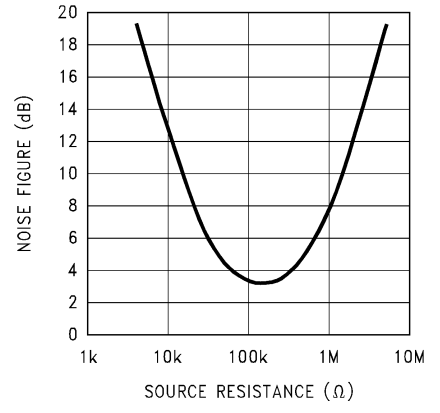


图 **24. NF** 与源电阻间的关系

典型性能特性 (接下页)

T_A = 25°C，R_L = 10kΩ（除非另有说明）

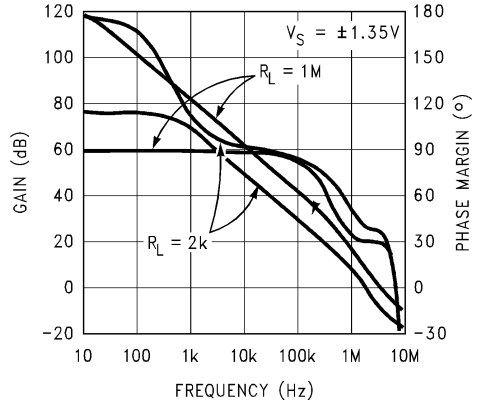


图 **25.** 增益和相位与频率间的关系

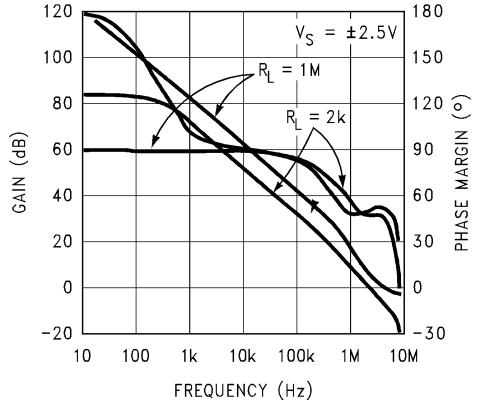


图 **26.** 增益和相位与频率间的关系

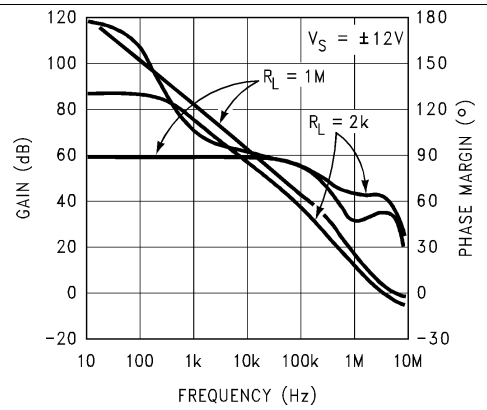


图 **27.** 增益和相位与频率间的关系

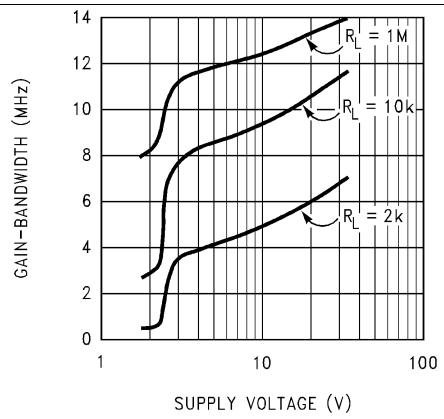


图 **28. GBW** 与电源电压间的关系（**20kHz** 时）

版权 © 2000–2014, Texas Instruments Incorporated

7 应用和实现

7.1 应用信息

LM6132 为运算放大器系统设计带来了更高的易用性。较大的轨至轨输入电压消除了对于超过共模电压范围的担忧。

轨至轨输出摆幅可提供尽可能最大的输出动态范围。在低电源电压下运行时，这一点尤为重要。

高增益带宽以及低电源电流使该器件可支持新型电池供电类 应用：以前在此类应用中，高功耗会将电池使用寿命缩短至不可接受的水平。

为了充分利用这些 特性，应牢记随后部分介绍的一些概念。

7.2 增强的压摆率

与大多数双极性运算放大器不同，该器件在输入级具有独特的相位反转预防/加速电路，可消除相位反转问题，并使压摆率成为输入信号幅度的函数。

图 30 显示了如何将输入集电极-基极结点周围过量的输入信号直接疏导至电流镜。

LM6132/34 输入级会将输入电压变化转换为电流变化。当输入电平处于正常状态时，此电流变化会驱动电流镜通过 Q1–Q2 和 Q3–Q4 的集电极。

如果输入信号超过输入级的压摆率，并且差分输入电压上升到超过二极管压降，则过量的信号会绕过正常输入晶体管 (Q1–Q4)，并以正确的相位通过两个附加晶体管（Q5、Q6）直接疏导至电流镜。

重新疏导过量信号可使压摆率提高 1 到 10 倍甚至更多。（请参阅图 29）。

随着过驱的增加，此运算放大器的反应优于传统的运算放大器。大型快速脉冲会将压摆率提高到 25V-30V/μs 左右。

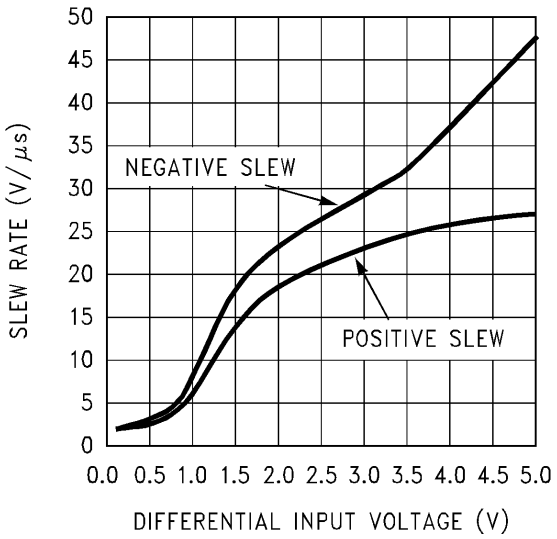


图 29. 压摆率与差分 V_{IN} 间的关系
V_S = ±12V

在较高的电源电压和较低的增益下，输入信号可能很大，此时这种效果最明显。

这种加速动作在驱动大型容性负载时可增加系统的稳定性。

增强的压摆率 (接下页)

7.2.1 驱动容性负载

容性负载会降低所有运算放大器的相位裕度。导致此问题的原因是放大器的输出电阻和负载电容形成的 R-C 相位滞后网络。这可能导致过冲、振铃和振荡。压摆率限制也会导致额外的滞后。大多数具有固定最大压摆率的运算放大器在驱动容性负载时，即使差分输入电压升高，也会使滞后不断增加。使用 LM6132 时，该滞后会引起压摆率升高。压摆率的增加会使输入之后的输出保持得更好。这可以有效减少相位滞后。当输出跟上输入后，差分输入电压会下降，而放大器迅速趋稳。

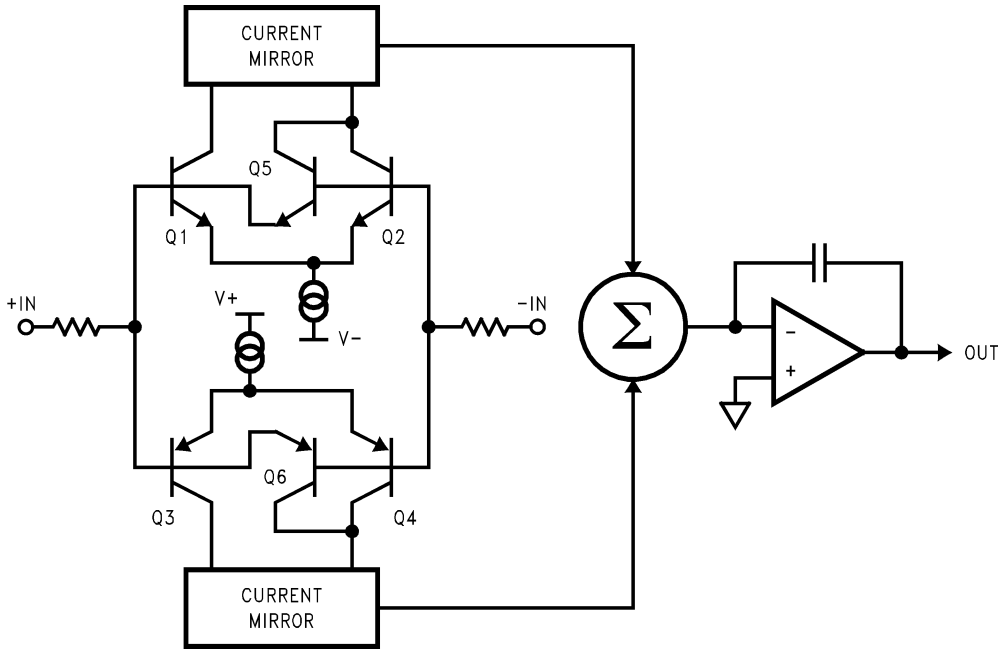


图 **30.** 内部框图

版权 © 2000–2014, Texas Instruments Incorporated

增强的压摆率 (接下页)

这些 特性 让 LM6132 能够在单位增益下驱动高达 500pF 的容性负载而不出现振荡。示波器图（图 31 和图 32）显示了驱动 500pF 负载的 LM6132。在图 31 中，下面一条迹线反映的是没有容性负载的情况，而上面一条迹线反映的是负载为 500pF 的情况。这里使用的是 ±12V 电源，脉冲为 $20V_{PP}$。使用 39pF 的 C_f 可获得出色的响应。在图 32 中，电源电压已降低到 ±2.5V，脉冲为 $4V^{PP}$，且 C_F 为 39pF。在电路板布局完成后应该能实现补偿电容器的最佳值，因为该值取决于电路板杂散电容、反馈电阻值、闭环增益以及某种程度上的电源电压。

所有运算放大器的另一个共同映像是由反馈电阻器和输入电容引起的相移。这种相移也会降低相位裕度。在电容器放置在反馈电阻器上时，这种影响与容性负载的影响将同时得到处理。

图 33 所示的电路用于图 31 和图 32。

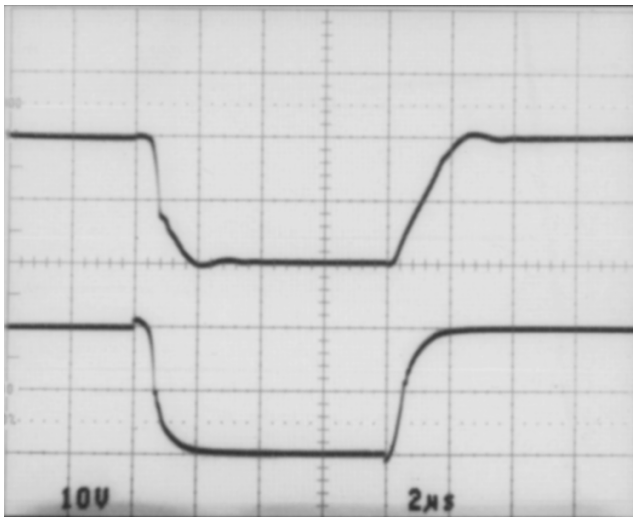


图 **31. 20** 伏阶跃响应：
有容性负载（上面一条迹线）
没有容性负载（下面一条迹线）

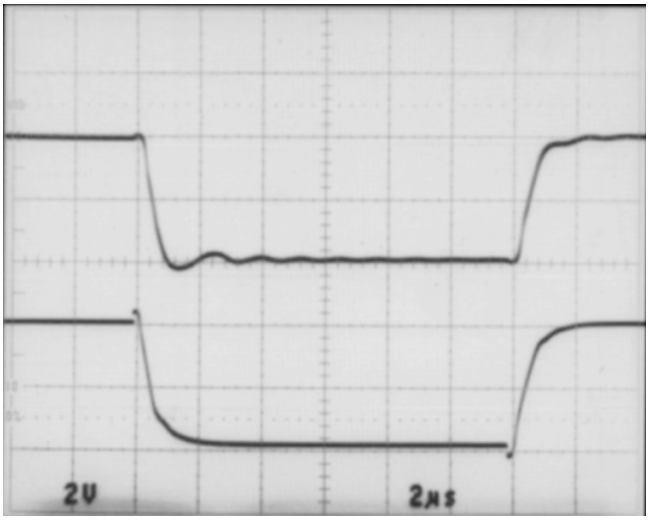


图 **32. 4** 伏阶跃响应：
有容性负载（上面一条迹线）
没有容性负载（下面一条迹线）

版权 © 2000–2014, Texas Instruments Incorporated

增强的压摆率 **(**接下页**)**

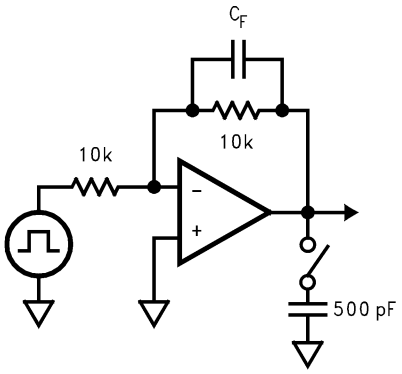


图 **33.** 容性负载测试电路

图 34 显示了一种应对负载电容 (C_O) 影响的方法：在输出端添加隔离电阻器 R_O 并在输出端和反相输入引脚之间直接添加反馈电容器 C_F 。反馈电容器 C_F 可应对由 R_O 和 C_O 引入的极点问题，使输出波形中的振铃最小化，而反馈电阻器 R_F 可应对由 R_O 引入的直流不准确问题。根据负载电容的大小，通常选择介于 100Ω 至 1kΩ 之间的 R_O 值。

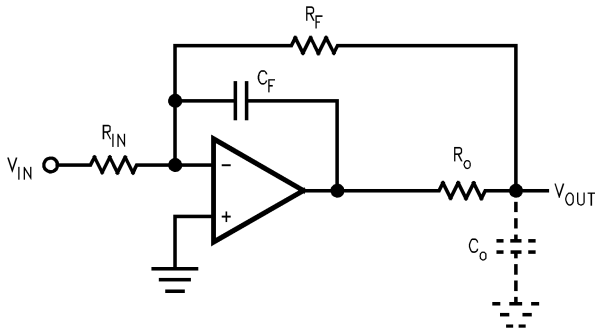


图 **34.** 容性负载补偿技术

版权 © 2000–2014, Texas Instruments Incorporated

7.3 典型 应用

7.3.1 具有轨至轨输入和输出并由三个运算放大器组成的仪表放大器

使用 LM6134 可以设计出一种具有轨至轨输入和轨至轨输出并由 3 个运算放大器组成的仪表放大器。这些 特性 使这些仪表放大器非常适合单电源系统。

一些制造商使用由 5 个电阻器组成的精密分压器阵列来分割共模电压，从而获得轨至轨或更大的输入范围。这种方法的问题在于它也会将信号分割，所以为了获得单位增益，放大器必须以高闭环增益运行。这样就会按照内部增益系数提高噪声和漂移，并降低输入阻抗。此外，这些精密电阻器有任何不匹配都会降低 CMR。使用 LM6134，所有这些问题都能得到解决。

在以下示例中，放大器 A 和 B 充当差分级的缓冲器（图 35）。这些缓冲器可确保输入阻抗超过 100MΩ，并且消除了在输入级使用精密匹配电阻器的必要。它们还能确保差分放大器通过电压源驱动。为了维持 CMR（通过匹配 R1-R2 与 R3-R4 进行设定），这是必要的。

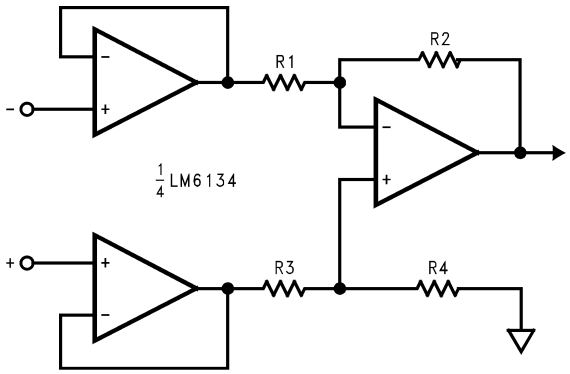


图 **35.** 仪表放大器

7.3.2 平板显示器缓冲

LM6132/34 的三个 特性 使该器件成为 TFT LCD 应用的绝佳选择。首先，该器件的低流耗（5V 时每个放大器为 360μA）使其成为诸如笔记本电脑等电池供电型 应用 的理想选择。其次，由于该器件的工作电压低至 2.7V，因此它是下一代 3V TFT 面板的必然之选。最后但并非最不重要的是，LM6132 的大型电容驱动能力非常适合驱动 LCD 显示器驱动器特有的高容性负载。

LM6132/34 的大型电容驱动能力使其可用于缓冲 TFT LCD 面板中的电阻器-DAC 型列（源极）驱动器的伽马校正参考电压输入。该放大器还可用于缓冲电容器-DAC 型列（源极）驱动器（如 LMC750X 系列）的中央参考电压输入。

由于对 VGA 和 SVGA 显示器而言，缓冲电压必须在约 4μs 内趋稳，因此将小型隔离电阻器与放大器输出端串联使用的这种众所周知的技术能够非常有效地抑制输出端的振铃。

凭借 2.7V 至 24V 的宽电源电压范围，LM6132/34 可用于多种 应用。因此，系统设计人员能够选择单个器件类型来为系统中的多个子电路服务，从而无需在物料清单中指定多种器件。与其姊妹部件 LM6142 和 LM6152（拥有相同的宽电源电压能力）一起，在设计中选择 LM6132 可消除为新设计寻找多个信号源的必要。

版权 © 2000–2014, Texas Instruments Incorporated

8 器件和文档支持

8.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LM6132	单击此处	单击此处	单击此处	单击此处	单击此处
LM6134	单击此处	单击此处	单击此处	单击此处	单击此处

8.2 商标

All trademarks are the property of their respective owners.

8.3 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

8.4 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

版权 © 2000–2014, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM6132AIM	NRND	SOIC	D	8	95	TBD	Call TI	Call TI	-40 to 85	LM61 32AIM	
LM6132AIM/NOPB	ACTIVE	SOIC	D	8	95	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM61 32AIM	Samples
LM6132AIMX	NRND	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 85	LM61 32AIM	
LM6132AIMX/NOPB	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM61 32AIM	Samples
LM6132BIM	NRND	SOIC	D	8	95	TBD	Call TI	Call TI	-40 to 85	LM61 32BIM	
LM6132BIM/NOPB	ACTIVE	SOIC	D	8	95	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM61 32BIM	Samples
LM6132BIMX	NRND	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 85	LM61 32BIM	
LM6132BIMX/NOPB	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM61 32BIM	Samples
LM6132BIN/NOPB	ACTIVE	PDIP	P	8	40	Green (RoHS & no Sb/Br)	CU SN	Level-1-NA-UNLIM	-40 to 85	LM6132 BIN	Samples
LM6134AIM	NRND	SOIC	D	14	55	TBD	Call TI	Call TI	-40 to 85	LM6134AIM	
LM6134AIM/NOPB	ACTIVE	SOIC	D	14	55	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM6134AIM	Samples
LM6134AIMX/NOPB	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM6134AIM	Samples
LM6134BIM	NRND	SOIC	D	14	55	TBD	Call TI	Call TI	-40 to 85	LM6134BIM	
LM6134BIM/NOPB	ACTIVE	SOIC	D	14	55	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM6134BIM	Samples
LM6134BIMX/NOPB	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 85	LM6134BIM	Samples
LM6134BIN/NOPB	ACTIVE	PDIP	NFF	14	25	Green (RoHS & no Sb/Br)	CU SN	Level-1-NA-UNLIM	-40 to 85	LM6134BIN	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) RoHS: TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

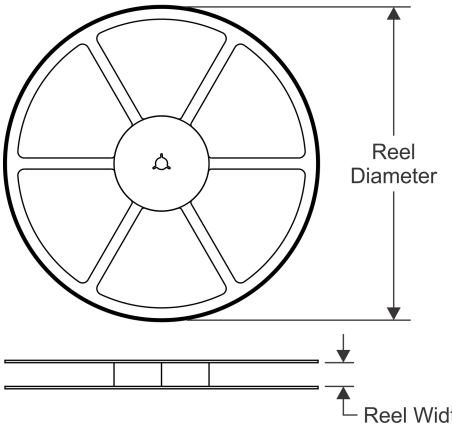
(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

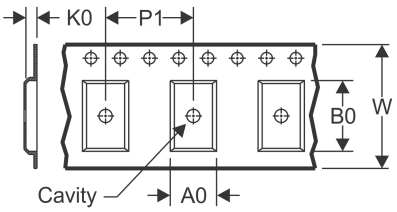
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

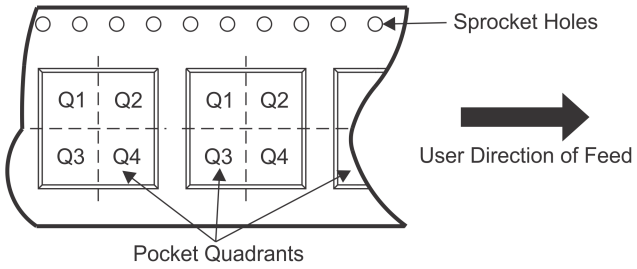


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

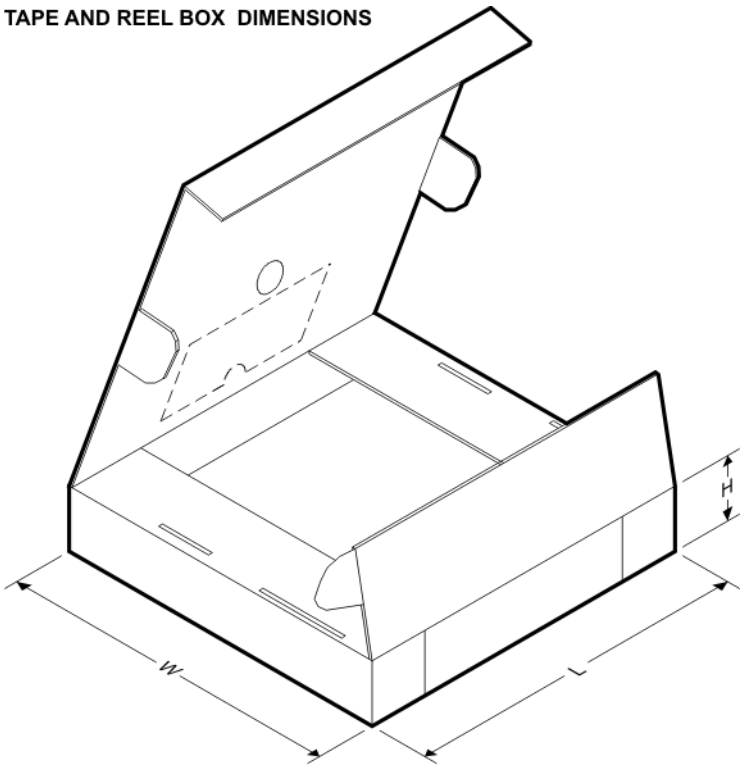
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM6132AIMX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6132AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6132BIMX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6132BIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6134AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LM6134BIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

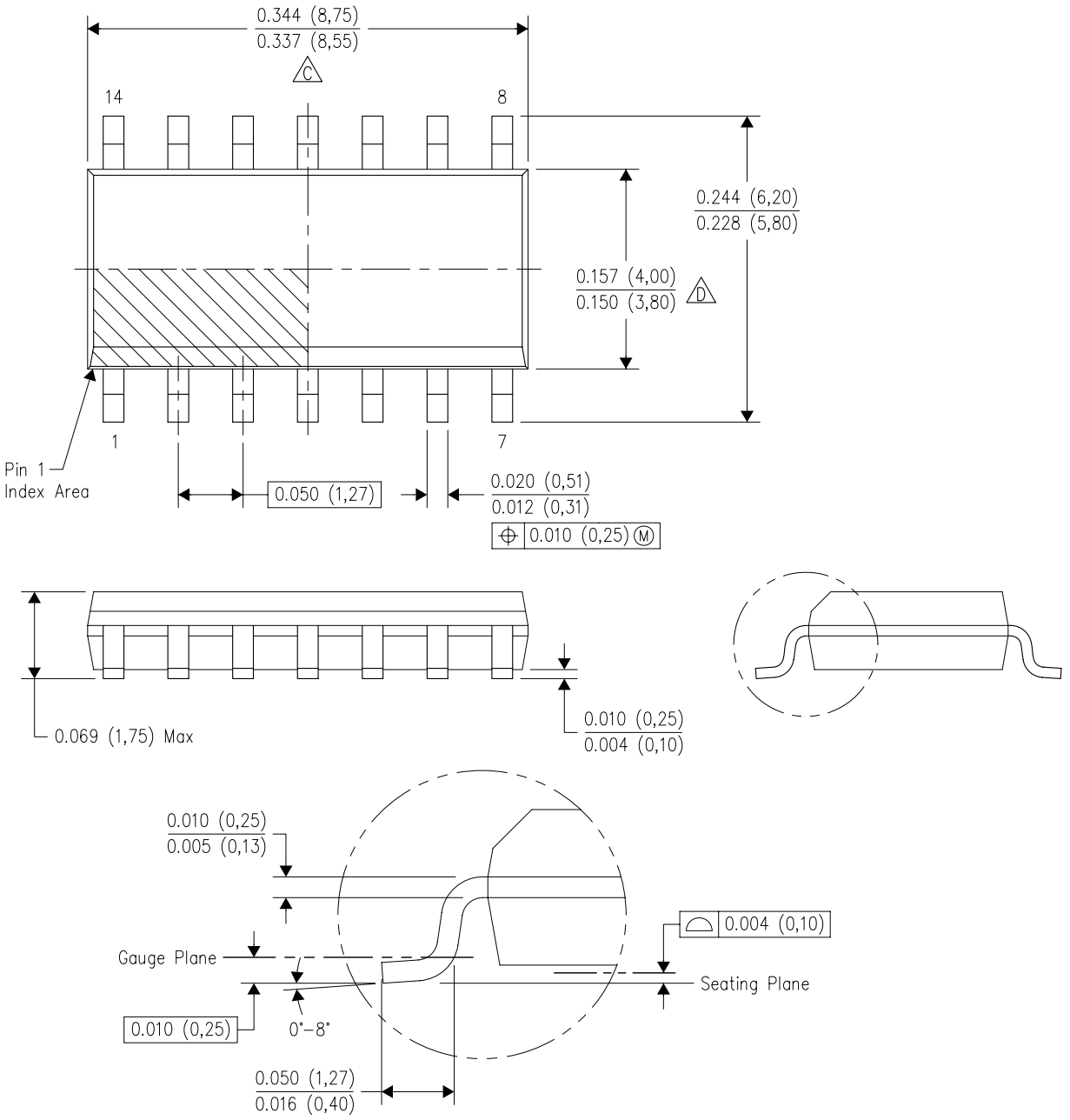
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM6132AIMX	SOIC	D	8	2500	367.0	367.0	35.0
LM6132AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6132BIMX	SOIC	D	8	2500	367.0	367.0	35.0
LM6132BIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6134AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LM6134BIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

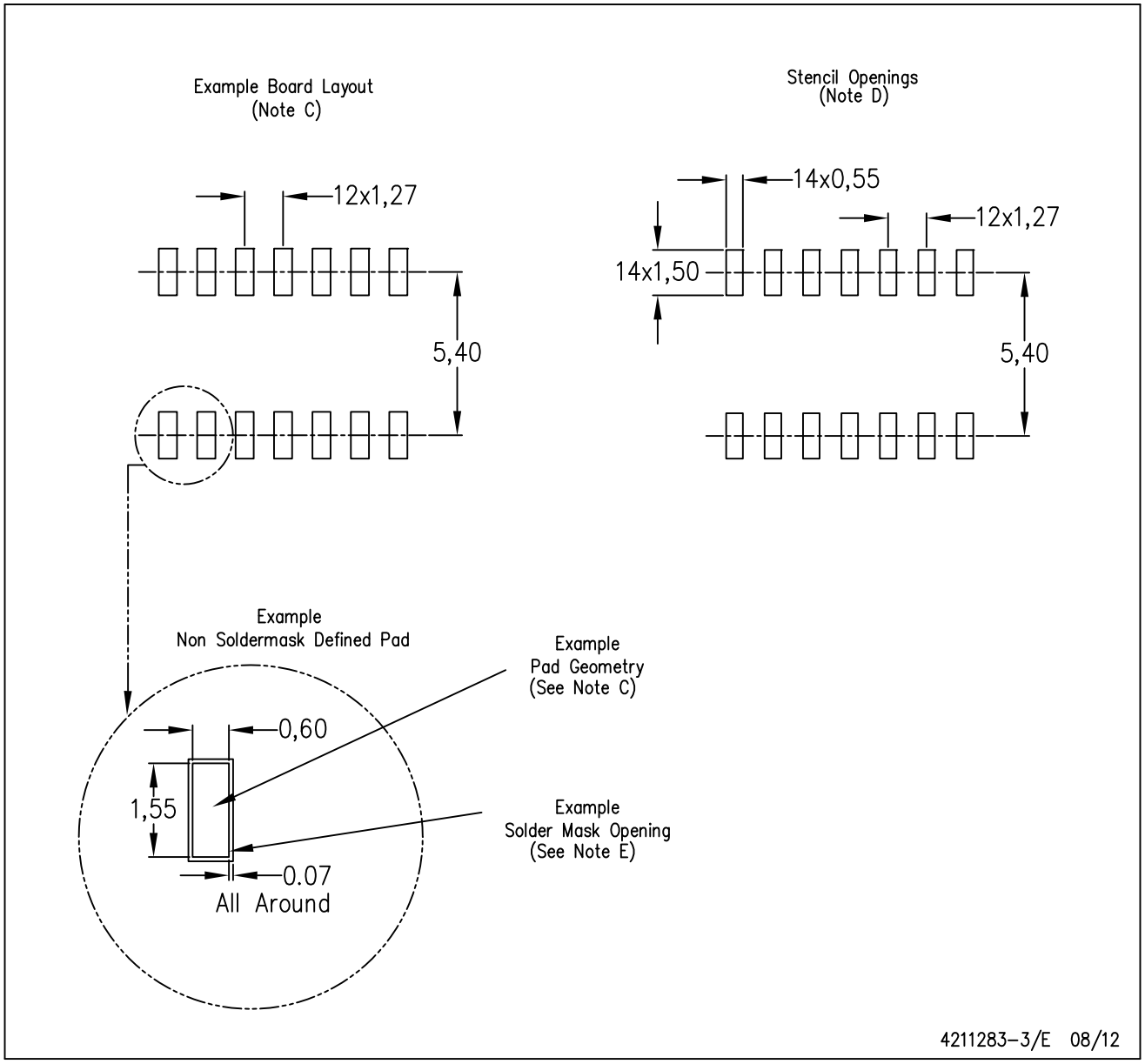
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



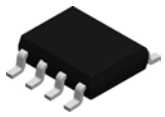
4040047–5/M 06/11

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

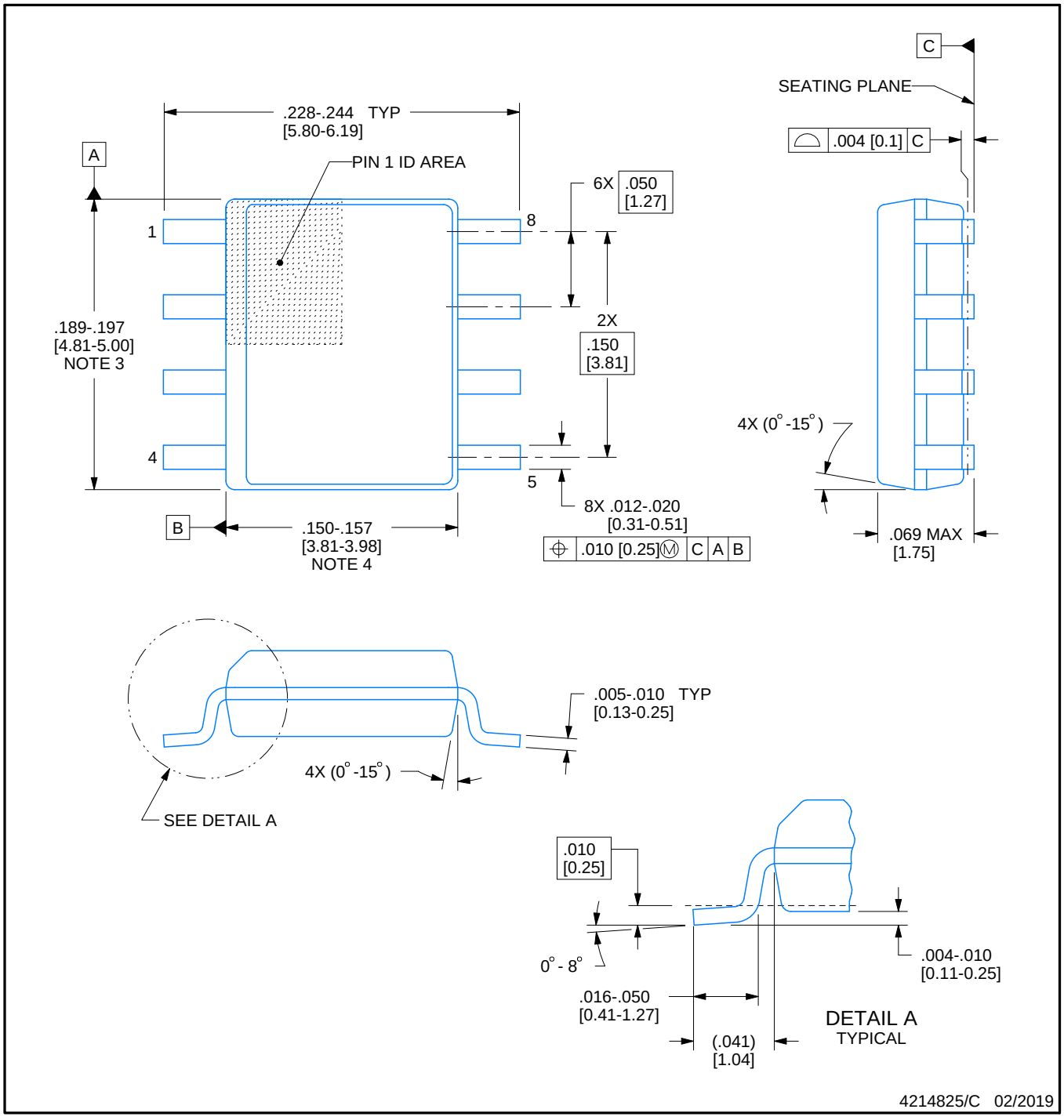


PACKAGE OUTLINE

D0008A

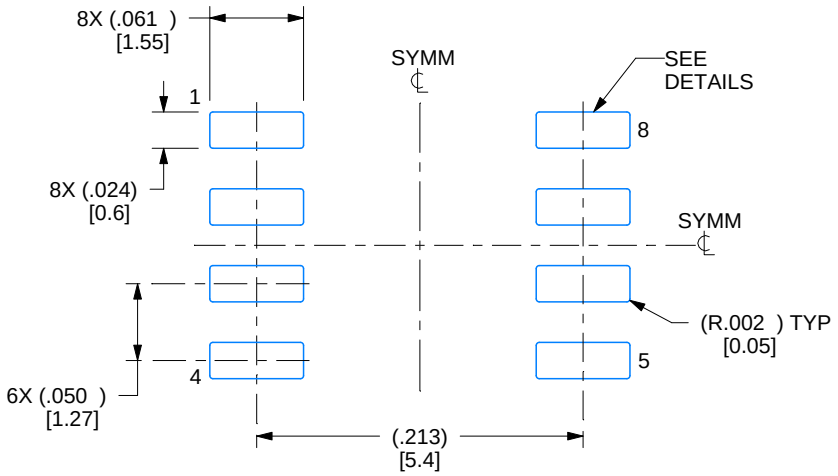
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

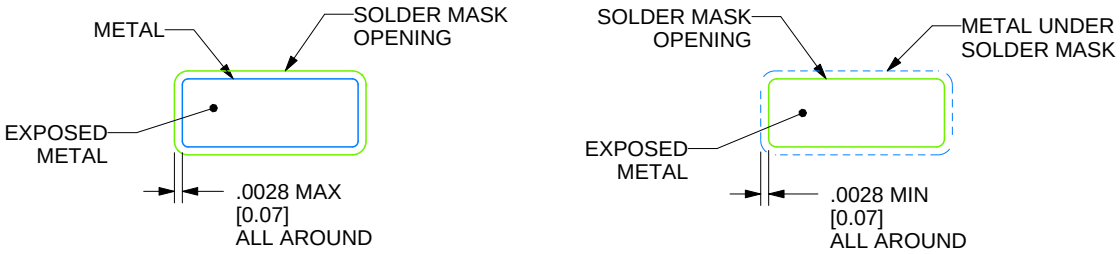


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

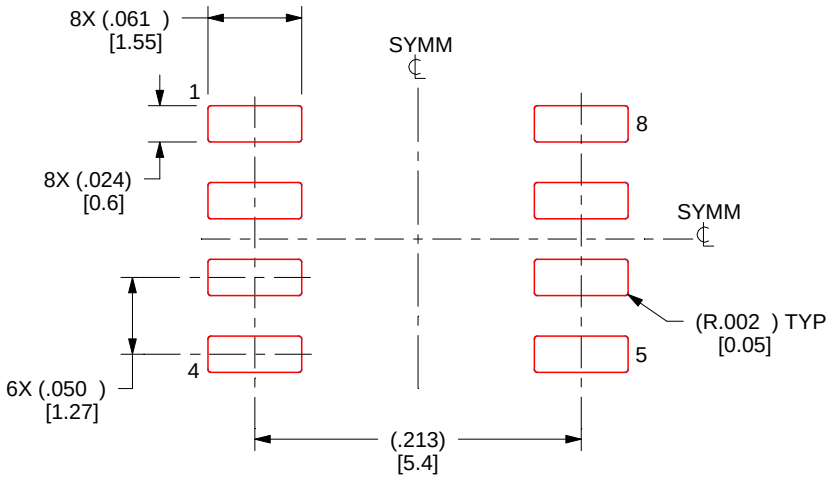
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



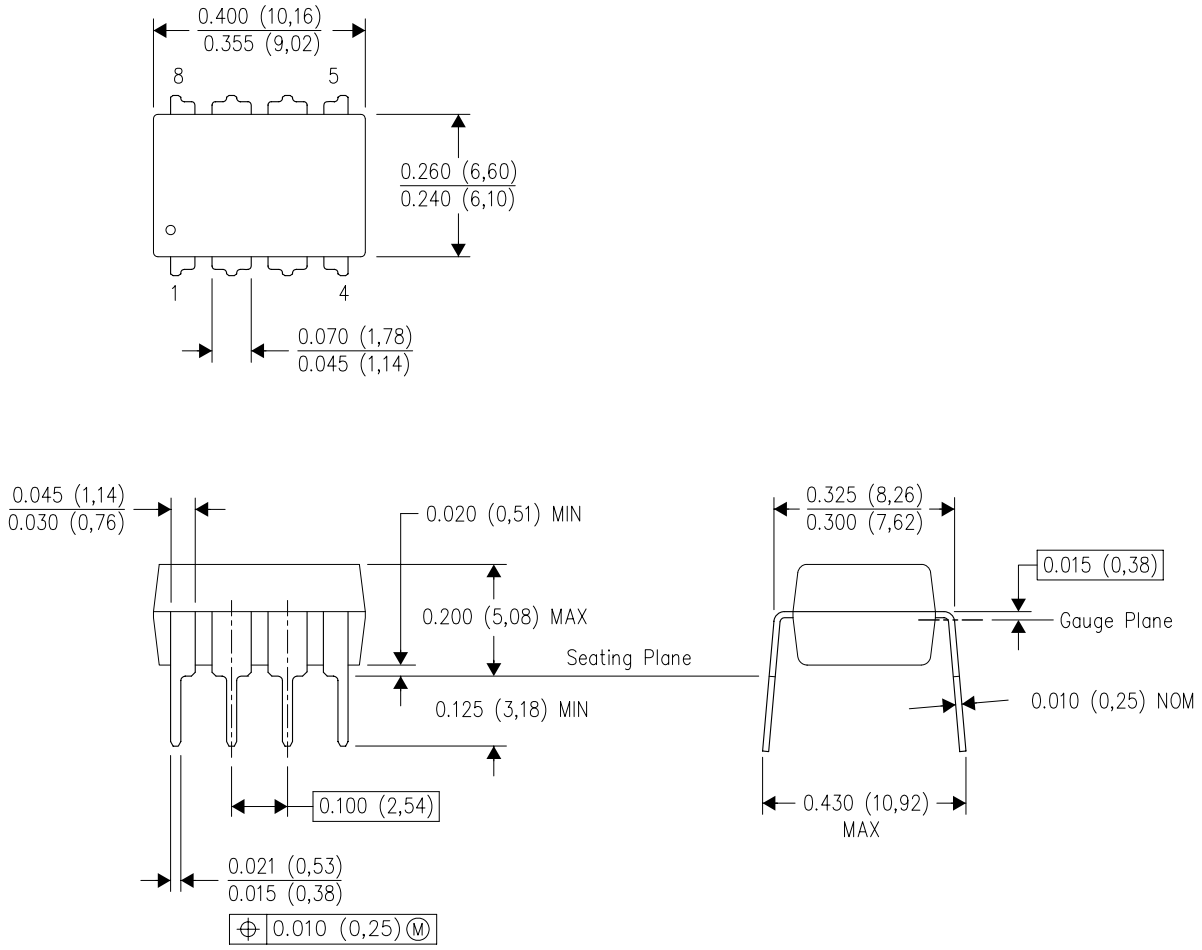
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

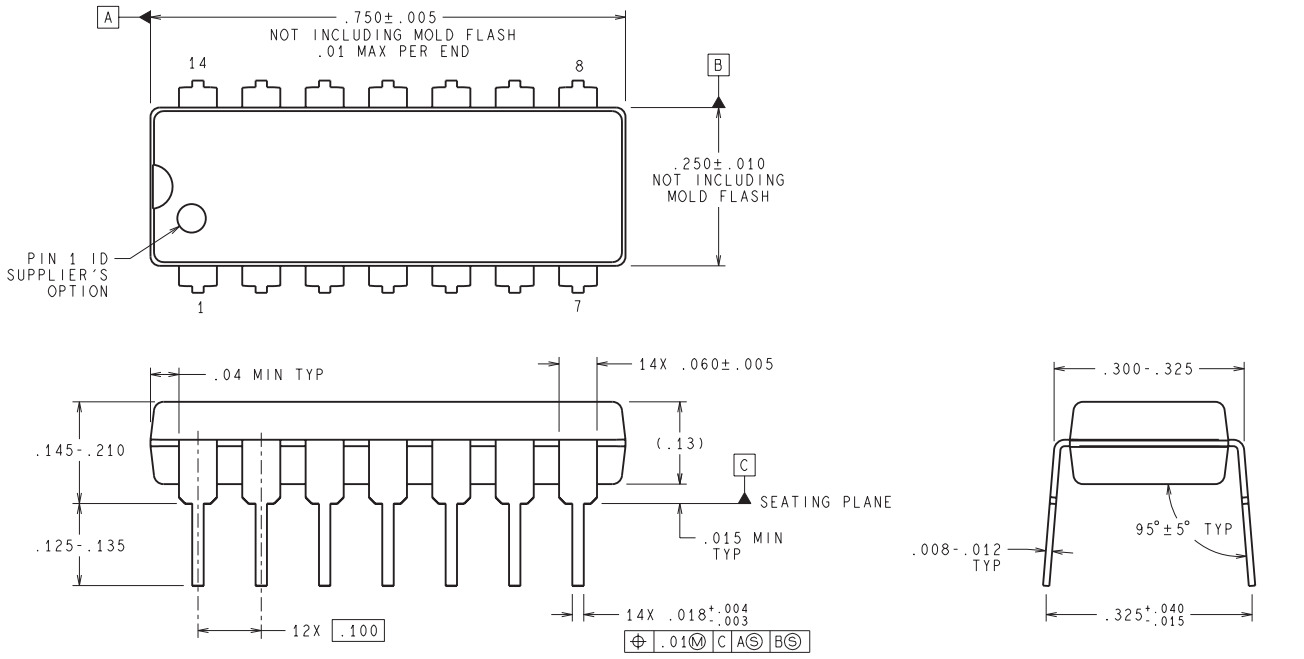
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

NFF0014A



DIMENSIONS ARE IN INCHES
DIMENSIONS IN ( ) FOR REFERENCE ONLY

N14A (Rev G)

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司