OPAx835 超低功耗、轨到轨输出、负电源轨输入、VFB 运算放大器

1 特性

- 超低功耗
  - 电源电压：2.5V 至 5.5V
  - 静态电流：250μA/通道（典型值）
  - 掉电模式：0.5μA（典型值）
- 带宽：56MHz (A_V = 1V/V)
- 压摆率：160V/μs
- 上升时间：10ns ($2V_{阶跃}$)
- 建立时间 (0.1%)：55ns (2 V_{STEP})
- 过驱恢复时间：200ns
- 信噪比 (SNR)：在 1kHz (1 V_{RMS}) 时为 0.00015% (-116.4dBc)
- 总谐波失真 (THD)：在 1kHz (1 V_{RMS}) 时为 0.00003% (-130dBc)
- HD_2/HD_3：1MHz 时 (2 V_{PP}为 -70dBc/-73dBc
- 输入电压噪声：9.3nV/√Hz(f=100kHz)
- 输入失调电压：100μV（最大值为 ±500μV）
- 共模抑制比 (CMRR)：113dB
- 输出驱动电流：40mA
- RRO：轨到轨输出
- 输入电压范围：–0.2V 至 3.9V（5V 供电）
- 工作温度范围：-40°C 至 +125°C

2 应用

- 低功耗信号调节
- 音频模数转换器 (ADC) 输入缓冲器
- 低功耗 SAR 和 ΔΣ ADC 驱动器
- 便携式系统
- 低功耗系统
- 高密度系统
- 超声波流量计

3 说明

OPA835 和 OPA2835 器件（OPAx835）是单/双通道超低功耗、轨到轨输出、负电源轨输入、电压反馈（VFB）运算放大器，依设计可由 2.5V 至 5.5V 范围内的单电源或者 ±1.25V 至 ±2.75V 范围内的双电源供电运行。这些轨到轨放大器每通道仅消耗 250μA 的电流，单位带宽增益积为 56MHz，性能/功耗比处于业内领先水平。

OPA835 和 OPA2835 器件 兼具 低功耗特性和出色的高频性能，并且可实现其他同类器件所无法达到的性能/功耗比，因此非常适合注重功耗的电池供电类便携式应用。这些器件还具有节能模式，可将电流降至 1.5μA 以下，这对于电池供电类 应用中的高频放大器而言是一套极具吸引力的解决方案。

OPA835 RUN 封装选件包含集成的增益设置电阻器，因此可在印刷电路板上实现尽可能最小的尺寸（约 2.00mm × 2.00mm）。通过在 PCB 上添加电路迹线，可实现 +1、–1、–1.33、+2、+2.33、–3、+4、–4、+5、–5.33、+6.33、–7、+8 的增益和 –0.1429、–0.1875、–0.25、–0.33、–0.75 的反相衰减。有关详细信息，请参见表 3 和表 4。

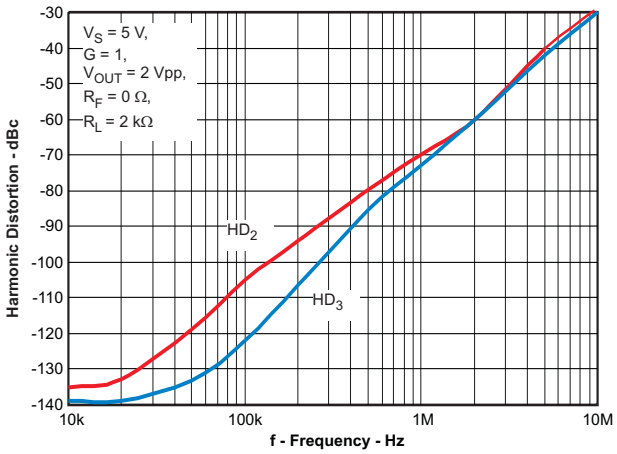
OPA835 和 OPA2835 器件在 –40°C 至 +125°C 的扩展工业温度范围内运行。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
OPA835	SOT-23 (6)	2.90mm x 1.60mm
	QFN (10)	2.00mm × 2.00mm
OPA2835	SOIC (8)	4.90mm x 3.91mm
	VSSOP (10)	3.00mm × 3.00mm
	UQFN (10)	2.00mm x 2.00mm
	QFN (10)	2.00mm × 2.00mm

(1) 要了解所有可用封装，请参见数据表末尾的封装选项附录。

谐波失真与频率间的关系



目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 OPA835 相关器件 ... 4
6 引脚配置和功能 ... 4
7 规格 ... 6
7.1 绝对最大额定值 ... 6
7.2 ESD 额定值 ... 6
7.3 建议的工作条件 ... 6
7.4 热性能信息：OPA835 ... 6
7.5 热性能信息：OPA2835 ... 6
7.6 电气特性：V_S = 2.7V ... 7
7.7 电气特性：V_S = 5V ... 9
7.8 典型特性：V_S = 2.7V ... 12
7.9 典型特性：V_S = 5V ... 17
8 详细 说明 ... 22
8.1 概述 ... 22
8.2 功能框图 ... 22
8.3 功能 说明 ... 22
8.4 器件功能模式 ... 25
9 应用和实现 ... 28
9.1 应用信息 ... 28
9.2 典型应用 ... 34
10 电源相关建议 ... 38
11 布局 ... 38
11.1 布局准则 ... 38
11.2 布局示例 ... 39
12 器件和文档支持 ... 40
12.1 器件支持 ... 40
12.2 文档支持 ... 40
12.3 商标 ... 40
12.4 静电放电警告 ... 40
12.5 Glossary ... 40
13 机械、封装和可订购信息 ... 41

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision H (November 2015) to Revision I — **Page**

- 重新编排了*热性能信息：OPA835* 和*热性能信息：OPA2835* 表的表注 ... 6
- 已删除 在*电气特性：V_S = 2.7V* 表中删除输出电压低位、输出电压高位和输出电流驱动参数中的“线性”一词 ... 8
- 已更改 在*电气特性：V_S = 5V* 表中将电流噪声 1/f 转角频率参数单位从 Hz 更改为 kHz ... 10
- 已删除 在*电气特性：V_S = 5V* 表中删除输出电压低位、输出电压高位和输出电流驱动参数中的“线性”一词 ... 11
- 重新编排了*开发支持* 部分 ... 40
- 重新编排了*相关文档* 部分 ... 40

Changes from Revision F (June 2015) to Revision G — **Page**

- 将所有开关参数从*开关特性：V_S = 2.7V* 移回*电气特性：V_S = 2.7V* 表中 ... 7
- 将所有开关参数从*开关特性：V_S = 5V* 表移回*电气特性：V_S = 5V* 表中 ... 9

Changes from Revision E (July 2013) to Revision F — **Page**

- 已添加 *引脚配置和功能* 部分、*ESD 额定值* 表、*开关特性* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1
- 将开关参数从*电气特性* 表移到*开关特性* 表中。 ... 10

Changes from Revision D (October 2011) to Revision E — **Page**

- 在文档中添加 RMC 封装 ... 1
- 已添加 在*热性能信息* 表中添加了 RMC ... 6

版权 © 2011–2016, Texas Instruments Incorporated

Changes from Revision C (September 2011) to Revision D **Page**

- 删除了 OPA835IRUNT 和 OPA835IRUNR 的产品概述 ... 4
- 将电阻器温度系数典型值从待定更改为 < 10 ... 9
- 将“静态工作电流”参数更改为“每个放大器的静态工作电流” ... 9
- 将电阻器温度系数参数单位从待定更改为 < 10 ... 11
- 将静态工作电流参数更改为每个放大器的静态工作电流 ... 11

Changes from Revision B (May 2011) to Revision C **Page**

- 删除了除 OPA835IRUNT 和 OPA835IRUNR 外的所有器件的产品概述 ... 4
- 将通道至通道串扰 (OPA2835) 典型值从待定更改为 –120dB ... 8
- 将共模抑制比最小值从 91dB 更改为 88dB ... 8
- 添加了增益设置电阻器（仅限 OPA835IRUN）参数 ... 9
- 将每个放大器静态工作电流 (T_A = 25°C) 参数最小值从 190µA 更改为 175µA ... 9
- 将电源抑制比 (±PSRR) 最小值从 91dB 更改为 88dB ... 9
- 将关断引脚偏置电流测试条件从 $\overline{PD}$ = 0.7V 更改为 $\overline{PD}$ = 0.5V ... 9
- 将关断静态电流测试条件从 $\overline{PD}$ = 0.7V 更改为 $\overline{PD}$ = 0.5V ... 9
- 将通道至通道串扰 (OPA2835) 典型值从待定更改为 -120dB ... 10
- 将共模抑制比最小值从 94dB 更改为 91dB ... 11
- 添加了增益设置电阻器（仅限 OPA835IRUN）参数 ... 11
- 将静态工作电流 (T_A = 25°C) 最小值从 215µA 更改为 200µA ... 11
- 将电源抑制 (±PSRR) 最小值从 93dB 更改为 90dB ... 11
- 将关断静态电流测试条件从 $\overline{PD}$ = 0.7V 更改为 $\overline{PD}$ = 0.5V ... 11
- 将关断静态电流测试条件从 $\overline{PD}$ = 0.7V 更改为 $\overline{PD}$ = 0.5V ... 11
- 添加了“串扰与频率间的关系”图 ... 15
- 添加了“串扰与频率间的关系”图 ... 20
- 添加了*单端至差分放大器* 部分 ... 29

Changes from Revision A (March 2011) to Revision B **Page**

- 将 OPA835 从产品概述更改为产品数据 ... 1

版权 © 2011–2016, Texas Instruments Incorporated

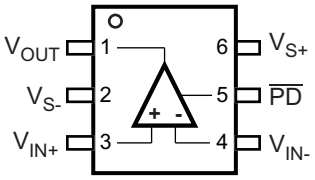
5 OPA835 相关器件

器件型号	BW (A_V = 1) MHz	压摆率 V/μsec	Iq (+5V) mA	输入噪声 nV/√Hz	轨到轨输入/输出	双通道
OPA835	30	110	0.25	9.3	–VS/输出	OPA2835
OPA365	50	25	5	4.5	输入/输出	OPA2365
THS4281	95	35	0.75	12.5	输入/输出	
LMH6618	140	45	1.25	10	输入/输出	LMH6619
OPA836	205	560	1	4.6	–VS/输出	OPA2836
OPA830	310	600	3.9	9.5	–VS/输出	OPA2830

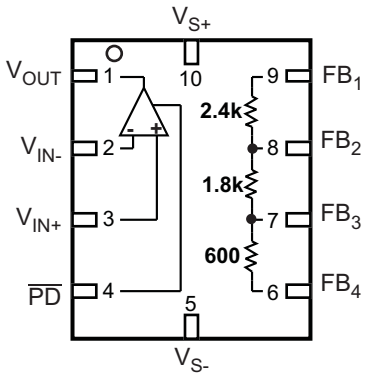
如需了解全套的 TI 高速放大器，请访问 ti.com。

6 引脚配置和功能

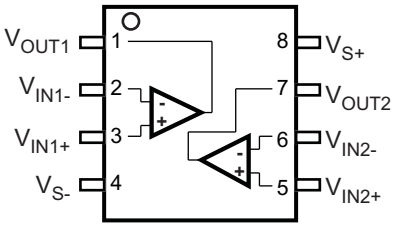
OPA835：DBV 封装
6 引脚 SOT-23
俯视图



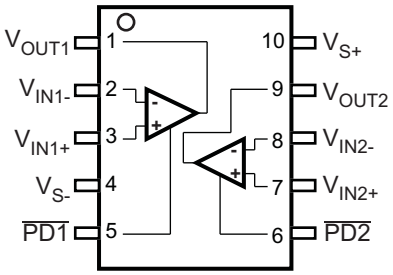
OPA835：RUN 封装
10 引脚 QFN
俯视图



OPA2835：D 封装
8 引脚 SOIC
俯视图

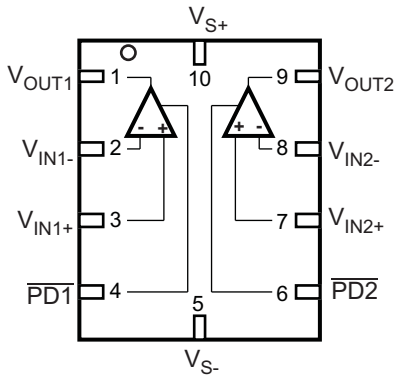


OPA2835：DGS 封装
10 引脚 VSSOP
俯视图



版权 © 2011–2016, Texas Instruments Incorporated

OPA2835：RMC 和 RUN 封装
10 引脚 UQFN 和 10 引脚 QFN
俯视图



引脚功能

引脚						I/O	说明
名称	OPA835		OPA2835				
	SOT-23	QFN	SOIC	VSSOP	QFN、UQFN		
FB_1	—	9	—	—	—	I/O	连接到 2.4kΩ 内部增益设置电阻器的顶部
FB_2		8				I/O	连接到 1.8kΩ 和 2.4kΩ 内部增益设置电阻器的结点
FB_3		7				I/O	连接到 600Ω 和 1.8kΩ 内部增益设置电阻器的结点
FB_4		6				I/O	连接到 600Ω 内部增益设置电阻器的底部
$\overline{PD}$	5	4				I	放大器关断，低 = 低功耗模式， 高 = 正常运行（必须驱动引脚）
$\overline{PD1}$	—	—		5	4	I	放大器 1 关断，低 = 低功耗模式， 高 = 正常运行（必须驱动引脚）
$\overline{PD2}$				6	6	I	放大器 2 关断，低 = 低功耗模式， 高 = 正常运行（必须驱动引脚）
V_{IN+}	3	3		—	—	I	放大器同相输入
V_{IN-}	4	2				I	放大器反相输入
V_{IN1+}	—	—	3	3	3	I	放大器 1 同相输入
V_{IN1-}			2	2	2	I	放大器 1 反相输入
V_{IN2+}			5	7	7	I	放大器 2 同相输入
V_{IN2-}			6	8	8	I	放大器 2 反相输入
V_{OUT}	1	1	—	—	—	O	放大器输出
V_{OUT1}	—	—	1	1	1	O	放大器 1 输出
V_{OUT2}			7	9	9	O	放大器 2 输出
V_{S+}	6	10	8	10	10	POW	正电源输入
V_{S-}	2	5	4	4	5	POW	负电源输入

版权 © 2011–2016, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{S-} 至 V_{S+}	电源电压		5.5	V
V_I	输入电压	V_{S-} – 0.7	V_{S+} + 0.7	V
V_{ID}	差分输入电压		1	V
I_I	连续输入电流		0.85	mA
I_O	持续输出电流		60	mA
	连续功耗	请参阅*热性能信息：OPA835*和*热性能信息：OPA2835*		
T_J	最大结温		150	°C
T_A	自然通风工作温度范围	-40	125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±6000	V
		组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	
		机器模型	±200	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{S+}	单电源电压	2.5	5	5.5	V
T_A	环境温度	–40	25	125	°C

7.4 热性能信息：OPA835

热指标(1)		OPA835		单位
		DBV (SOT23-6)	RUN (QFN)	
		6 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	194	145.8	°C/W
$R_{\theta JCtop}$	结至外壳（顶部）热阻	129.2	75.1	°C/W
$R_{\theta JB}$	结至电路板热阻	39.4	38.9	°C/W
ψ_{JT}	结至顶部的特征参数	25.6	13.5	°C/W
ψ_{JB}	结至电路板的特征参数	38.9	104.5	°C/W

(1) 有关传统和新热指标的更多信息，请参阅*《半导体和 IC 封装热指标》* (SPRA953)。

7.5 热性能信息：OPA2835

热指标(1)		OPA2835				单位
		D (SOIC)	DGS (VSSOP)	RUN (QFN)	RMC (UQFN)	
		8 引脚	10 引脚	10 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	150.1	206	145.8	143.2	°C/W
$R_{\theta JCtop}$	结至外壳（顶部）热阻	83.8	75.3	75.1	49.0	°C/W

(1) 有关传统和新热指标的更多信息，请参阅*《半导体和 IC 封装热指标》* (SPRA953)。

版权 © 2011–2016, Texas Instruments Incorporated

热性能信息：**OPA2835 (**接下页**)**

热指标(1)		OPA2835				单位
		D (SOIC)	DGS (VSSOP)	RUN (QFN)	RMC (UQFN)	
		8 引脚	10 引脚	10 引脚	10 引脚	
$R_{\theta JB}$	结至电路板热阻	68.4	96.2	38.9	61.9	°C/W
ψ_{JT}	结至顶部的特征参数	33.0	12.9	13.5	3.3	°C/W
ψ_{JB}	结至电路板的特征参数	67.9	94.6	104.5	61.9	°C/W

7.6 电气特性：V_S = 2.7V

测试条件：V_{S+} = +2.7V，$V_{S–}$ = 0V，V_{OUT} = 1V_{PP}，R_F = 0Ω，R_L = 2kΩ，G =1 V/V，输入和输出以 1/2 Vs 为基准，V_{IN_CM} = 1/2 Vs – 0.5V。T_A = 25°C，除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位	测试等级(1)
交流性能						
小信号带宽	V_{OUT} = 100mV_{PP}，G = 1		51		MHz	C
	V_{OUT} = 100mV_{PP}，G = 2		22.5			
	V_{OUT} = 100mV_{PP}，G = 5		7.2			
	V_{OUT} = 100mV_{PP}，G = 10		3			
增益带宽积	V_{OUT} = 100mV_{PP}，G = 10		30		MHz	C
大信号带宽	V_{OUT} = 1V_{PP}，G = 1		24		MHz	C
0.1dB 平坦度带宽	V_{OUT} = 1V_{PP}，G = 2		4		MHz	C
压摆率，上升	V_{OUT} = 1V_{STEP}，G = 2		110		V/µs	C
压摆率，下降	V_{OUT} = 1V_{STEP}，G = 2		130		V/µs	C
上升时间	V_{OUT} = 1V_{STEP}，G = 2		9.5		ns	C
下降时间	V_{OUT} = 1V_{STEP}，G = 2		9		ns	C
1% 建立时间，上升	V_{OUT} = 1V_{STEP}，G = 2		35		ns	C
1% 建立时间，下降	V_{OUT} = 1V_{STEP}，G = 2		30		ns	C
0.1% 建立时间，上升	V_{OUT} = 1V_{STEP}，G = 2		60		ns	C
0.1% 建立时间，下降	V_{OUT} = 1V_{STEP}，G = 2		65		ns	C
0.01% 建立时间，上升	V_{OUT} = 1V_{STEP}，G = 2		120		ns	C
0.01% 建立时间，上升	V_{OUT} = 1V_{STEP}，G = 2		90		ns	C
过冲/下冲	V_{OUT} = 1V_{STEP}，G = 2		0.5%/0.2%			C
二阶谐波失真	f = 10kHz，V_{IN_CM} = 1/2 Vs – 0.5V		–133		dBc	C
	f = 100kHz，V_{IN_CM} = 1/2 Vs – 0.5V		–110			
	f = 1MHz，V_{IN_CM} = 1/2 Vs – 0.5V		–73			
三阶谐波失真	f = 10kHz，V_{IN_CM} = 1/2 Vs – 0.5V		–137		dBc	C
	f = 100kHz，V_{IN_CM} = 1/2 Vs – 0.5V		–125			
	f = 1MHz，V_{IN_CM} = 1/2 Vs – 0.5V		–78			
二阶互调失真	f = 1MHz，200kHz 音调间隔， V_{OUT} 包络 = 1V_{PP}， V_{IN_CM} = 1/2 Vs – 0.5V		–75		dBc	C
三阶互调失真	f = 1MHz，200kHz 音调间隔， V_{OUT} 包络 = 1V_{PP}， V_{IN_CM} = 1/2 Vs – 0.5V		–81		dBc	C
输入电压噪声	f = 100kHz		9.3		nV/√Hz	C
电压噪声 1/f 转角频率			147		Hz	C

(1) 测试等级（通过表征和仿真设置所有值）：**(A)** 在 25°C 时进行 100% 测试；通过表征和仿真设置过热限制。**(B)** 未经过生产环境测试；通过表征和仿真设置限制。**(C)** 典型值仅供参考。

版权 © 2011–2016, Texas Instruments Incorporated

电气特性：V_S = 2.7V (接下页)

测试条件：V_{S+} = +2.7V，$V_{S–}$ = 0V，V_{OUT} = 1V_{PP}，R_F = 0Ω，R_L = 2kΩ，G =1 V/V，输入和输出以 1/2 Vs 为基准，V_{IN_CM} = 1/2 Vs – 0.5V。T_A = 25°C，除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位	测试等级 (1)
交流性能（续）						
输入电流噪声	f = 1MHz		0.45		pA/√Hz	C
电流噪声 1/f 转角频率			14.7		kHz	C
过驱恢复时间，过度/不足	过驱 = 0.5V		140/125		ns	C
闭环输出阻抗	f = 100kHz		0.028		Ω	C
通道至通道串扰 (OPA2835)	f = 10kHz		–120		dB	C
直流性能						
开环电压增益 (A_{OL})		100	120		dB	A
输入参考失调电压	T_A = 25°C	–500	±100	500	μV	A
	T_A = 0°C 至 70°C	–880		880		B
	T_A = –40°C 至 85°C	–1040		1040		
	T_A = –40°C 至 125°C	–1850		1850		
输入失调电压漂移(2)	T_A = 0°C 至 70°C	–8.5	±1.4	8.5	μV/°C	B
	T_A = –40°C 至 85°C	–9	±1.5	9		
	T_A = –40°C 至 125°C	–13.5	±2.25	13.5		
输入偏置电流(3)	T_A = 25°C	50	200	400	nA	A
	T_A = 0°C 至 70°C	47		410		B
	T_A = –40°C 至 85°C	45		425		
	T_A = –40°C 至 125°C	45		530		
输入偏置电流漂移(2)	T_A = 0°C 至 70°C	–1.4	±0.25	1.4	nA/°C	B
	T_A = –40°C 至 85°C	–1.05	±0.175	1.05		
	T_A = –40°C 至 125°C	–1.1	±0.185	1.1		
输入失调电流	T_A = 25°C	–100	±13	100	nA	A
	T_A = 0°C 至 70°C	–100	±13	100		B
	T_A = –40°C 至 85°C	–100	±13	100		
	T_A = –40°C 至 125°C	–100	±13	100		
输入失调电流漂移(2)	T_A = 0°C 至 70°C	–1.230	±0.205	1.230	nA/°C	B
	T_A = –40°C 至 85°C	–0.940	±0.155	0.940		
	T_A = –40°C 至 125°C	–0.940	±0.155	0.940		
输入						
共模输入范围低位	T_A = 25°C，CMRR 限制下降小于 3dB		–0.2	0	V	A
	T_A = –40°C 至 125°C，CMRR 限制下降小于 3dB		–0.2	0	V	B
共模输入范围高位	T_A = 25°C，CMRR 限制下降小于 3dB	1.5	1.6		V	A
	T_A = –40°C 至 125°C，CMRR 限制下降小于 3dB	1.5	1.6		V	B
共模抑制比		88	110		dB	A
输入阻抗共模			200 || 1.2		kΩ || pF	C
输入阻抗差模			200 || 1		kΩ || pF	C
输出						
输出电压低位	T_A = 25°C，G = 5		0.15	0.2	V	A
	T_A = –40°C 至 125°C，G = 5		0.15	0.2	V	B
输出电压高位	T_A = 25°C，G = 5	2.45	2.5		V	A
	T_A = –40°C 至 125°C，G = 5	2.45	2.5		V	B
输出饱和电压，高位/低位	T_A = 25°C，G = 5		45/13		mV	C
输出电流驱动	T_A = 25°C	±25	±35		mA	A
	T_A = –40°C 至 125°C	±20			mA	B

(2) 输入失调电压漂移、输入偏置电流漂移和输入失调电流漂移均为平均值，计算它们的方法是采用端点处的数据，计算差值，然后除以温度范围。
(3) 电流被视为引脚外的正极电流。

版权 © 2011–2016, Texas Instruments Incorporated

电气特性：V_S = 2.7V (接下页)

测试条件：V_{S+} = +2.7V，V_{S-} = 0V，V_{OUT} = 1V_{PP}，R_F = 0Ω，R_L = 2kΩ，G =1 V/V，输入和输出以 1/2 Vs 为基准，V_{IN_CM} = 1/2 Vs – 0.5V。T_A = 25°C，除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位	测试等级 (1)
增益设置电阻器（仅限 OPA835IRUN）						
电阻器 FB1 至 FB2	直流电阻	2376	2400	2424	Ω	A
电阻器 FB2 至 FB3	直流电阻	1782	1800	1818	Ω	A
电阻器 FB3 至 FB4	直流电阻	594	600	606	Ω	A
电阻器容差	直流电阻	-1%		1%		A
电阻器温度系数	直流电阻		< 10		PPM	C
电源						
额定工作电压		2.5		5.5	V	B
每个放大器的静态工作电流	T_A = 25°C	175	245	340	µA	A
	T_A = –40°C 至 125°C	135		345	µA	B
电源抑制 (±PSRR)		88	105		dB	A
关断（必须驱动引脚）						
启用电压阈值	高于 V_{S-}+ 2.1V 时开通		1.4	2.1	V	A
禁用电压阈值	低于 V_{S-}+ 0.7V 时关断	0.7	1.4		V	A
关断引脚偏置电流	$\overline{PD}$ = 0.5V		20	500	nA	A
关断静态电流	$\overline{PD}$ = 0.5V		0.5	1.5	µA	A
开通时间延迟	时间从 $\overline{PD}$ = 高位到 V_{OUT} = 最终值的 90%		250		ns	C
关断时间延迟	时间从 $\overline{PD}$ = 低位到 V_{OUT} = 原始值的 10%		50		ns	C

7.7 电气特性：V_S = 5V

测试条件：V_{S+} = +5V，V_{S-} = 0V，V_{OUT} = 2V_{PP}，R_F = 0Ω，R_L = 2kΩ，G = 1V/V，输入和输出以 1/2 Vs 为基准。T_A = 25°C，除非另有说明。

参数	条件	最小值	典型值	最大值	单位	测试等级 (1)
交流性能						
小信号带宽	V_{OUT} = 100mV_{PP}，G = 1		56		MHz	C
	V_{OUT} = 100mV_{PP}，G = 2		22.5			
	V_{OUT} = 100mV_{PP}，G = 5		7.4			
	V_{OUT} = 100mV_{PP}，G = 10		3.1			
增益带宽积	V_{OUT} = 100mV_{PP}，G = 10		31		MHz	C
大信号带宽	V_{OUT} = 2V_{PP}，G = 1		31		MHz	C
0.1dB 平坦度带宽	V_{OUT} = 2V_{PP}，G = 2		14.5		MHz	C
压摆率，上升	V_{OUT} = 2V 阶跃，G = 2		160		V/µs	C
压摆率，下降	V_{OUT} = 2V 阶跃，G = 2		260		V/µs	C
上升时间	V_{OUT} = 2V 阶跃，G = 2		10		ns	C
下降时间	V_{OUT} = 2V 阶跃，G = 2		7		ns	C
1% 建立时间，上升	V_{OUT} = 2V 阶跃，G = 2		45		ns	C
1% 建立时间，下降	V_{OUT} = 2V 阶跃，G = 2		45		ns	C
0.1% 建立时间，上升	V_{OUT} = 2V 阶跃，G = 2		50		ns	C
0.1% 建立时间，下降	V_{OUT} = 2V 阶跃，G = 2		55		ns	C
0.01% 建立时间，上升	V_{OUT} = 2V 阶跃，G = 2		82		ns	C
0.01% 建立时间，下降	V_{OUT} = 2V 阶跃，G = 2		85		ns	C
过冲/下冲	V_{OUT} = 2V 阶跃，G = 2		2.5%/1.5%			C
二阶谐波失真	f=10kHz		–135		dBc	C
	f = 100kHz		–105			
	f = 1MHz		–70			

(1) 测试等级（通过表征和仿真设置所有值）：**(A)** 在 25°C 时进行 100% 测试；通过表征和仿真设置过热限制。**(B)** 未经过生产环境测试；通过表征和仿真设置限制。**(C)** 典型值仅供参考。

版权 © 2011–2016, Texas Instruments Incorporated

电气特性：V_S = 5V (接下页)

测试条件：V_{S+} = +5V，V_{S-} = 0V，V_{OUT} = 2V_{PP}，R_F = 0Ω，R_L = 2kΩ，G = 1V/V，输入和输出以 1/2 Vs 为基准。T_A = 25°C，除非另有说明。

参数	条件	最小值	典型值	最大值	单位	测试等级 (1)
交流性能（续）						
三阶谐波失真	f=10kHz		–139		dBc	C
	f = 100kHz		–122			
	f = 1MHz		-73			
二阶互调失真	f = 1MHz，200kHz 音调间隔，V_{OUT} 包络 = 2V_{PP}		–70		dBc	C
三阶互调失真	f = 1MHz，200kHz 音调间隔，V_{OUT} 包络 = 2V_{PP}		-83		dBc	C
信噪比 (SNR)	f = 1kHz，V_{OUT} = 1V_{RMS}，22kHz 带宽		0.00015%			C
			–116.4		dBc	
总谐波失真 (THD)	f = 1kHz，V_{OUT} = 1V_{RMS}		0.00003%			C
			–130		dBc	C
输入电压噪声	f = 100kHz		9.3		nV/√Hz	C
电压噪声 1/f 转角频率			147		Hz	C
输入电流噪声	f = 1MHz		0.45		pA/√Hz	C
电流噪声 1/f 转角频率			14.7		kHz	C
过驱恢复时间，过度/不足	过驱 = 0.5V		195/135		ns	C
闭环输出阻抗	f = 100kHz		0.028		Ω	C
通道至通道串扰 (OPA2835)	f = 10kHz		–120		dB	C
直流性能						
开环电压增益 (A_{OL})		100	120		dB	A
输入参考失调电压	T_A = 25°C	–500	±100	500	μV	A
	T_A = 0°C 至 70°C	–880		880		B
	T_A = –40°C 至 85°C	–1040		1040		
	T_A = –40°C 至 125°C	–1850		1850		
输入失调电压漂移 (2)	T_A = 0°C 至 70°C	–8.5	±1.4	8.5	μV/°C	B
	T_A = –40°C 至 85°C	–9	±1.5	9		
	T_A = –40°C 至 125°C	–13.5	±2.25	13.5		
输入偏置电流 (3)	T_A = 25°C	50	200	400	nA	A
	T_A = 0°C 至 70°C	47		410		B
	T_A = –40°C 至 85°C	45		425		
	T_A = –40°C 至 125°C	45		530		
输入偏置电流漂移 (2)	T_A = 0°C 至 70°C	–1.4	±0.25	1.4	nA/°C	B
	T_A = –40°C 至 85°C	–1.05	±0.175	1.05		
	T_A = –40°C 至 125°C	–1.1	±0.185	1.1		
输入失调电流	T_A = 25°C	–100	±13	100	nA	A
	T_A = 0°C 至 70°C	–100	±13	100		B
	T_A = –40°C 至 85°C	–100	±13	100		
	T_A = –40°C 至 125°C	–100	±13	100		
输入失调电流漂移 (2)	T_A = 0°C 至 70°C	–1.23	±0.205	1.23	nA/°C	B
	T_A = –40°C 至 85°C	–0.94	±0.155	0.94		
	T_A = –40°C 至 125°C	–0.94	±0.155	0.94		

(2) 输入失调电压漂移、输入偏置电流漂移和输入失调电流漂移均为平均值，计算它们的方法是采用端点处的数据，计算差值，然后除以温度范围。
(3) 电流可视为引脚外的正电流。

版权 © 2011–2016, Texas Instruments Incorporated

电气特性：V_S = 5V (接下页)

测试条件：V_{S+} = +5V，V_{S-} = 0V，V_{OUT} = 2V_{PP}，R_F = 0Ω，R_L = 2kΩ，G = 1V/V，输入和输出以 1/2 Vs 为基准。T_A = 25°C，除非另有说明。

参数	条件	最小值	典型值	最大值	单位	测试等级 (1)
输入						
共模输入范围低位	T_A = 25°C，CMRR 限制下降小于 3dB		–0.2	0	V	A
	T_A = –40°C 至 125°C，CMRR 限制下降小于 3dB		–0.2	0	V	B
共模输入范围高位	T_A = 25°C，CMRR 限制下降小于 3dB	3.8	3.9		V	A
	T_A = –40°C 至 125°C，CMRR 限制下降小于 3dB	3.8	3.9		V	B
共模抑制比		91	113		dB	A
输入阻抗共模			200 || 1.2		kΩ || pF	C
输入阻抗差模			200 || 1		kΩ || pF	C
输出						
输出电压低位	T_A = 25°C，G = 5		0.15	0.2	V	A
	T_A = –40°C 至 125°C，G = 5		0.15	0.2	V	B
输出电压高位	T_A = 25°C，G = 5	4.75	4.8		V	A
	T_A = –40°C 至 125°C，G = 5	4.75	4.8		V	B
输出饱和电压，高位/低位	T_A = 25°C，G = 5		70/25		mV	C
输出电流驱动	T_A = 25°C	±30	±40		mA	A
	T_A = –40°C 至 125°C	±25			mA	B
增益设置电阻器（仅限 OPA835IRUN）						
电阻器 FB1 至 FB2	直流电阻	2376	2400	2424	Ω	A
电阻器 FB2 至 FB3	直流电阻	1782	1800	1818	Ω	A
电阻器 FB3 至 FB4	直流电阻	594	600	606	Ω	A
电阻器容差	直流电阻	-1%		1%		A
电阻器温度系数	直流电阻		<10		PPM	C
电源						
额定工作电压		2.5		5.5	V	B
每个放大器的静态工作电流	T_A = 25°C	200	250	350	µA	A
	T_A = –40°C 至 125°C	150		365	µA	B
电源抑制 (±PSRR)		90	110		dB	A
关断（必须驱动引脚）						
启用电压阈值	高于 V_{S-} + 2.1V 时“开通”		1.4	2.1	V	A
禁用电压阈值	低于 V_{S-} + 0.7V 时“关断”	0.7	1.4		V	A
关断引脚偏置电流	$\overline{PD}$ = 0.5V		20	500	nA	A
关断静态电流	$\overline{PD}$ = 0.5V		0.5	1.5	µA	A
开通时间延迟	时间从 $\overline{PD}$ = 高位到 V_{OUT} = 最终值的 90%		200		ns	C
关断时间延迟	时间从 $\overline{PD}$ = 低位到 V_{OUT} = 原始值的 10%		60		ns	C

版权 © 2011–2016, Texas Instruments Incorporated

7.8 典型特性：V_S = 2.7V

表 **1.** 图形列表

图标题		图位置
小信号频率响应		图 1
大信号频率响应		图 2
同相脉冲响应		图 3
反相脉冲响应		图 4
压摆率	与输出电压阶跃间的关系	图 5
输出过驱恢复		图 6
谐波失真	与频率间的关系	图 7
谐波失真	与负载电阻间的关系	图 8
谐波失真	与输出电压间的关系	图 9
谐波失真	与增益间的关系	图 10
输出电压摆幅	与负载电阻间的关系	图 11
输出饱和电压	与负载电流间的关系	图 12
输出阻抗	与频率间的关系	图 13
频率响应与容性负载间的关系		图 14
串联输出电阻器	与容性负载间的关系	图 15
输入参考噪声	与频率间的关系	图 16
开环增益	与频率间的关系	图 17
共模/电源抑制比	与频率间的关系	图 18
串扰	与频率间的关系	图 19
关断响应		图 20
输入失调电压		图 21
输入失调电压	与大气温度间的关系	图 22
输入失调电压漂移		图 23
输入失调电流		图 24
输入失调电流	与大气温度间的关系	图 25
输入失调电流漂移		图 26

测试条件（除非另有说明）：V_{S+} = +2.7V，$V_{S–}$ = 0V，V_{OUT} = 1Vpp，R_F = 0Ω，R_L = 2kΩ，G = 1V/V，输入和输出以 1/2 Vs 为基准，V_{IN_CM} = 1/2 Vs – 0.5V。T_A = 25°C

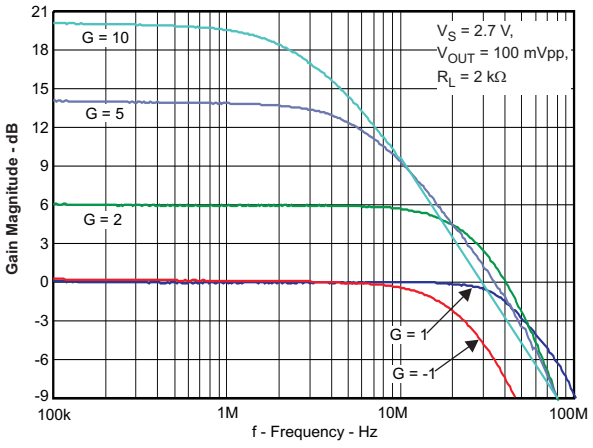


图 **1.** 小信号频率响应

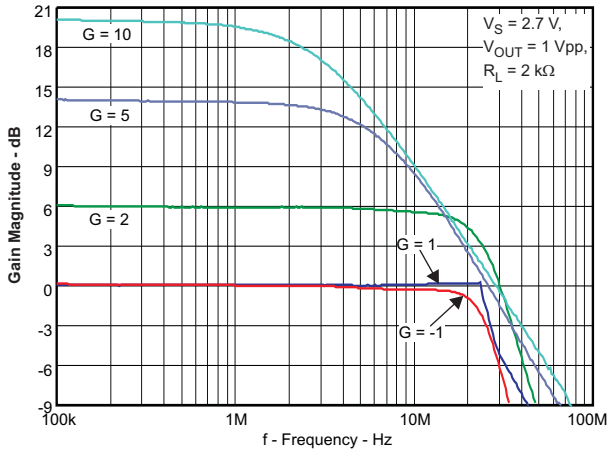


图 **2.** 大信号频率响应

版权 © 2011–2016, Texas Instruments Incorporated

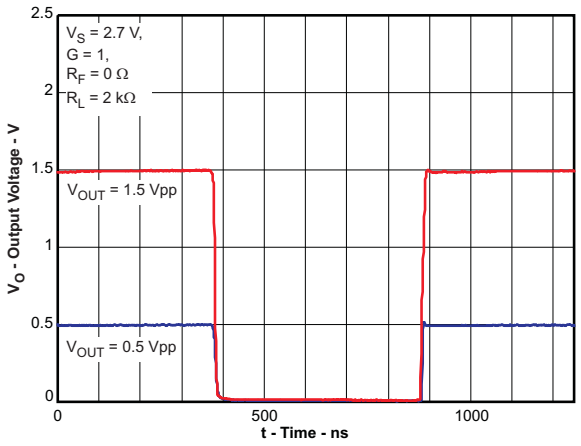


图 3. 同相脉冲响应

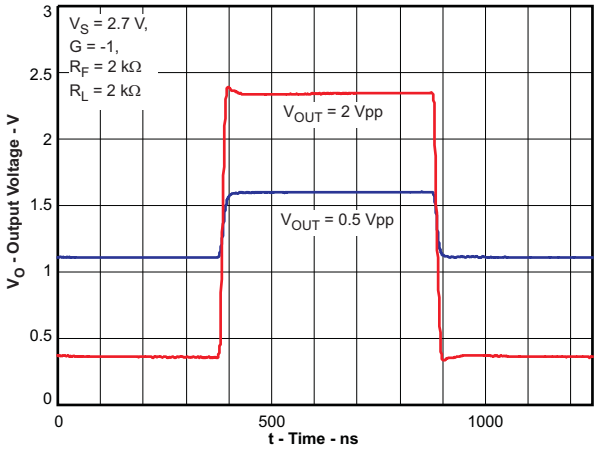


图 4. 反相脉冲响应

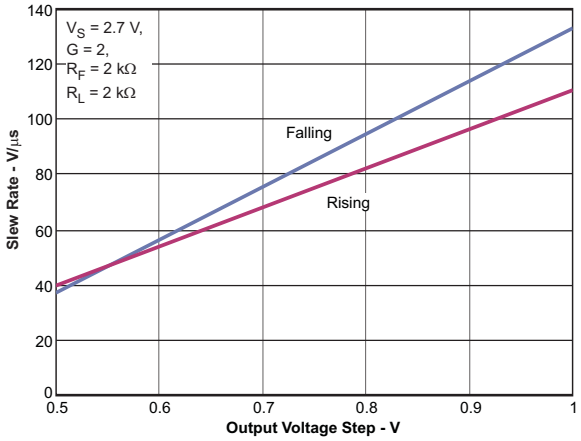


图 5. 压摆率与输出电压阶跃间的关系

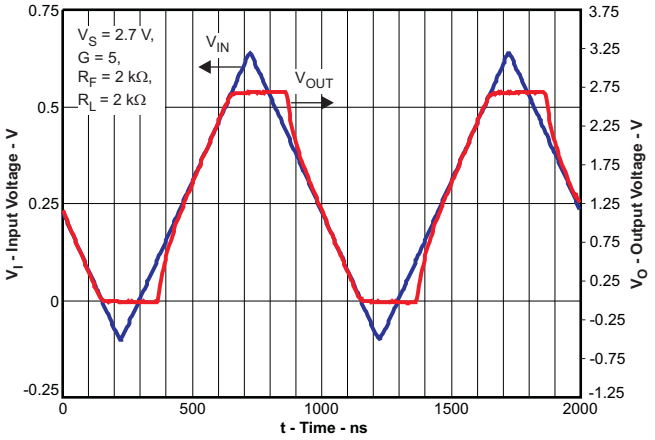


图 6. 输出过驱恢复

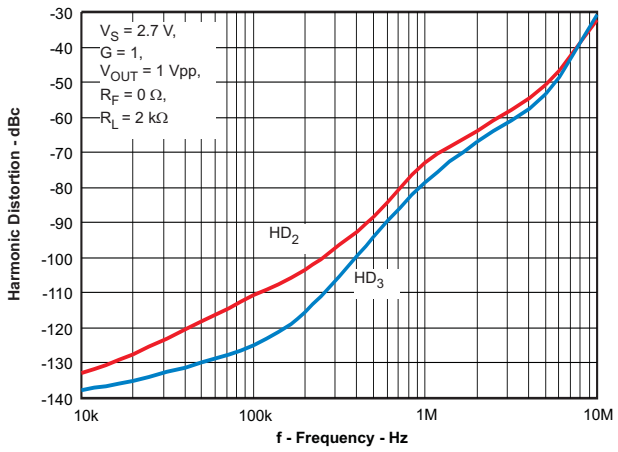


图 7. 谐波失真与频率间的关系

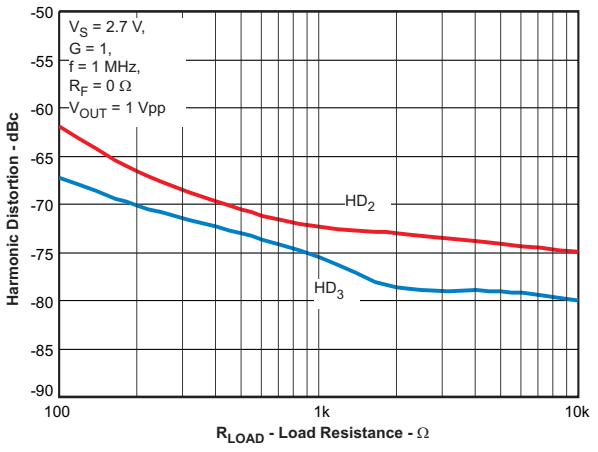


图 8. 谐波失真与负载电阻间的关系

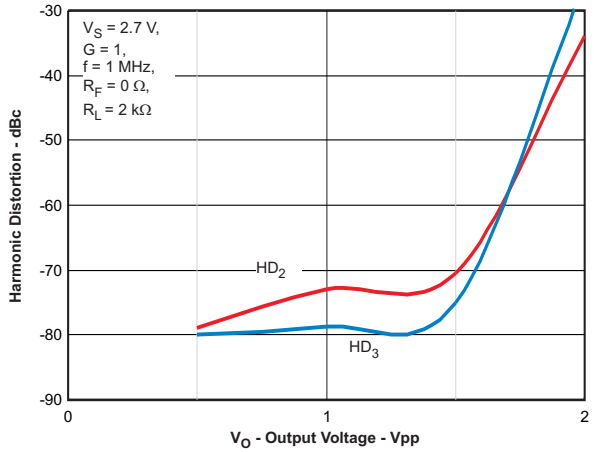


图 **9.** 谐波失真与输出电压间的关系

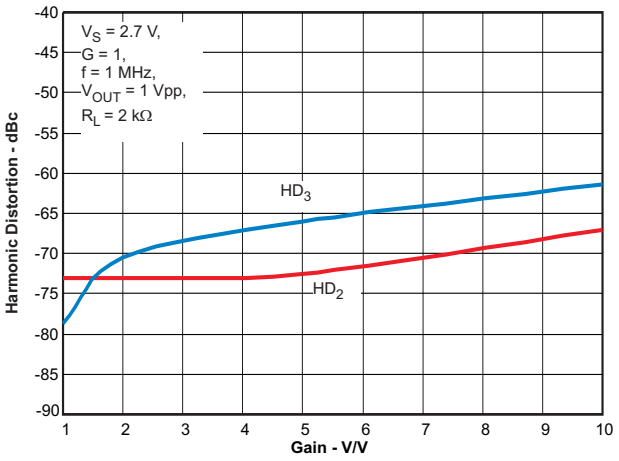


图 **10.** 谐波失真与增益间的关系

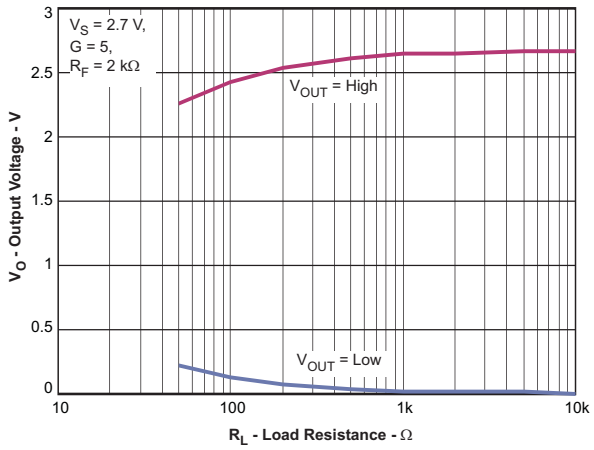


图 **11.** 输出电压摆幅与负载电阻间的关系

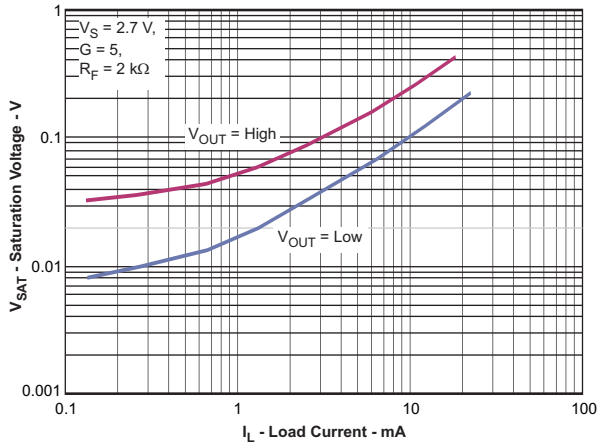


图 **12.** 输出饱和电压与负载电流间的关系

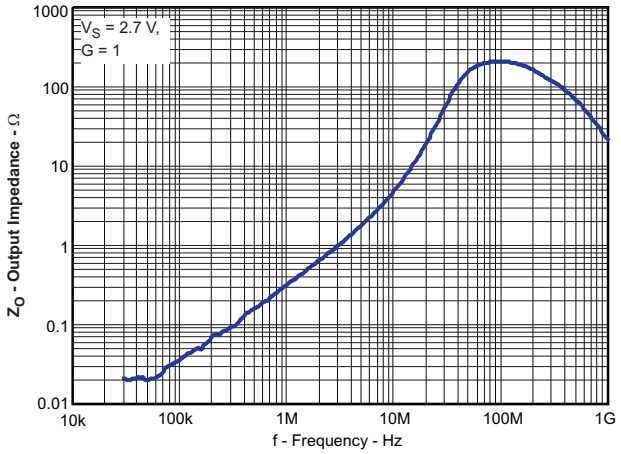


图 **13.** 输出阻抗与频率间的关系

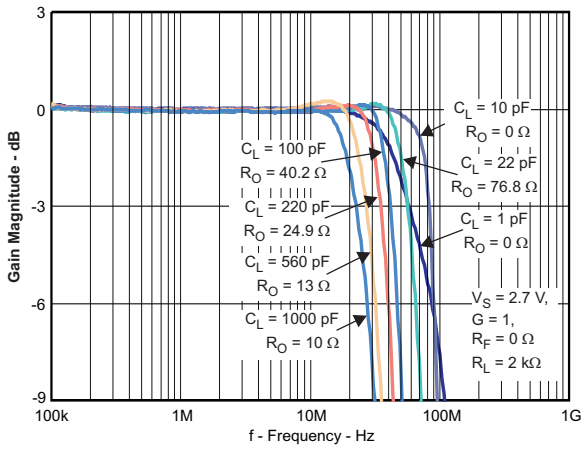


图 **14.** 频率响应与容性负载间的关系

版权 © 2011–2016, Texas Instruments Incorporated

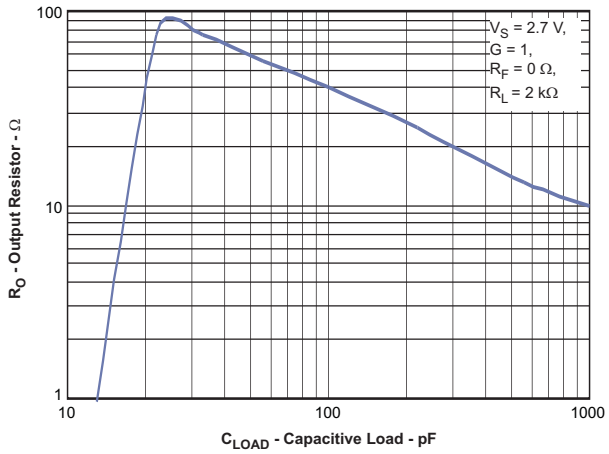


图 **15.** 串联输出电阻器与容性负载间的关系

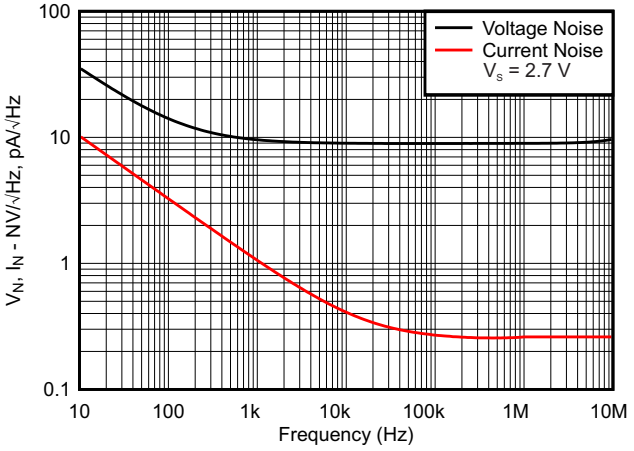


图 **16.** 输入参考噪声与频率间的关系

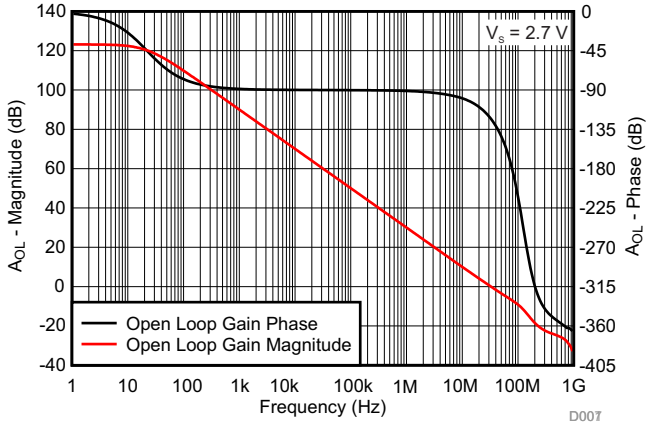


图 **17.** 开环增益与频率间的关系

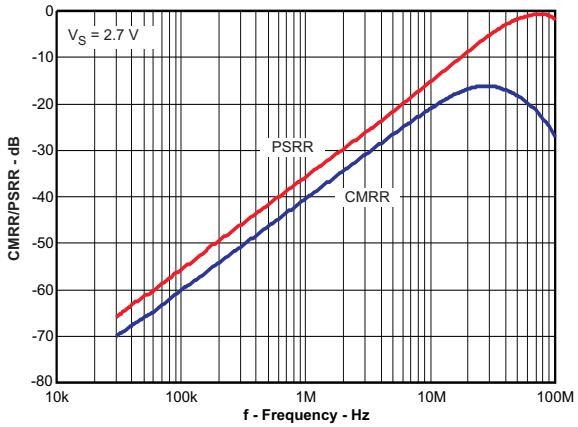


图 **18.** 共模/电源抑制比与频率间的关系

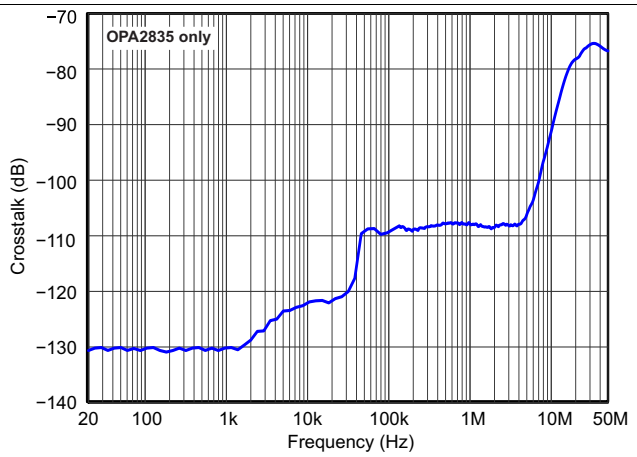


图 **19.** 串扰与频率间的关系

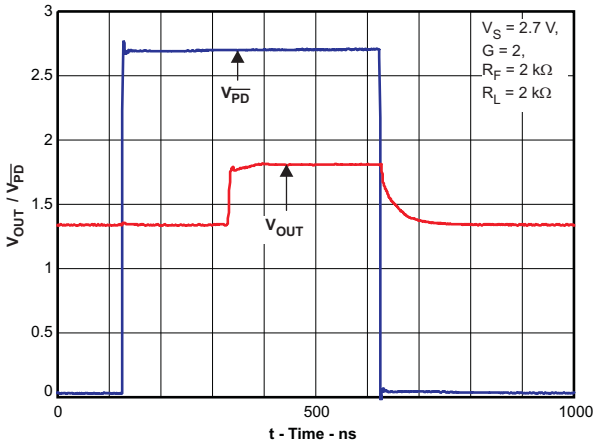


图 **20.** 关断响应

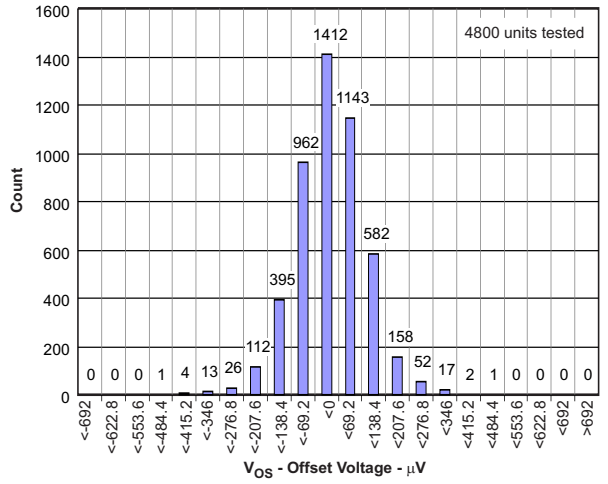


图 **21.** 输入失调电压

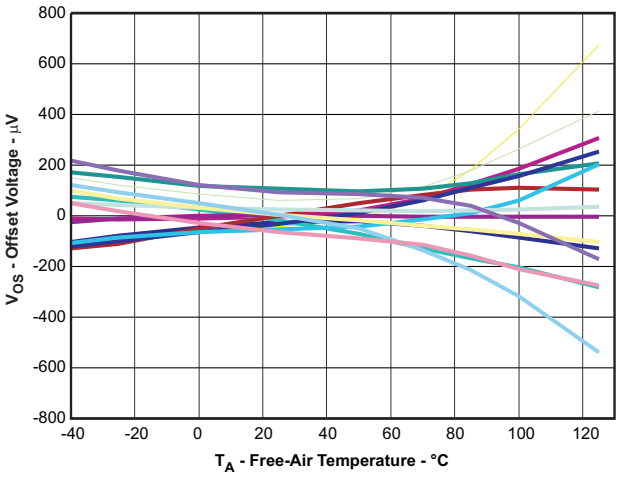


图 **22.** 输入失调电压与大气温度间的关系

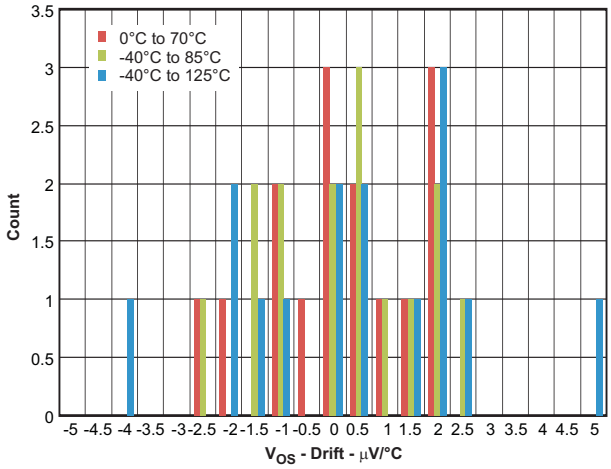


图 **23.** 输入失调电压漂移

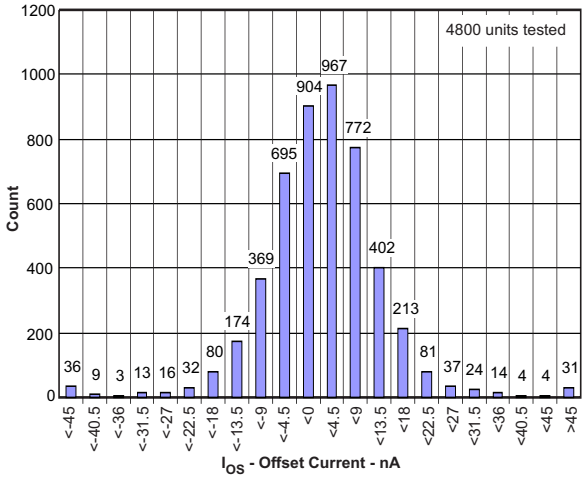


图 **24.** 输入失调电流

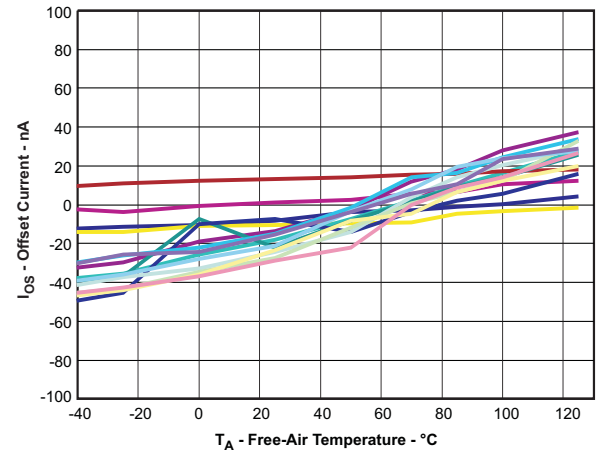


图 **25.** 输入失调电流与大气温度间的关系

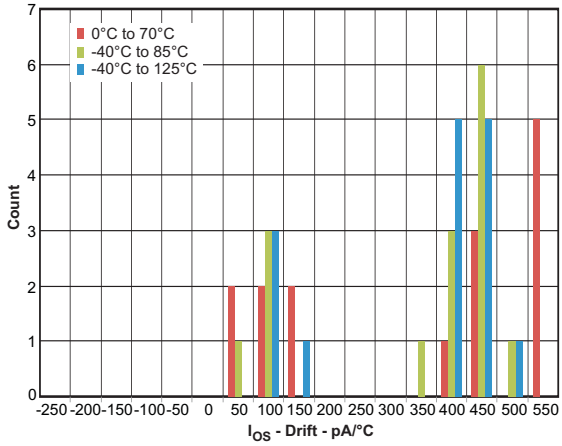


图 **26.** 输入失调电流漂移

版权 © 2011–2016, Texas Instruments Incorporated

7.9 典型特性：V_S = 5V

表 **2.** 图形列表

图标题		图位置
小信号频率响应		图 27
大信号频率响应		图 28
同相脉冲响应		图 29
反相脉冲响应		图 30
压摆率	与输出电压阶跃间的关系	图 31
输出过驱恢复		图 32
谐波失真	与频率间的关系	图 33
谐波失真	与负载电阻间的关系	图 34
谐波失真	与输出电压间的关系	图 35
谐波失真	与增益间的关系	图 36
输出电压摆幅	与负载电阻间的关系	图 37
输出饱和电压	与负载电流间的关系	图 38
输出阻抗	与频率间的关系	图 39
频率响应与容性负载间的关系		图 40
串联输出电阻器	与容性负载间的关系	图 41
输入参考噪声	与频率间的关系	图 42
开环增益	与频率间的关系	图 43
共模/电源抑制比	与频率间的关系	图 44
串扰	与频率间的关系	图 45
关断响应		图 46
输入失调电压		图 47
输入失调电压	与大气温度间的关系	图 48
输入失调电压漂移		图 49
输入失调电流		图 50
输入失调电流	与大气温度间的关系	图 51
输入失调电流漂移		图 52

测试条件（除非另有说明）：V_{S+} = +5V，$V_{S–}$ = 0V，V_{OUT} = 2Vpp，R_F = 0Ω，R_L = 2kΩ，G = 1V/V，输入和输出以 1/2 Vs 为基准。T_A = 25°C

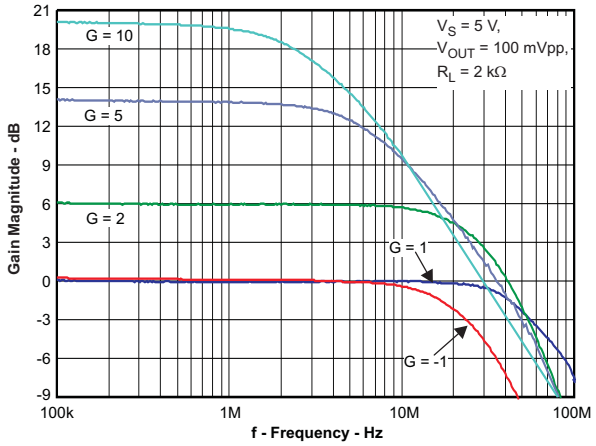


图 **27.** 小信号频率响应

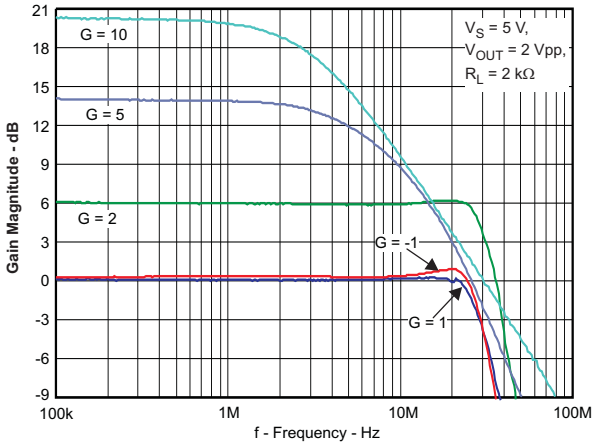


图 **28.** 大信号频率响应

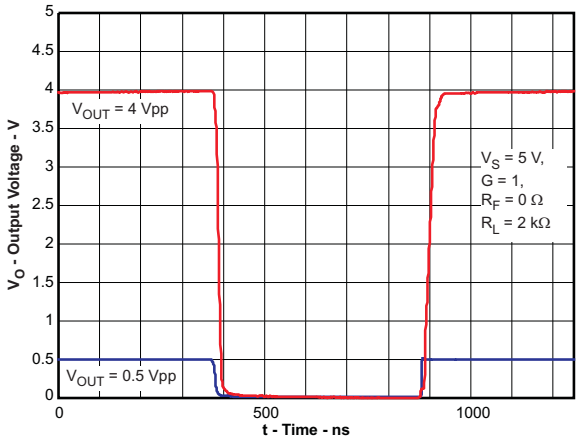


图 **29.** 同相脉冲响应

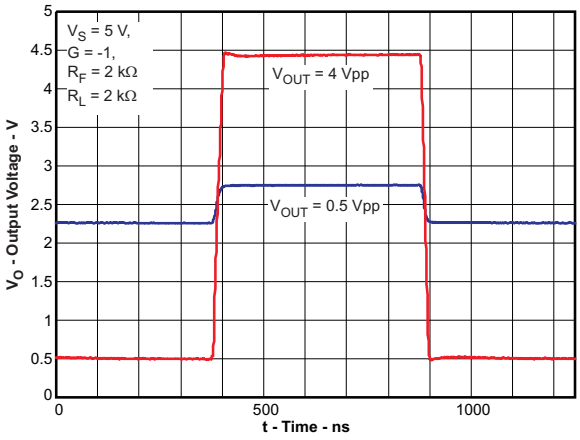


图 **30.** 反相脉冲响应

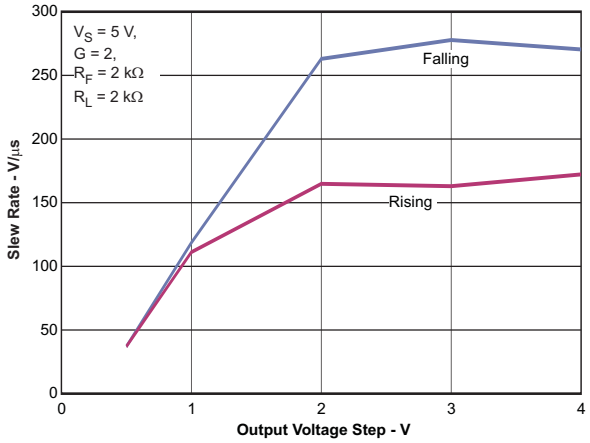


图 **31.** 压摆率与输出电压阶跃间的关系

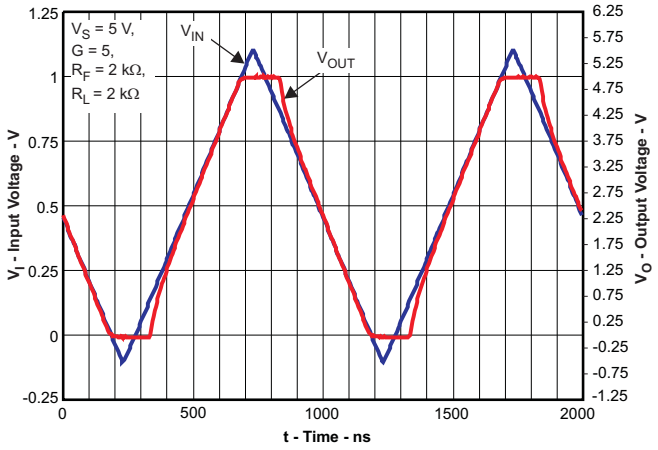


图 **32.** 输出过驱恢复

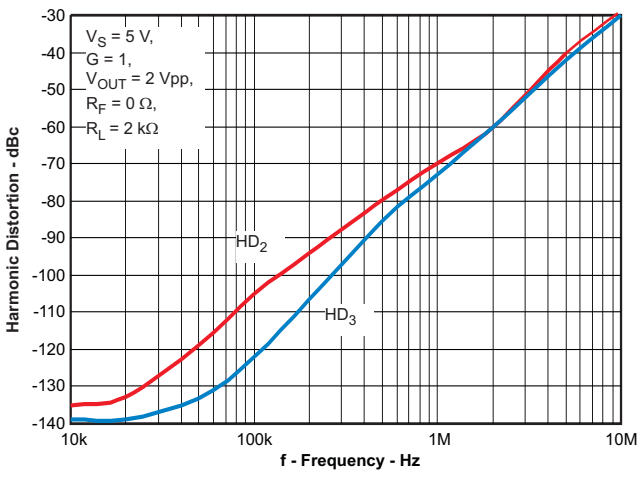


图 **33.** 谐波失真与频率间的关系

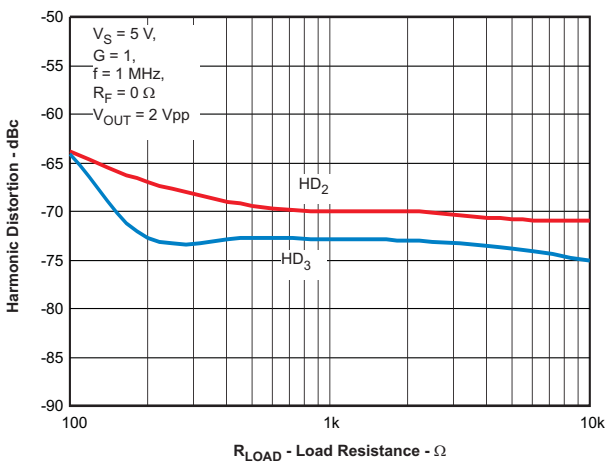


图 **34.** 谐波失真与负载电阻间的关系

版权 © 2011–2016, Texas Instruments Incorporated

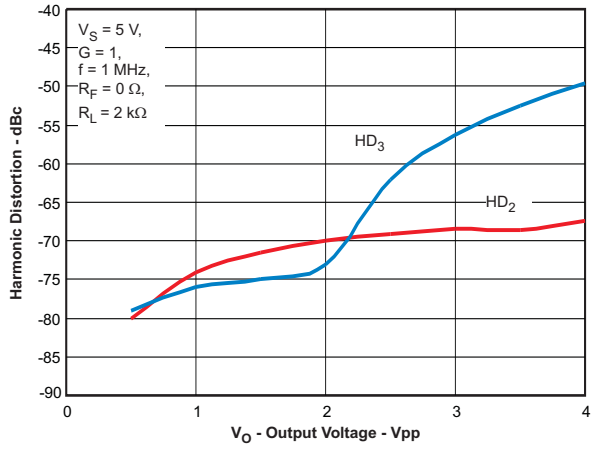


图 **35.** 谐波失真与输出电压间的关系

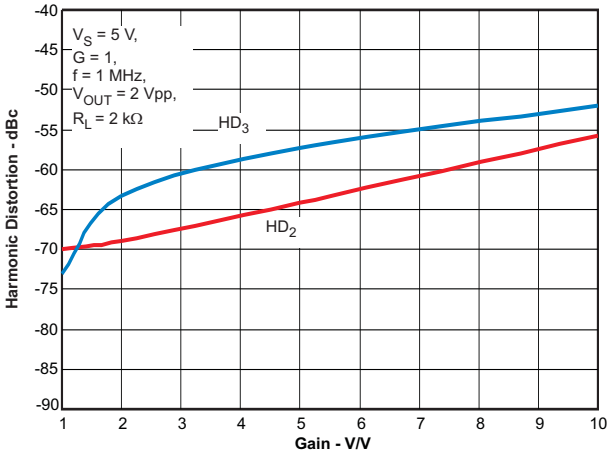


图 **36.** 谐波失真与增益间的关系

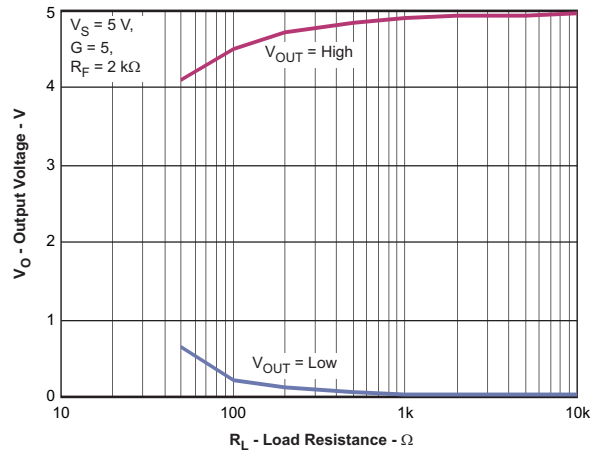


图 **37.** 输出电压摆幅与负载电阻间的关系

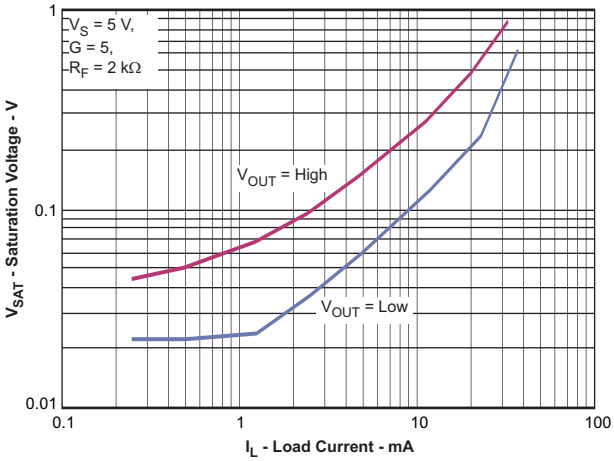


图 **38.** 输出饱和电压与负载电流间的关系

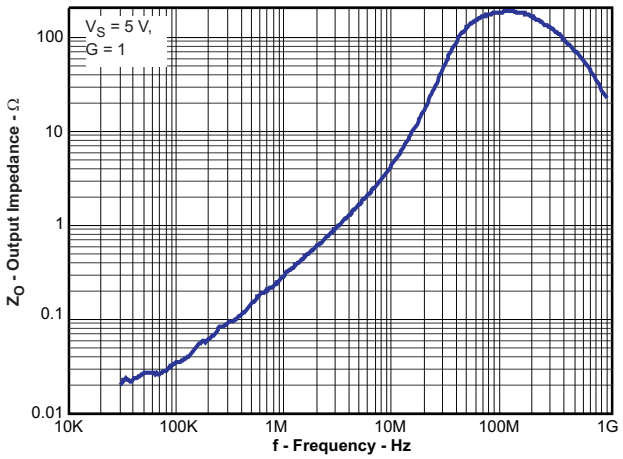


图 **39.** 输出阻抗与频率间的关系

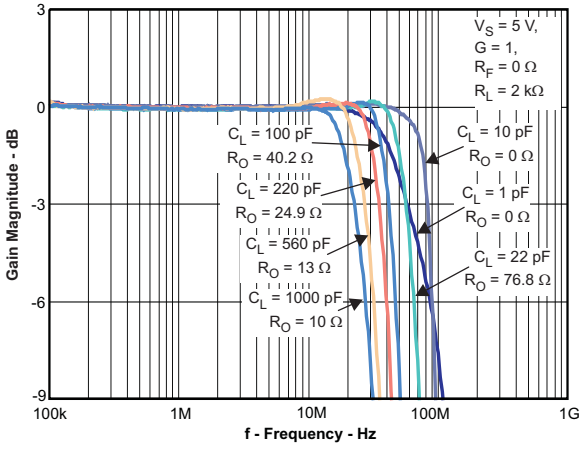


图 **40.** 频率响应与容性负载间的关系

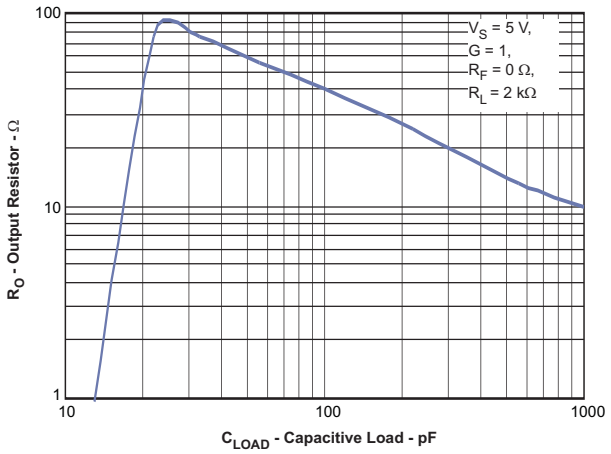


图 **41.** 串联输出电阻器与容性负载间的关系

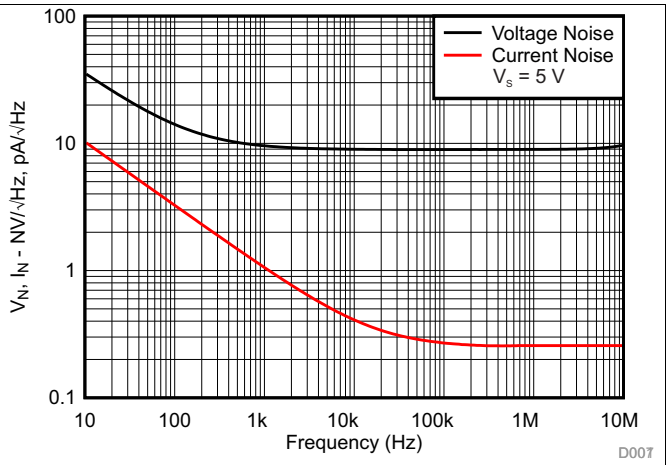


图 **42.** 输入参考噪声与频率间的关系

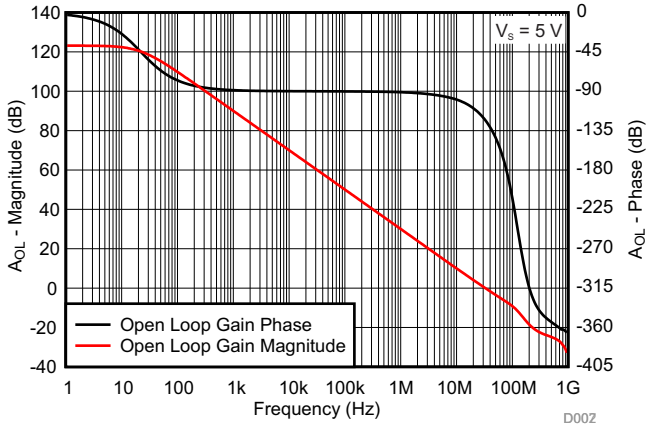


图 **43.** 开环增益与频率间的关系

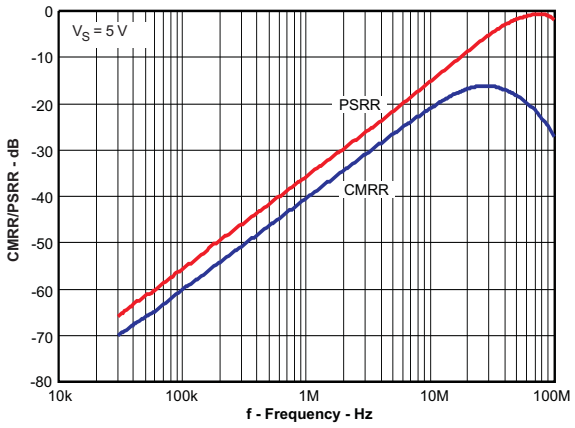


图 **44.** 共模/电源抑制比与频率间的关系

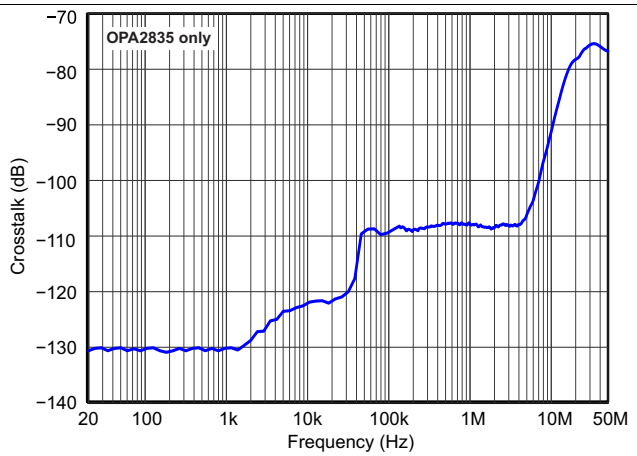


图 **45.** 串扰与频率间的关系

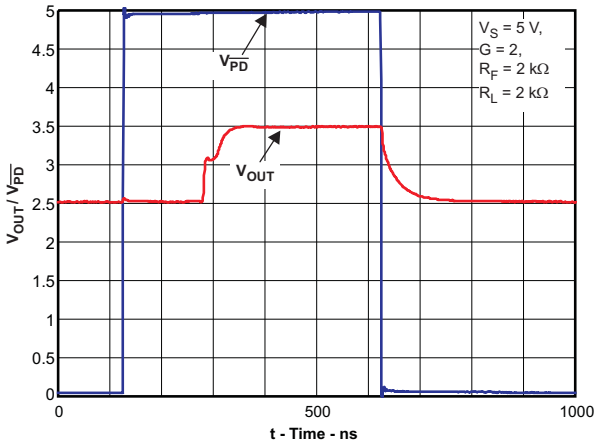


图 **46.** 关断响应

版权 © 2011–2016, Texas Instruments Incorporated

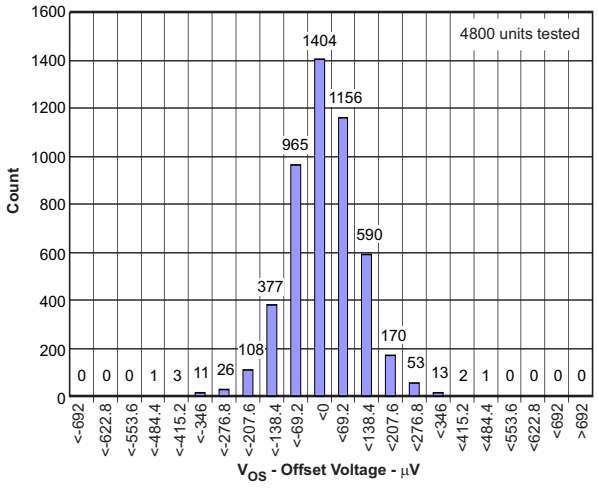


图 **47.** 输入失调电压

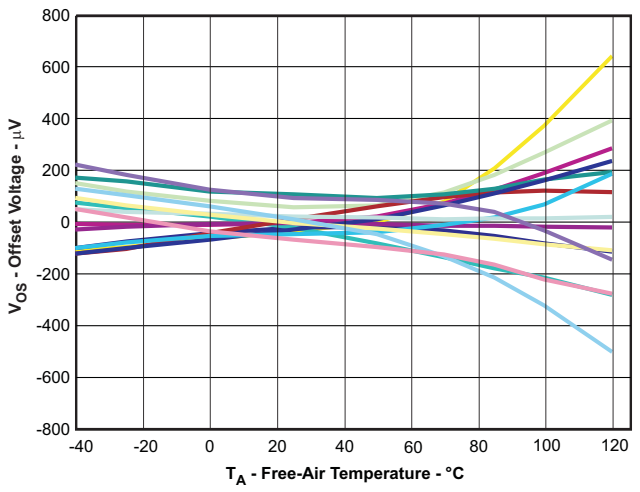


图 **48.** 输入失调电压与大气温度间的关系

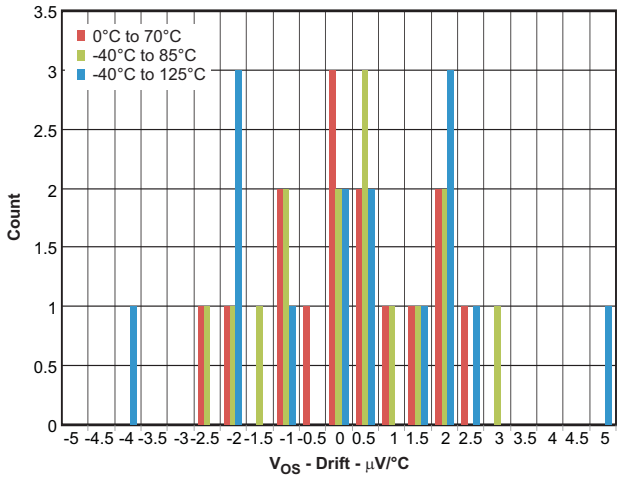


图 **49.** 输入失调电压漂移

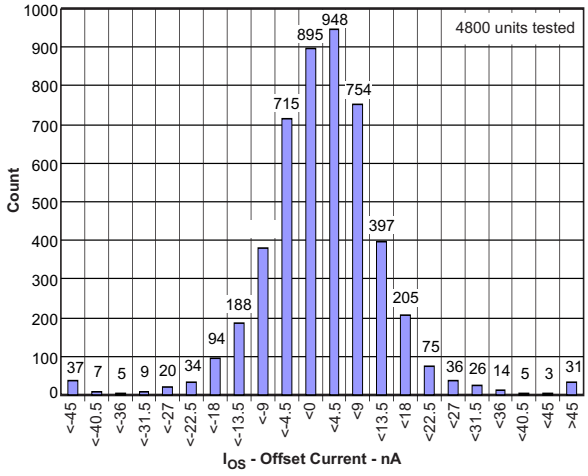


图 **50.** 输入失调电流

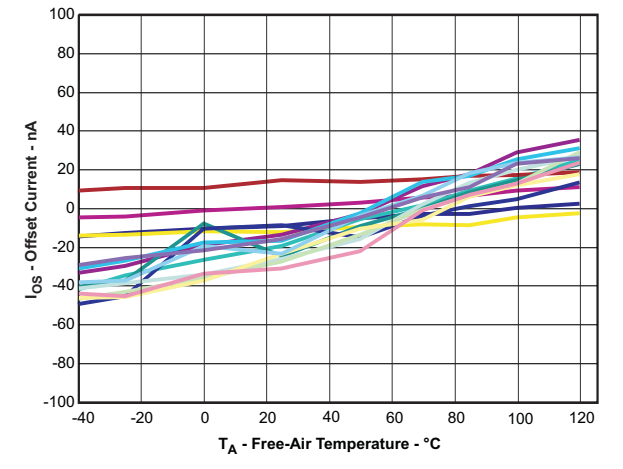


图 **51.** 输入失调电流与大气温度间的关系

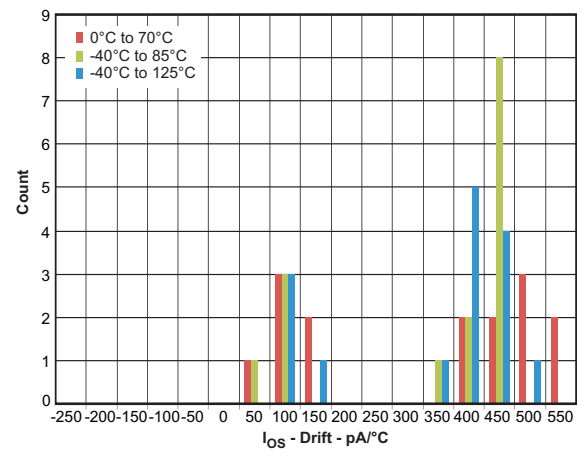


图 **52.** 输入失调电流漂移

8 详细 说明

8.1 概述

OPAx835 系列双极输入运算放大器提供 56MHz 的出色带宽，并在 1kHz 时具有 0.00003% 的超低 THD。当驱动 2kΩ 负载时，此器件的输出摆幅可保持在 200mV 的电源轨范围内。此放大器的输入共模摆幅可低至负电源轨以下 200mV。当每个放大器通道的静态电流为 250μA 时可实现此性能水平。

8.2 功能框图

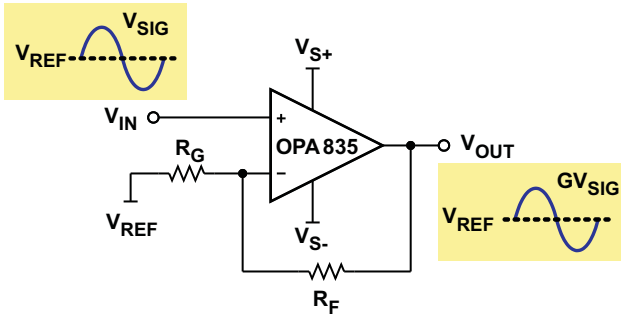


图 **53.** 同相放大器

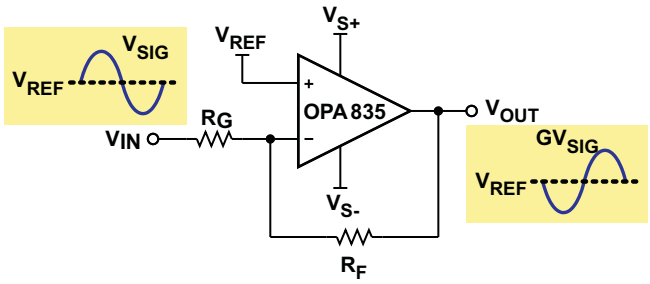


图 **54.** 反相放大器

8.3 功能 说明

8.3.1 输入共模电压范围

当旨在设计一款具有高 CMRR 的线性放大器时，请务必不要突破运算放大器的输入共模电压范围 (V_{ICR})。

表格数据中的共模输入范围规格使用 CMRR 来设置限制。如果输入电压保持在额定范围内，则可以通过选择这些限制来确保 CMRR 不会衰减至 CMRR 限制以下 3dB。这些限制涵盖所有过程变化，且大多数器件都将优于额定规格。典型的规格是负轨下方 0.2V 和正轨下方 1.1V。

假设运算放大器处于线性运行状态，输入引脚之间的电压差会很小（理想情况下为 0V）；并对任一输入引脚处的输入共模电压进行分析，同时假定另一个输入引脚处于相同的电位。V_{IN+} 的电压很容易估算。在同相配置（图 53）中，输入信号 V_{IN} 不得超出 V_{ICR}。在反相配置（如图 54 所示）中，基准电压 V_{REF} 必须在 V_{ICR} 范围内。

输入电压限制具有相对于电源轨的固定余量并会跟随电源电压。对于一个 5V 电源，线性输入电压范围为 –0.2V 至 3.9V，而对于 2.7V 电源，范围为 –0.2V 至 1.6V。两种情况下，每个电源轨的增量余量是相同的，都是 –0.2V 和 1.1V。

版权 © 2011–2016, Texas Instruments Incorporated

功能 说明 (接下页)

8.3.2 输出电压范围

OPA835 和 OPA2835 器件是轨到轨输出 (RRO) 运算放大器。轨到轨输出通常意味着输出电压在电源轨的几百毫伏范围内摆动。可通过不同的方法来指定输出：一种是输出仍然处于线性运行状态，另一种是饱和输出。饱和输出电压比线性输出更接近电源轨，但信号不是输入的线性表示。线性输出能更好地表示器件用作线性放大器时的性能。饱和和线性运行限制受输出电流的影响，这种情况下更高的电流将导致输出晶体管的损耗更大。

规格表列出了 2kΩ 负载情况下的线性和饱和输出电压规格。图 11 和图 37 显示了饱和电压摆幅限制与输出负载电阻间的关系，而图 12 和图 38 显示了输出饱和电压与负载电流间的关系。在轻载条件下，输出电压限制具有相对于电源轨的几乎恒定的余量并会跟随电源电压。例如，采用 2kΩ 负载和单个 5V 电源时，线性输出电压范围为 0.15V 至 4.8V，而对于 2.7V 电源，范围为 0.15 至 2.5V。两种情况下，每个电源轨的增量是相同的，都是 0.15V 和 0.2V。

对于输入范围低于输出范围的器件（如 OPA835 和 OPA2835），输入端通常会将可用信号摆幅限制在只能处于同相增益 1 的范围内。在增益大于 1 的同相配置中以及在任何增益的反相配置中，信号摆幅通常受运算放大器的输出电压限制所限制。

8.3.3 关断运行

OPA835 和 OPA2835 器件包括关断模式。在逻辑控制下，这些放大器可从正常运行状态切换到待机电流小于 1.5μA 的状态。当 $\overline{PD}$ 引脚连接高电平时，放大器处于活动状态。$\overline{PD}$ 引脚连接低电平会禁用放大器，并将输出置于高阻抗状态。放大器配置为单位增益缓冲器时，输出级处于高直流阻抗状态。为了保护放大器的输入级，这些器件在反相和同相输入引脚之间使用内部的背对背 ESD 二极管。当引脚之间的差分电压超过二极管电压降时，该配置会产生一条从放大器输出到同相引脚的并联低阻抗路径。运算放大器配置为其他增益时，反馈 (RF) 和增益 (RG) 电阻器网络会形成并行负载。

$\overline{PD}$ 引脚必须被主动驱动为高电平或低电平，且不得悬空。如果未使用关断模式，则必须将 $\overline{PD}$ 绑定到正电源轨。

$\overline{PD}$ 逻辑状态为 TTL 并以负电源轨 ($V_{S–}$) 为基准。当运算放大器由单电源供电时，由具有相似运算放大器 V_{DD} 电压的逻辑器件进行驱动的接地端无需特别考虑。当运算放大器由双电源供电且 $V_{S–}$ 低于接地值时，具有上拉电阻器的集电极开路型接口更合适。上拉电阻值必须低于 100kΩ。此外，由于集电极开路栅极的反相动作，因此必须否定驱动逻辑。

8.3.4 低功耗 应用 以及电阻值对带宽的影响

OPA835 和 OPA2835 器件专为 R_F 标称值为 2kΩ 且增益不是 +1 的应用而设计。这种情况下可提供优异的失真性能、最大带宽、最佳平坦度和最佳脉冲响应。此外还能加载放大器。例如，如果增益为 2，同时 $R_F = R_G =$ 2kΩ，R_G 接地，且 V_{OUT} = 4V，则会有 1mA 的电流沿着反馈路径流入大地。增益为 +1 时，R_G 将开路，且不会有电流流入大地。在低功耗 应用中，通常希望通过增加增益设置电阻值来减小反馈路径中的电流。由于与寄生电路电容的相互作用，因此使用较大值的增益电阻器除了降低功率外，还会有两个主要副作用。

- 降低带宽
- 减小相位裕度
  - 这会导致频率响应中出现峰值
  - 这会导致频率响应中出现过冲和振铃

图 55 显示了同相增益为 2 且 R_F 和 R_G 等于 2kΩ、10kΩ 和 100kΩ 的条件下在 OPA835EVM 上的小信号频率响应。此测试是在 R_L = 2kΩ 的情况下完成的。由于 R_L 的负载效应，较小的 R_L 值可减小峰值，但较高的值将不会有显著的效果。

功能 说明 (接下页)

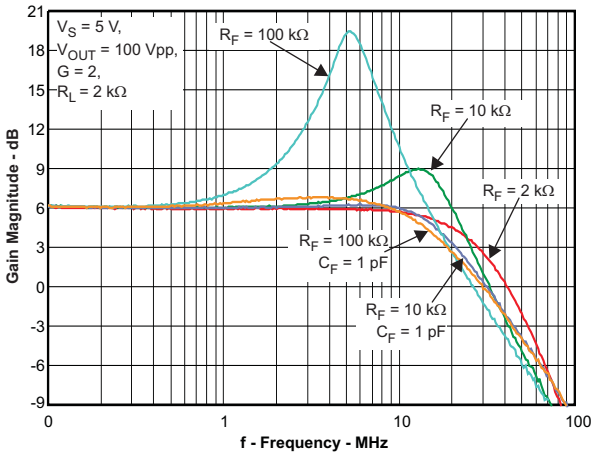


图 **55.** 频率响应与各种增益设置电阻值间的关系

正如预期的那样，较大值的增益电阻器会产生较低带宽以及响应峰值（频率响应中的峰值与脉冲响应中的过冲和振铃是同义的）。通过添加与 R_F 并联的 1pF 电容器有助于补偿相位裕度并恢复平坦的频率响应。图 56 显示了测试电路。

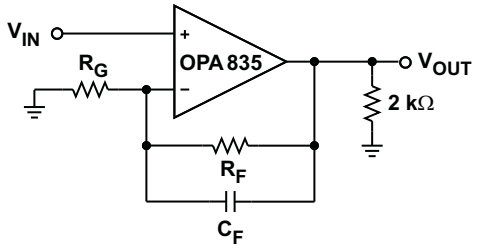


图 **56.** 各种增益设置电阻值条件下的 **G = 2** 测试电路

8.3.5 驱动容性负载

OPA835 和 OPA2835 器件可在输出端驱动高达 10pF 的标称容性负载，且没有需要特别注意的事项。在驱动大于 10pF 的容性负载时，TI 建议使用尽可能靠近器件并与输出端串联的小电阻器 (R_O)。没有 R_O 时，输出电容会与放大器的输出阻抗相互作用，这将导致放大器的环路增益发生相移，从而会减小相位裕度。这将导致频率响应中的峰值和脉冲响应中的过冲和振铃。与其他寄生元件的相互作用可能导致不稳定或振荡。插入 R_O 将会隔离相移与环路增益路径，并恢复相位裕度；但是 R_O 可能会轻度限制带宽。

图 57 显示了测试电路，而图 41 显示了建议的 R_O 值与容性负载 (C_L) 间的关系。请参阅图 40 以了解频率响应与各种值间的关系。

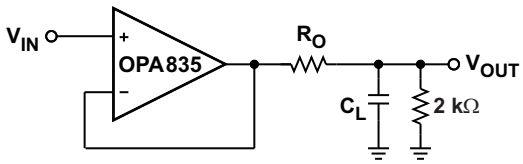


图 **57.** R_O 与 C_L 测试电路

版权 © 2011–2016, Texas Instruments Incorporated

8.4 器件功能模式

8.4.1 双电源供电（±1.25V 至 ±2.75V）

为了方便使用普通实验室设备进行测试，OPA835 EVM（请参阅*《OPA835DBV 和 OPA836DBV EVM 用户指南》*(SLOU314)）依设计可采用双电源进行供电。这种配置简化了实验室测试，因为电源轨之间的中点是大地，且大多数信号发生器、网络分析器、示波器、频谱分析仪和其他实验室设备都具有以接地为基准的输入和输出。

图 58 显示了一个与图 53 相似的简单同相配置，其中采用了 ±2.5V 电源和等于接地的 V_{REF}。输入和输出将围绕接地对称摆动。为了方便使用，在信号围绕接地摆动的系统中最好使用双电源。

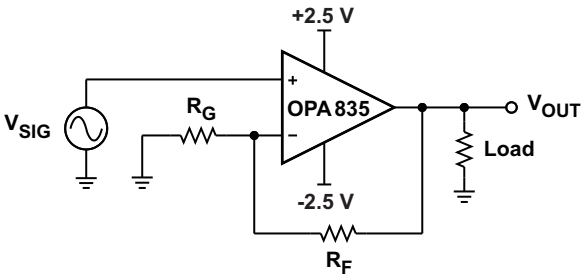


图 **58.** 双电源供电

8.4.2 单电源供电（2.5V 至 5.5V）

通常，较新的系统使用单个电源来提高效率和降低电源成本。根据设计，OPA835 和 OPA2835 器件采用单电源供电，而且只要输入和输出的偏置在器件的线性运行范围内，使用单电源供电的性能便与使用双电源供电的性能没有差别。

要将电路从双电源更改为单电源，请对所有电压进行电平位移，位移值等于电源轨之间的差值的 ½。例如，图 59 显示了从 ± 2.5V 双电源更改为 5V 单电源的情况。

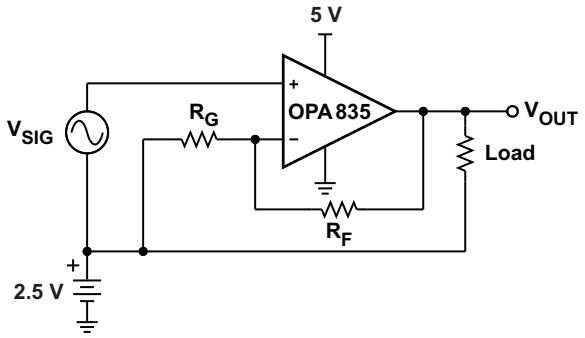


图 **59.** 单电源概念

实际的电路中将有一个放大器或其他电路为输入端提供偏置电压，而该放大器级的输出端则为下一级提供偏置电压。

图 60 显示了典型的同相放大器电路。使用 5V 单电源时，必须使用 1/2 Vs 基准信号发生器通过 R_G 对负极侧进行偏置。为了消除可能由输入偏置电流引起的电压失调，选择的 R_1 等于 R_F 与 R_G 的并联电阻值。例如，如果需要的增益为 2 且 R_F = 2kΩ，应选择 R_G = 2kΩ 来设置该增益，并选择 R_1 = 1kΩ 来消除偏置电流。C 的值取决于基准，但 TI 建议使用至少 0.1μF 的值以限制噪声。

器件功能模式 (接下页)

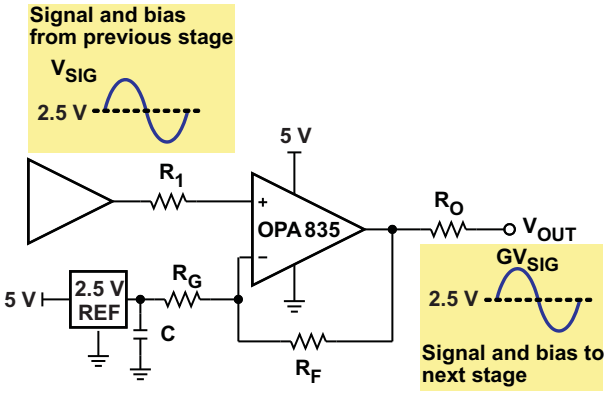


图 **60.** 采用基准的同相单电源

图 61 显示了一个类似的同相单电源场景，其中已使用电阻器和正电源将基准信号发生器替换为戴维南等效器件。R_G' 和 R_G" 形成一个与 5V 电源之间的电阻分压器，并用于对负极侧进行偏置，同时使并联总和等于等效电阻 R_G 以便设置增益。为了消除可能由输入偏置电流引起的电压失调，选择的 R_1 等于 R_F、R_G' 和 R_G" 三者的并联电阻值 (R_1= R_F || R_G' || R_G")。例如，如果需要的增益为 2 且 R_F = 2kΩ，则选择 R_G' = R_G" = 4kΩ 可得出等效并联总和为 2kΩ，设置增益为 2，并使输入端以 1/2 Vs (2.5V) 为基准。为了消除偏置电流，R_1 应设置为 1kΩ。电阻分压器的成本低于图 60 中的 2.5V 基准，但可能会增加 5V 电源输出的电流。

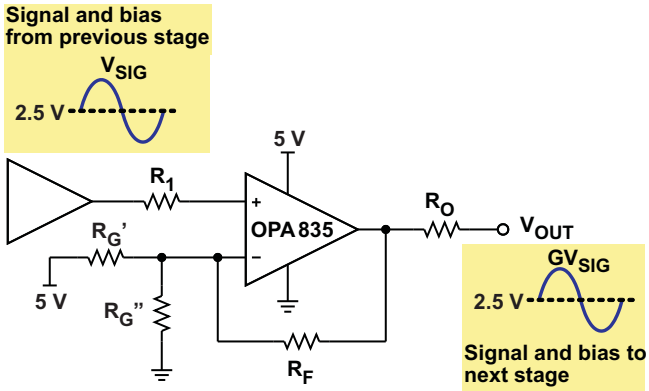


图 **61.** 采用电阻器的同相单电源

图 62 显示了典型的反相放大器电路。使用 5V 单电源时，必须使用 1/2 Vs 基准信号发生器通过 R_1 对正极侧进行偏置。为了消除可能由输入偏置电流引起的电压失调，选择的 R_1 等于 R_F 与 R_G 的并联电阻值。例如，如果需要的增益为 –2 且 R_F = 2kΩ，应选择 R_G = 1kΩ 来设置该增益，并选择 R_1 = 667Ω 来消除偏置电流。C 的值取决于基准，但 TI 建议使用至少 0.1μF 的值以便将噪声限制在运算放大器中。

版权 © 2011–2016, Texas Instruments Incorporated

器件功能模式 (接下页)

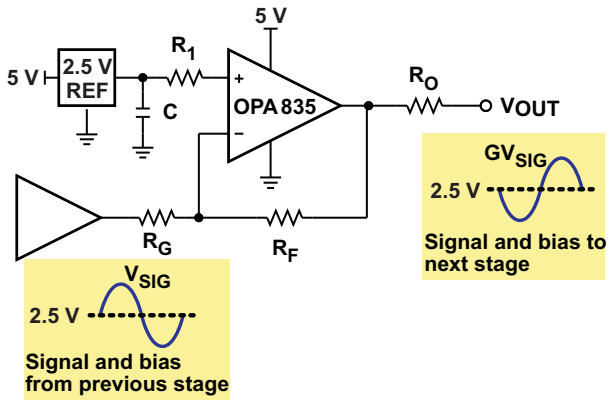


图 **62.** 采用基准的反相单电源

图 63 显示了一个类似的反相单电源场景，其中已使用电阻器和正电源将基准信号发生器替换为戴维南等效器件。R_1 和 R_2 形成一个与 5V 电源之间的电阻分压器，并用于对正极侧进行偏置。为了消除可能由输入偏置电流引起的电压失调，应设置 R_1 和 R_2 的并联总和等于 R_F 和 R_G 的并联总和。必须添加 C 来限制噪声耦合到正输入端。例如，如果需要的增益为 –2 且 R_F = 2kΩ，应选择 R_G = 1kΩ 来设置该增益。为了实现 1/2 Vs 电压偏置和运算放大器输入偏置电流消除，应设置 R_1 = R_2 = 667Ω。C 的理想值是 0.1μF。电阻分压器的成本低于图 62 中的 2.5V 基准，但可能会增加 5V 电源输出的电流。

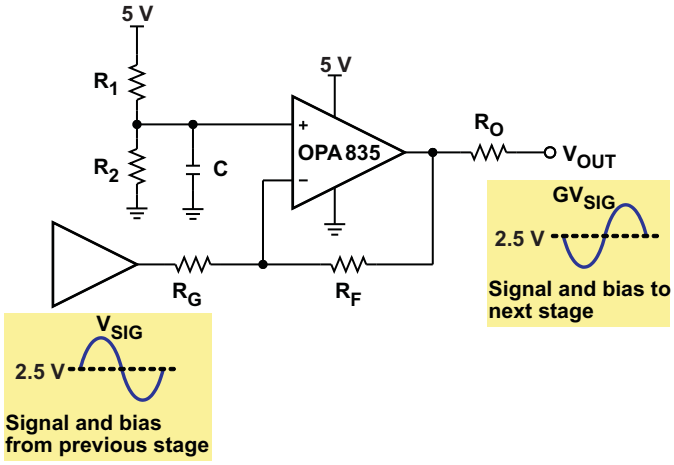


图 **63.** 采用电阻器的反相单电源

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

9.1.1 同相放大器

OPA835 和 OPA2835 器件可用作同相放大器，使信号输入端连接到同相输入端 (V_{IN+})。 图 53 显示了该电路的基本框图。

如果 $V_{IN} = V_{REF} + V_{SIG}$，则可根据公式 1 来计算放大器输出。

$$V_{OUT} = V_{SIG}\left(1 + \frac{R_F}{R_G}\right) + V_{REF} \quad (1)$$

该电路的信号增益由 $G = 1 + \frac{R_F}{R_G}$ 设置，且 V_{REF} 提供输入和输出信号摆动时所围绕的基准。输出信号与输入信号同相。

OPA835 和 OPA2835 器件专为 R_F 标称值为 2kΩ 且增益不是 +1 的应用而设计。这种情况下可提供优异的失真性能、最大带宽、最佳平坦度和最佳脉冲响应。必须使用 R_F = 2kΩ 作为默认值，除非其他设计目标要求更改为其他值。用于收集此数据表数据的所有测试电路对于除 +1 以外的所有增益均使用 R_F = 2kΩ。增益为 +1 是一种特殊情况，这种情况下 R_F 短路而 R_G 保持开路。

9.1.2 反相放大器

OPA835 和 OPA2835 器件可用作反相放大器，使信号输入端通过增益设置电阻器 R_G 连接到反相输入端 ($V_{IN–}$)。图 54 显示了该电路的基本框图。

如果 $V_{IN} = V_{REF} + V_{SIG}$，则可根据公式 2 来计算放大器的输出。

$$V_{OUT} = V_{SIG}\left(\frac{-R_F}{R_G}\right) + V_{REF} \quad (2)$$

该电路的信号增益为 $G = \frac{-R_F}{R_G}$，且 V_{REF} 提供输入和输出信号摆动时所围绕的基准点。输出信号与输入信号之间呈现 180° 相位差。对于反相增益，R_F 的标称值为 2kΩ。

9.1.3 仪表放大器

图 64 是将差分至差分放大器电路的高输入阻抗与差分至单端放大器电路的共模抑制相结合的仪表放大器。该电路通常用于需要高输入阻抗（例如差分线路中的抽头）或信号源为高阻抗的 应用 中。

如果 $V_{IN+} = V_{CM} + V_{SIG+}$ 且 $V_{IN–} = V_{CM} + V_{SIG–}$，则可根据公式 3 来计算放大器的输出。

$$V_{OUT} = (V_{IN+} - V_{IN–}) \times \left(1 + \frac{2R_{F1}}{R_{G1}}\right)\left(\frac{R_{F2}}{R_{G2}}\right) + V_{REF} \quad (3)$$

该电路的信号增益为 $G = \left(1 + \frac{2R_{F1}}{R_{G1}}\right)\left(\frac{R_{F2}}{R_{G2}}\right)$。$V_{CM}$ 被拒绝，且 V_{REF} 提供输出信号摆动时所围绕的电平位移。单端输出信号与差分输入信号同相。

版权 © 2011–2016, Texas Instruments Incorporated

应用信息 (接下页)

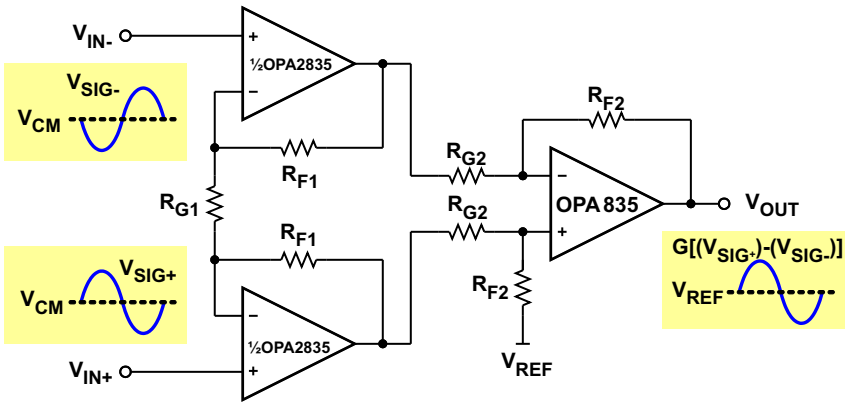


图 64. 仪表放大器

可以使用集成解决方案，但 OPA835 器件提供功耗大幅降低的高频解决方案。为获得最佳的 CMRR 性能，电阻器必须匹配。根据经验法则，建议 CMRR ≈ 电阻器容差；所以 0.1% 的容差将提供大约 60dB 的 CMRR。

9.1.4 衰减器

图 53 所示的同相电路具有最小增益值 1。为了实现衰减，可将电阻分压器与正输入端串联，而放大器通过将 V_{OUT} 短接至 V_{IN-} 并移除 R_G 来设置增益值 1。 由于运算放大器输入为高阻抗，因此电阻分压器可设置衰减。

通过使 R_G 大于 R_F，图 54 所示的反相电路可用作衰减器。衰减就是电阻比。例如，一个 10:1 的衰减器可通过 R_F = 2kΩ 和 R_G = 20kΩ 来实现。

9.1.5 单端至差分放大器

图 65 显示了一个放大器电路，该电路将单端信号转换为差分信号并提供增益和电平位移。该电路可以在诸如驱动 Cat5 布线或驱动差分输入 SAR 和 ΔΣ ADC 等 应用 中将信号转换为差分信号。

通过 $V_{IN} = V_{REF} + V_{SIG}$，可根据公式 4 来计算放大器的输出。

$$V_{OUT+} = G \times V_{IN} + V_{REF} \quad \text{and} \quad V_{OUT-} = -G \times V_{IN} + V_{REF} \quad \text{Where: } G = 1 + \frac{R_F}{R_G} \tag{4}$$

该电路的差分信号增益为 2 × G，且 V_{REF} 提供输出信号摆动时所围绕的基准。差分输出信号与单端输入信号同相。

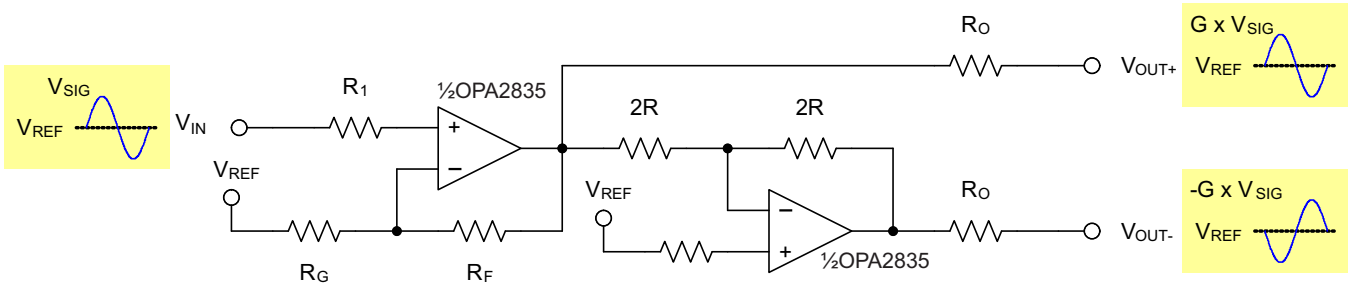


图 65. 单端至差分放大器

应用信息 (接下页)

输出端上的线路端接可以用电阻器 R_O 来实现。从线路看到的差分阻抗将是 2 × R_O。例如，如果使用 100Ω Cat5 电缆进行双端接，放大器通常将差分增益设置为 2V/V (6dB)，使 R_F = 0Ω（短路）、R_G = ∞Ω（开路）、2R = 2kΩ、R1 = 0Ω、R = 1kΩ（用于输入偏置电流平衡）且 R_O = 49.9Ω（用于输出线路端接）。图 66 显示了此配置。

如果要驱动差分输入 ADC，则情况类似，但在选择输出电阻器 R_O 时应确保 ADC 输入端上有一个电容器，以便实现最佳的滤波和建立时间性能。

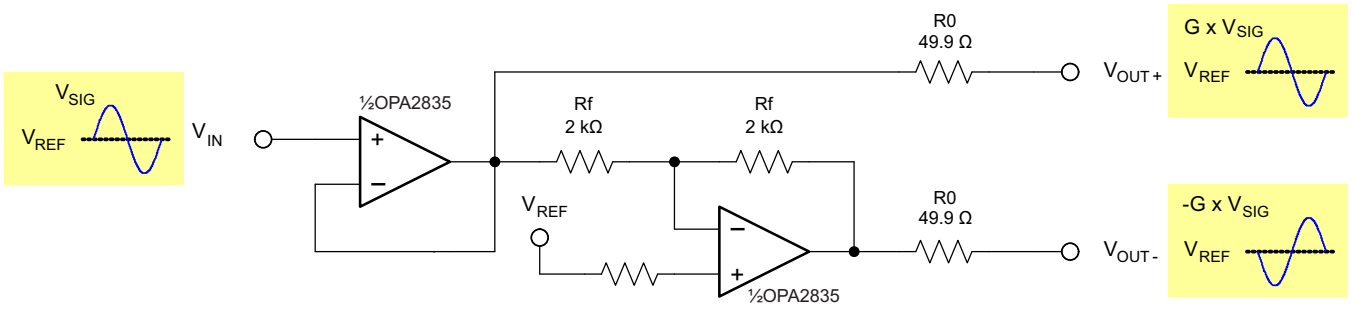


图 66. 增益 = 2V/V (6dB) 的 Cat5 线路驱动器

9.1.6 差分至单端放大器

图 67 显示了一个差分放大器，该放大器将差分信号转换为单端信号并提供增益（或衰减）和电平位移。该电路可用于诸如线路接收器（用于将 Cat5 电缆的差分信号转换为单端信号）的 应用 。

如果 $V_{IN+} = V_{CM} + V_{SIG+}$ 且 $V_{IN-} = V_{CM} + V_{SIG-}$，则可根据公式 5 来计算放大器的输出。

$$V_{OUT} = (V_{IN+} - V_{IN-}) \times \left(\frac{R_F}{R_G}\right) + V_{REF} \quad (5)$$

该电路的信号增益为 $G = \frac{R_F}{R_G}$，V_{CM} 被拒绝，且 V_{REF} 提供输出信号摆动时所围绕的电平位移。单端输出信号与差分输入信号同相。

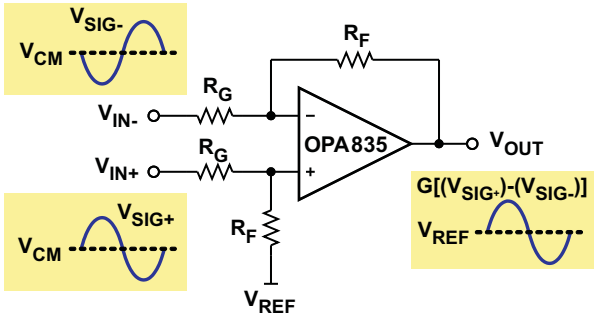


图 67. 差分至单端放大器

通过在 VIN+ 和 VIN- 输入端上添加分流电阻器可以实现线路端接。差分阻抗是与放大器电路的输入阻抗（该阻抗通常高得多）并联的分流电阻。对于低增益和低线路阻抗，要添加的电阻值大概等于线路的阻抗。例如，如果将 100Ω Cat5 电缆与增益为 1 的放大器结合使用，且 R_F = R_G = 2kΩ，则在输入端上增加一个 100Ω 的分流器将产生 99Ω 的差分阻抗，这对于大多数 应用而言是足够的。

为获得最佳的 CMRR 性能，电阻器必须匹配。假定 CMRR ≈ 电阻器容差，0.1% 的容差将提供大约 60dB 的 CMRR。

版权 © 2011–2016, Texas Instruments Incorporated

应用信息 (接下页)

9.1.7 差分至差分放大器

图 68 显示了用于放大差分信号的差分放大器。该电路具有高输入阻抗，并且用于差分线路驱动器 应用 ，此类应用中信号源是必须驱动线路的高阻抗驱动器（例如，差分 DAC）。

如果用户设置 $V_{IN\pm} = V_{CM} + V_{SIG\pm}$，则可根据公式 6 来计算放大器的输出。

$$V_{OUT\pm} = V_{IN\pm} \times \left(1 + \frac{2R_F}{R_G}\right) + V_{CM} \quad (6)$$

该电路的信号增益为 $G = 1 + \frac{2R_F}{R_G}$，且 V_{CM} 在单位增益下通过。该放大器将两个同相放大器组合成一个共享 R_G 电阻器的差分放大器，从而使 R_G 在计算增益时有效地将值减半。输出信号与输入信号同相。

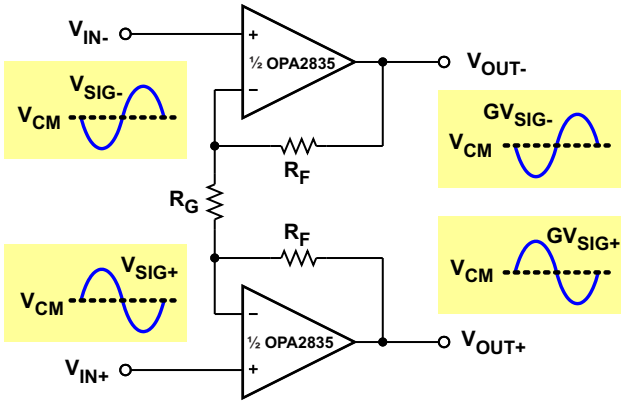


图 **68.** 差分至差分放大器

9.1.8 使用 OPA835 RUN 集成电阻器进行增益设置

OPA835 RUN 封装选件包含集成的增益设置电阻器，因此可在印刷电路板上实现尽可能最小的尺寸（≈ 2.00mm x 2.00mm）。通过在 PCB 上添加电路迹线，可实现 +1、–1、–1.33、+2、+2.33、–3、+4、–4、+5、–5.33、+6.33、–7、+8 的增益和 –0.1429、–0.1875、–0.25、–0.33、–0.75 的反相衰减。

图 69 显示了 OPA835IRUN 集成增益设置网络的实现方式的简化视图。表 3 列出了各种同相和反相增益（参考图 53 和图 54）所需的引脚连接。表 4 列出了使用反相放大器架构（参考图 54）的各种衰减所需的引脚连接。由于所有引脚上都使用 ESD 保护器件，绝对最大和最小输入电压范围（V_{S-} – 0.7V 至 V_{S+} + 0.7V）适用于增益设置电阻器，所以大输入电压的衰减将需要外部电阻器才能实现。

增益设置电阻器经过激光修整为 1% 容差，且标称值为 2.4kΩ、1.8kΩ 和 600Ω。增益设置电阻器具有出色的温度系数，且增益跟踪优于使用外部增益设置电阻器。800Ω 电阻器和 1.25pF 电容器与 2.4kΩ 增益设置电阻器并联后可提供补偿，从而实现最佳稳定性和脉冲响应。

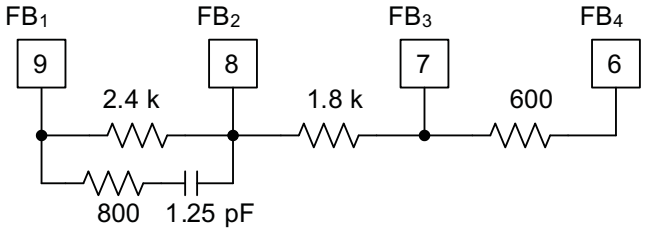


图 **69. OPA835IRUN** 增益设置网络

应用信息 (接下页)

表 3. 增益设置

同相增益放大器（图 53）	反相增益（图 54）	短接引脚	短接引脚	短接引脚	短接引脚
1V/V (0dB)	—	1 至 9			—
2V/V (6.02dB)	–1V/V (0dB)	1 至 9	2 至 8	6 至 GND	—
2.33V/V (7.36dB)	–1.33V/V (2.5dB)	1 至 9	2 至 8	7 至 GND	—
4V/V (12.04dB)	–3V/V (9.54dB)	1 至 8	2 至 7	6 至 GND	—
5V/V (13.98dB)	–4V/V (12.04dB)	1 至 9	2 至 7 或 8	7 至 8	6 至 GND
6.33V/V (16.03dB)	–5.33V/V (14.54dB)	1 至 9	2 至 6 或 8	6 至 8	7 至 GND
8V/V (18.06dB)	–7V/V (16.90dB)	1 至 9	2 至 7	6 至 GND	—

表 4. 衰减器设置

反相增益（图 54）	短接引脚	短接引脚	短接引脚	短接引脚
–0.75V/V (–2.5dB)	1 至 7	2 至 8	9 至 GND	—
–0.333V/V (–9.54dB)	1 至 6	2 至 7	8 至 GND	—
–0.25V/V (–12.04dB)	1 至 6	2 至 7 或 8	7 至 8	9 至 GND
–0.1875V/V (–14.54dB)	1 至 7	2 至 6 或 8	6 至 8	9 至 GND
–0.1429V/V (–16.90dB)	1 至 6	2 至 7	9 至 GND	—

9.1.9 采用单电源的脉冲应用

对于信号已接地并发出正或负电压脉冲的脉冲 应用 ，电路偏置电压注意事项与信号围绕参考点对称摆动的应用中的注意事项不同。图 70 显示了信号已接地 (0V) 并发出正值脉冲的电路。

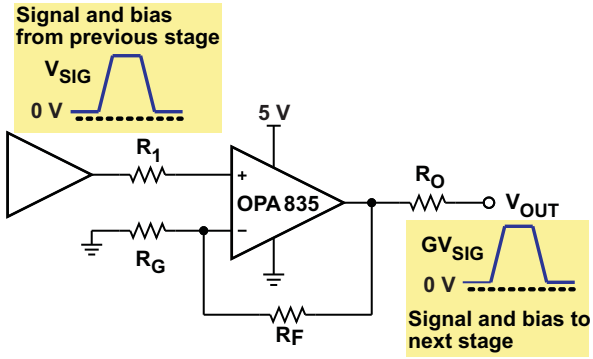


图 70. 具有脉冲的同相单电源

如果输入信号从大地发出负脉冲，则反相放大器更合适，如图 71 所示。在同相和反相情况下的一项关键注意事项是，应将输入和输出电压保持在放大器的限制范围内。由于 OPA835 器件的 V_{ICR} 包括负电源轨，因此 OPA835 运算放大器非常适合该应用。

版权 © 2011–2016, Texas Instruments Incorporated

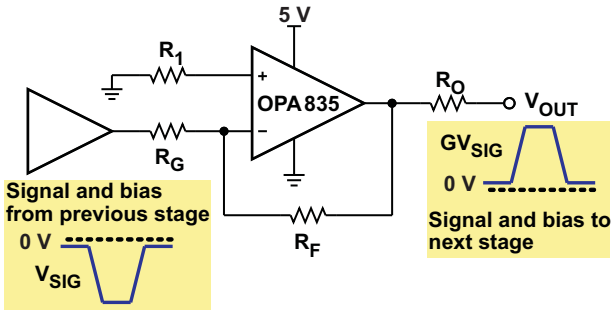


图 **71.** 具有脉冲的反相单电源

9.1.10 ADC 驱动器性能

在低功耗音频和工业 应用中驱动高性能 Δ-Σ 和逐次逼近型寄存器 (SAR) ADC 时，OPA835 器件具有出色的性能。

为了显示可实现的性能，OPA835 器件经测试可作为 ADS8326 器件的驱动放大器。ADS8326 器件是一款 16 位微功耗 SAR ADC，具有伪差分输入和高达
250 kSPS 的采样率。该器件采用小型 8 引脚 SOIC 或 VSSOP (MSOP) 封装，具有出色的噪声和失真性能。低功耗和小尺寸特点使得 ADS8326 和 OPA835 器件成为适合便携式和电池供电类系统、远程数据采集模块、同步多通道系统和隔离式数据采集的理想解决方案。

利用图 72 所示的电路来测试性能，图 73 显示了采用 10kHz 输入频率时的频谱性能。表 5 中显示了交流结果列表。

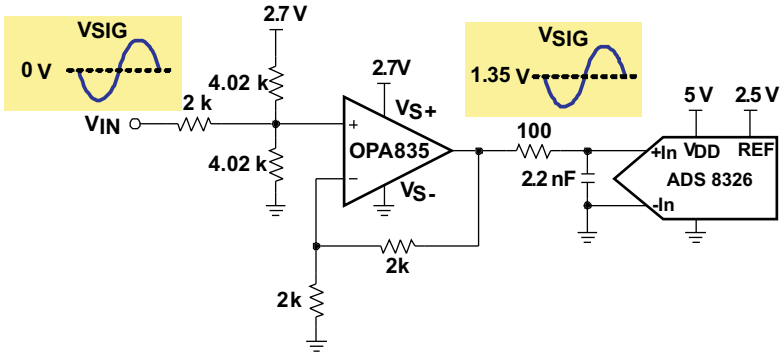


图 **72. OPA835** 和 **ADS8326** 测试电路

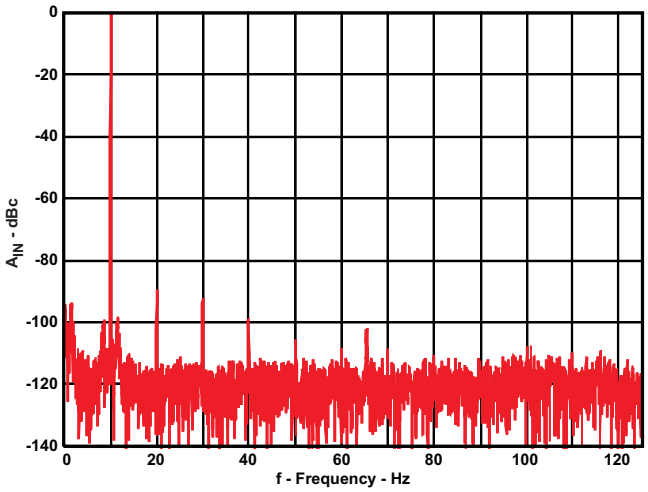


图 **73. ADS8326** 和 **OPA835 10kHz FFT**

表 **5.** 交流分析

音调 (Hz)	信号 (dBFS)	SNR (dBc)	THD (dBc)	SINAD (dBc)	SFDR (dBc)
10k	–0.85	81.9	–87.5	80.8	89.9

9.2 典型应用

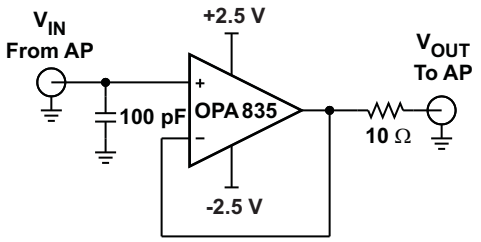
9.2.1 音频频率性能

OPA835 和 OPA2835 器件提供卓越的音频性能，并具有低静态功耗。为了显示音频频带内的性能，Audio Precision 的音频分析仪（2700 系列）在 $1V_{RMS}$ 输出电压下测试了 THD+N 和 FFT。

版权 © 2011–2016, Texas Instruments Incorporated

典型应用 (接下页)

图 74 显示了用于音频频率性能应用的测试电路。



100pF 电容器的输入端接地，这有助于消除实验室中的噪声拾取，并提高噪声性能。

图 74. OPA835 Audio Precision 分析仪测试电路

9.2.1.1 设计要求

使用 OPA835 器件设计低失真的单端输入至单端输出音频放大器。Audio Precision 的 2700 系列音频分析仪是信号源和测量系统。

表 6. 设计要求

配置	输入 励磁	性能 目标	R_{LOAD}
OPA835 单位增益配置	1KHz 音调频率	> 110dBc SFDR	300Ω 和 100KΩ

9.2.1.2 详细设计流程

OPA835 器件在此应用中以单位增益缓冲器配置接受了测试。通过选择缓冲器配置可以最大限度提高放大器配置的环路增益。在较高的闭环增益下，电路的环路增益减小，这会使谐波失真降低。在*典型特性：V_S = 5V* 中的图 36 中可以看出固定输入频率下的失真与闭环增益之间的关系。此测试是在不同输出负载条件下使用 300Ω 和 100KΩ 电阻负载完成的。图 34 显示了放大器的失真性能与输出电阻负载间的关系。输出负载、输出摆幅和闭环增益在确定放大器的失真性能方面起着关键作用。

注

100pF 电容器的输入端接地，这有助于消除实验室中的噪声拾取，并提高噪声性能。

此应用电路中将 Audio Precision 配置为单端输出。在可提供差分输出的 应用 中，可将 OPA835 器件配置为差分至单端放大器，如图 67 所示。电源旁路对于抑制电源噪声至关重要。必须将一个 2.2µF 的电源解耦电容器放置在该器件的两英寸距离内，并可与同一电路板上的其他运算放大器共用。必须将一个 0.1µF 的解耦电容器尽可能靠近电源引脚放置，距离最好在 0.1 英寸以内。如果是双电源，则两个电源都需要电容器。直接放置在电源之间的 0.1µF 电容器也有利于提高系统噪声性能。如果输出负载很重（16Ω 至 32Ω），放大器性能可能开始降低。为了驱动此类重负载，OPA2835 器件的两个通道可与使用 1Ω 电阻进行隔离的输出端并联，以便减轻负载效应。

版权 © 2011–2016, Texas Instruments Incorporated

9.2.1.3 应用曲线

可在电容器和同相引脚之间插入一个 10Ω 串联电阻来隔离电容。

图 75 显示了在 100kΩ 和 300Ω 负载以及无加权和 A 加权条件下的 THD+N 性能。无加权时，THD+N 性能由这两个负载的噪声所控制。A 加权提供了可改善噪声的滤波，因此由于 R_L = 300Ω 时具有更大失真，所以这两个负载之间可以看出更大的差异。

图 76 和图 77 显示了音调频率为 1kHz 且负载为 100kΩ 和 300Ω 时的 FFT 输出。为了显示该器件与测试仪的相对性能，一个通道将 OPA835 器件直接插入在发生器输出端与分析仪输入端之间，另一个通道处于“Gen Mon”环回模式，这种模式下在内部将信号发生器连接到分析仪输入端。在 100kΩ 负载时（请参阅图 76），除噪声外的曲线无法彼此区分，这意味着不能直接测量 OPA835 器件。在 300Ω 负载时（如图 77 所示），曲线之间的主要差别在于 OPA835 器件具有较高的偶次谐波。测试仪的性能掩盖了奇次谐波。

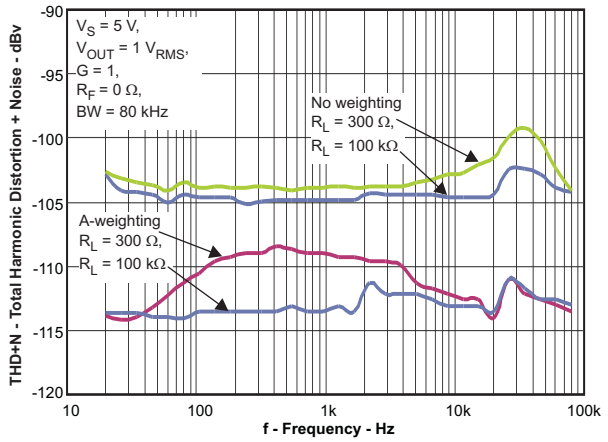


图 75. OPA835 $1V_{RMS}$ 20Hz 至 80kHz THD+N

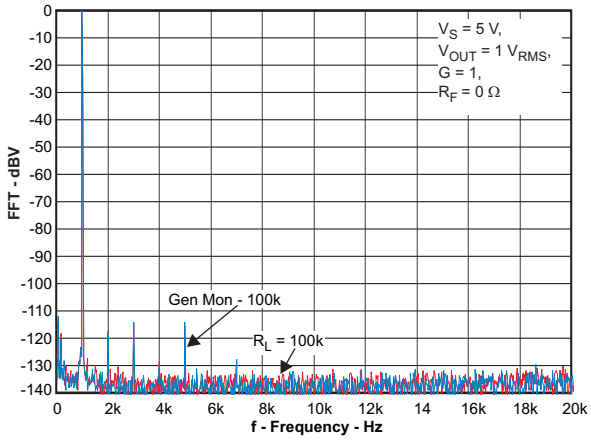


图 76. OPA835 和 AP Gen Mon 1kHz FFT 波形图；
V_{OUT} = $1V_{RMS}$，R_L = 100kΩ

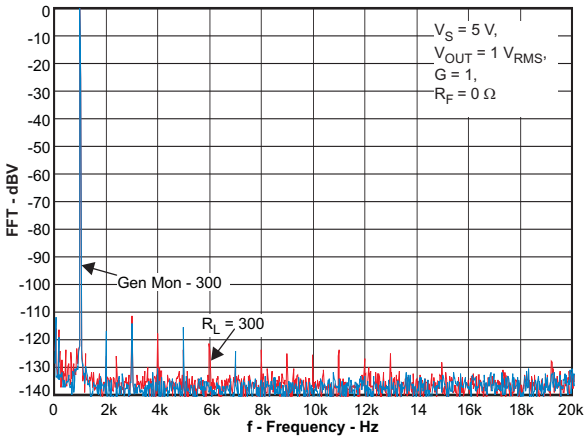


图 77. OPA835 和 AP Gen Mon 1kHz FFT 波形图；
V_{OUT} = $1V_{RMS}$，R_L = 300Ω

版权 © 2011–2016, Texas Instruments Incorporated

9.2.2 有源滤波器

OPA835 和 OPA2835 器件是有源滤波器的理想选择。图 79 和图 78 显示了使用 *WEBENCH® 滤波器设计器*设计的用于实现二阶低通巴特沃斯滤波器电路的 MFB 和 Sallen-Key 电路。图 80 显示了频率响应。

其他 MFB 和 Sallen-Key 滤波器电路显示出类似的性能。主要区别在于 MFB 是通带中的反相放大器，而 Sallen-Key 是同相放大器。它们各自的主要优点是，具有单位增益的 Sallen-Key 没有电阻增益误差项，因此对增益误差不敏感，而 MFB 具有超出运算放大器带宽的更优秀的衰减特性。

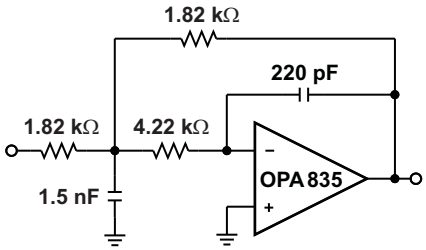


图 **78. MFB 100kHz** 二阶低通巴特沃斯滤波器电路

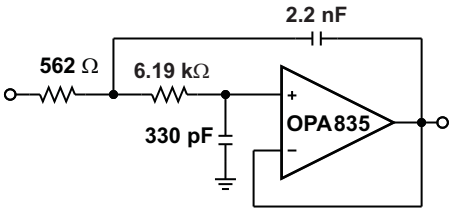


图 **79. Sallen-Key 100kHz** 二阶低通巴特沃斯滤波器电路

9.2.2.1 应用曲线

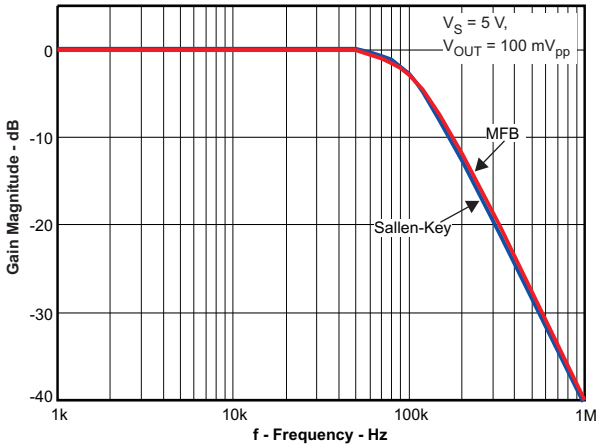


图 **80. MFB** 和 **Sallen-Key** 二阶低通巴特沃斯滤波器响应

10 电源相关建议

OPAx835 器件的预期工作电压范围为 2.7V 至 5V。在 2.5V 和 5.5V 的额定工作电压范围内可支持电源电压容差（2.7V 电源上为 7%，5V 电源上为 10%）。必须要有良好的电源旁路。应最大限度减小从电源引脚到高频 0.1μF 解耦电容器之间的距离（小于 0.1 英寸）。在器件电源引脚处需将一个较大的电容器（典型值为 2.2μF）与高频 0.1μF 电源去耦电容器一起使用。对于单电源供电，只有正电源具有这些电容器。使用双电源时，请将这些电容器用于每个电源以便接地。如有必要，请让较大的电容器离器件远一些，并在 PCB 同一区域内的多个器件之间共享这些电容器。避免电源迹线和接地迹线过于狭窄，以便最大限度减小引脚和解耦电容器之间的电感。两个电源（适用于双极性工作模式）之间的可选电源解耦电容器可减少二次谐波失真。

11 布局

11.1 布局准则

OPA835 EVM (SLOU314) 可在设计电路板时用作参考。TI 建议遵循放大器附近外部组件的 EVM 布局、地平面构造和尽可能接近的电源布线。一般准则如下：

1. 信号布线必须笔直，并且出入运算放大器的长度尽可能短。
2. 反馈路径必须短而笔直并尽可能避开通孔，特别是在 G = +1 时。
3. 必须从放大器的负输入和输出引脚的正下方去除接地平面或电源平面。
4. TI 建议将串联输出电阻器尽可能靠近输出引脚。请参阅图 41 以了解预期容性负载的建议值。
5. 必须将一个 2.2μF 的电源解耦电容器放置在该器件的两英寸距离内，并可与其他运算放大器共用。如果是双电源，则两个电源都需要电容器。
6. 必须将一个 0.1μF 的电源解耦电容器尽可能靠近电源引脚放置，距离最好在 0.1 英寸以内。如果是双电源，则两个电源都需要电容器。
7. $\overline{\text{PD}}$ 引脚使用 TTL 逻辑电平。如果不使用该引脚，则必须将其绑定到正电源以便启用放大器。如果使用该引脚，必须主动驱动它。旁路电容器不是必需的，但在有噪声的环境中可用于提高可靠性。

版权 © 2011–2016, Texas Instruments Incorporated

11.2 布局示例

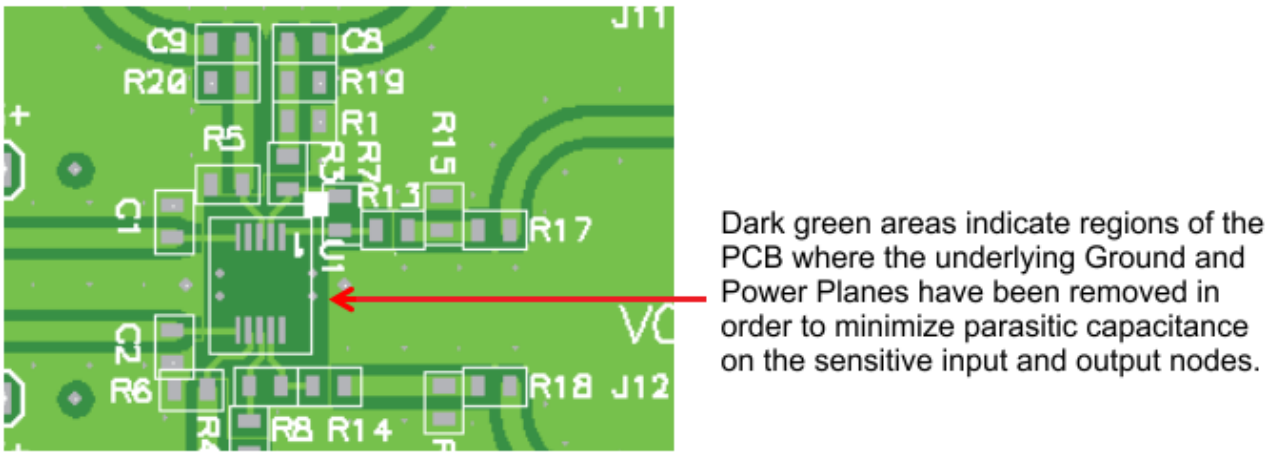


图 **81.** 顶层

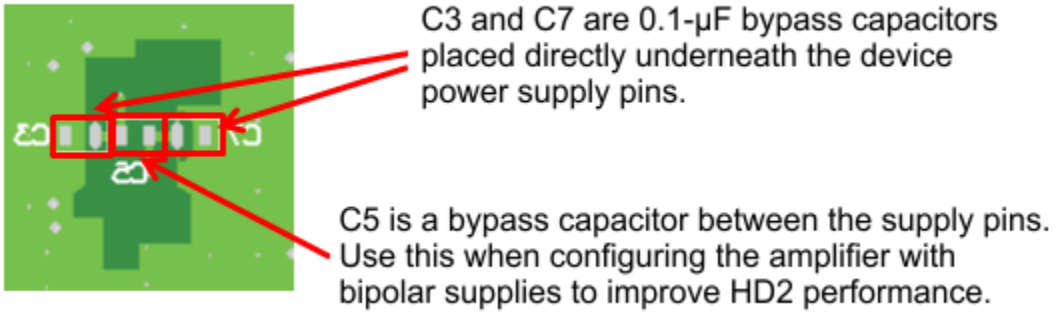


图 **82.** 底层

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

《WEBENCH® 滤波器设计器》

12.2 文档支持

12.2.1 相关文档

请参阅如下相关文档：

《OPA835DBV、OPA836DBV EVM》（文献编号：SLOU314）。

12.2.2 相关链接

表 7 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 7. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA835	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2835	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.2.3 接收文档更新通知

要接收文档更新通知，请导航至德州仪器 TI.com.cn 上的器件产品文件夹。请单击右上角的*通知我* 进行注册，即可收到任意产品信息更改每周摘要。有关更改的详细信息，请查看任意已修订文档中包含的修订历史记录。

12.2.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.3 商标

E2E is a trademark of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.4 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.5 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

版权 © 2011–2016, Texas Instruments Incorporated

13 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

版权 © 2011–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2835ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IDGS	ACTIVE	VSSOP	DGS	10	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IDGSR	ACTIVE	VSSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IRMCR	ACTIVE	UQFN	RMC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IRMCT	ACTIVE	UQFN	RMC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IRUNR	ACTIVE	QFN	RUN	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA2835IRUNT	ACTIVE	QFN	RUN	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2835	Samples
OPA835IDBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 125	QUM	Samples
OPA835IDBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 125	QUM	Samples
OPA835IRUNR	ACTIVE	QFN	RUN	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	835	Samples
OPA835IRUNT	ACTIVE	QFN	RUN	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	835	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

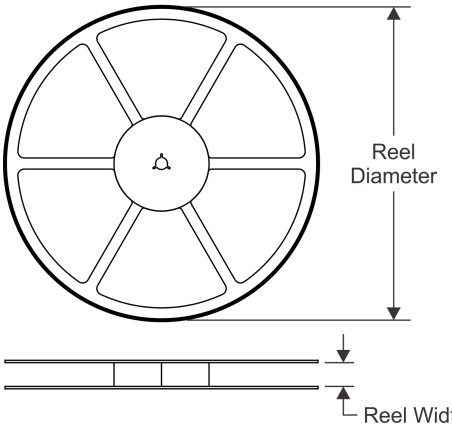
(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

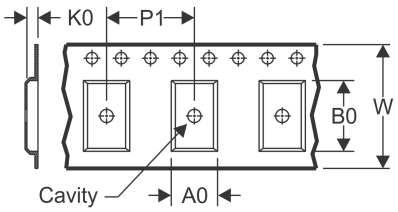
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

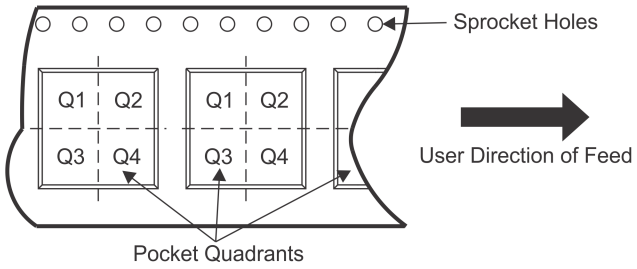


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

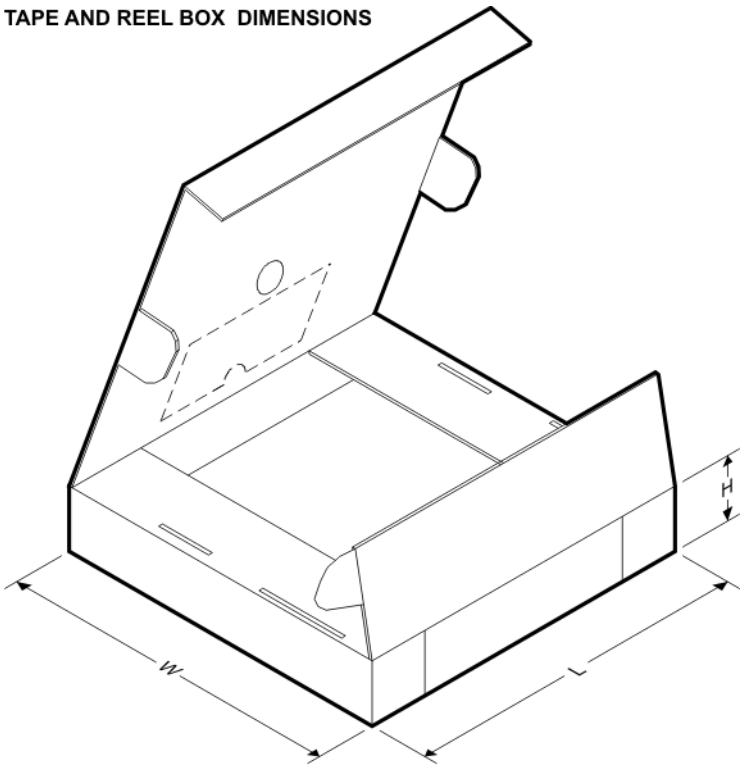
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2835IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2835IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2835IRMCR	UQFN	RMC	10	3000	180.0	9.5	2.3	2.3	1.1	2.0	8.0	Q2
OPA2835IRMCT	UQFN	RMC	10	250	180.0	9.5	2.3	2.3	1.1	2.0	8.0	Q2
OPA2835IRUNR	QFN	RUN	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2835IRUNT	QFN	RUN	10	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA835IDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA835IDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA835IRUNR	QFN	RUN	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA835IRUNT	QFN	RUN	10	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

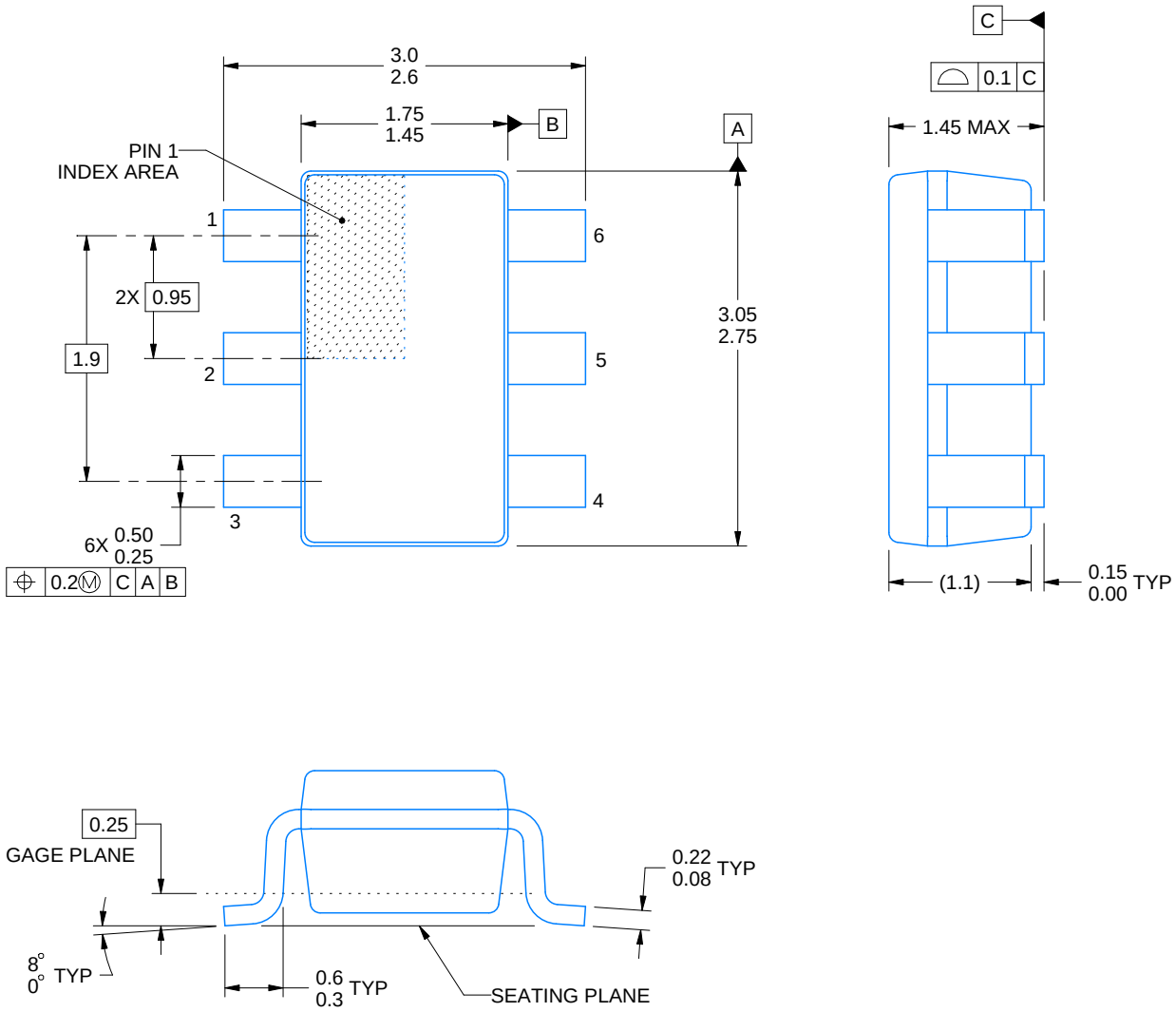
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2835IDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
OPA2835IDR	SOIC	D	8	2500	340.5	338.1	20.6
OPA2835IRMCR	UQFN	RMC	10	3000	205.0	200.0	30.0
OPA2835IRMCT	UQFN	RMC	10	250	205.0	200.0	30.0
OPA2835IRUNR	QFN	RUN	10	3000	210.0	185.0	35.0
OPA2835IRUNT	QFN	RUN	10	250	210.0	185.0	35.0
OPA835IDBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
OPA835IDBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
OPA835IRUNR	QFN	RUN	10	3000	210.0	185.0	35.0
OPA835IRUNT	QFN	RUN	10	250	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

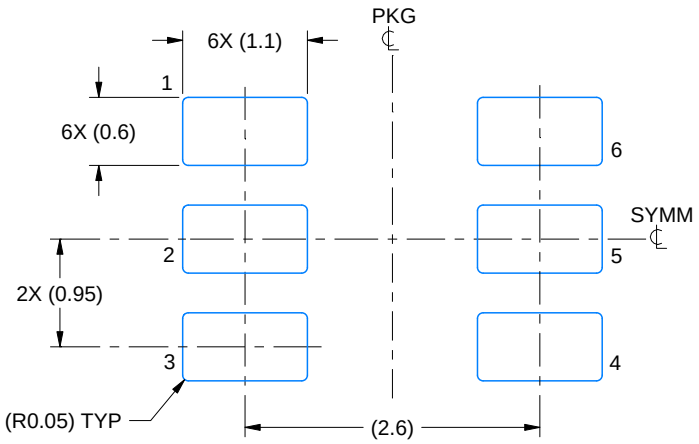
SMALL OUTLINE TRANSISTOR



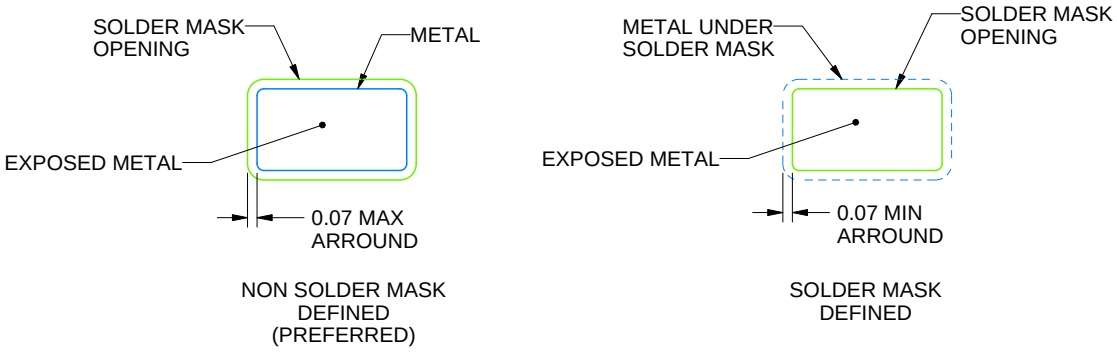
4214840/B 03/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

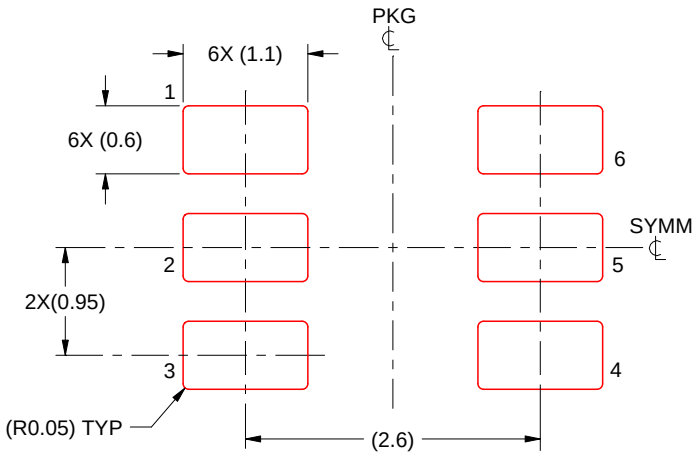


SOLDER MASK DETAILS

4214840/B 03/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



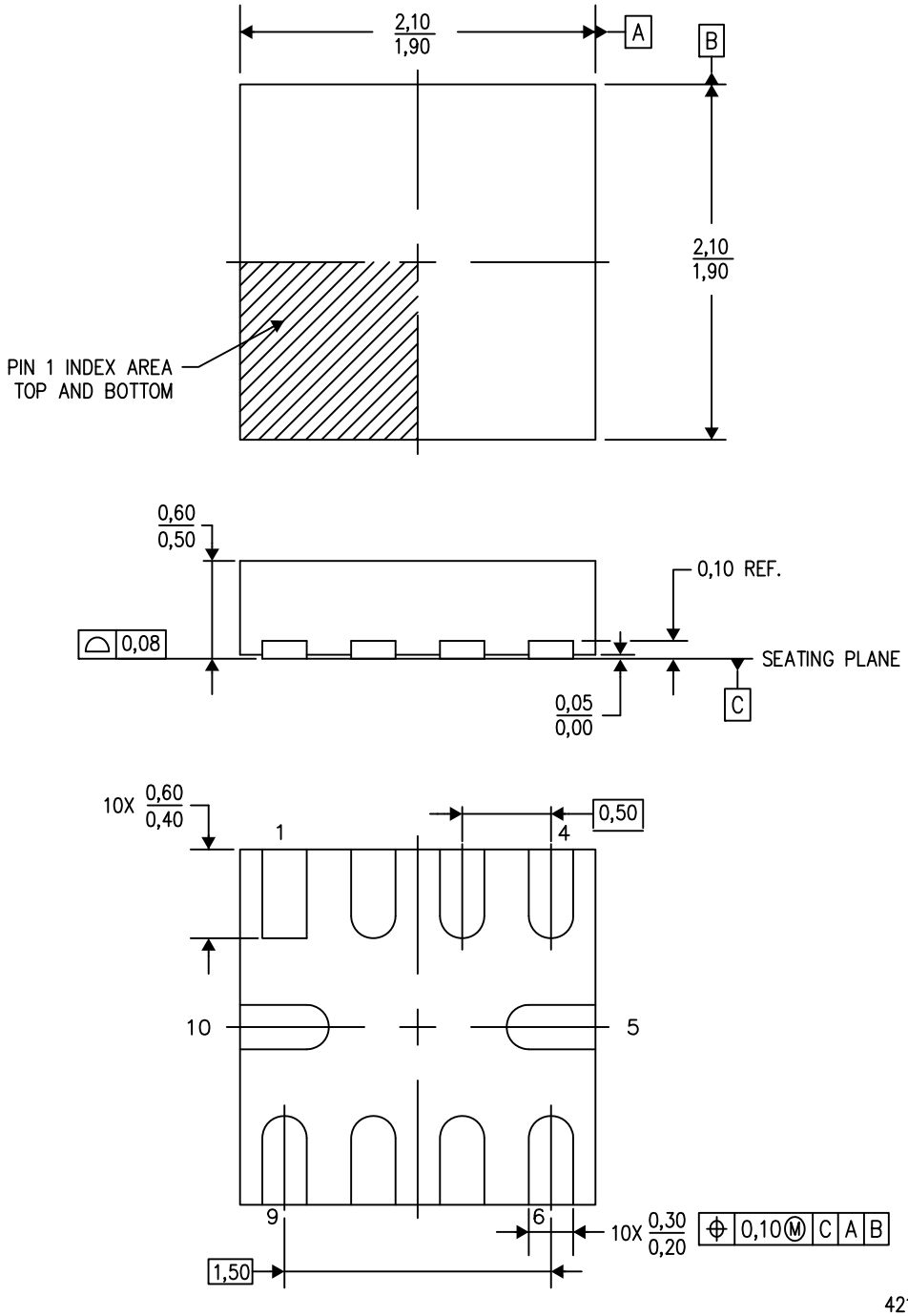
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/B 03/2018

NOTES: (continued)

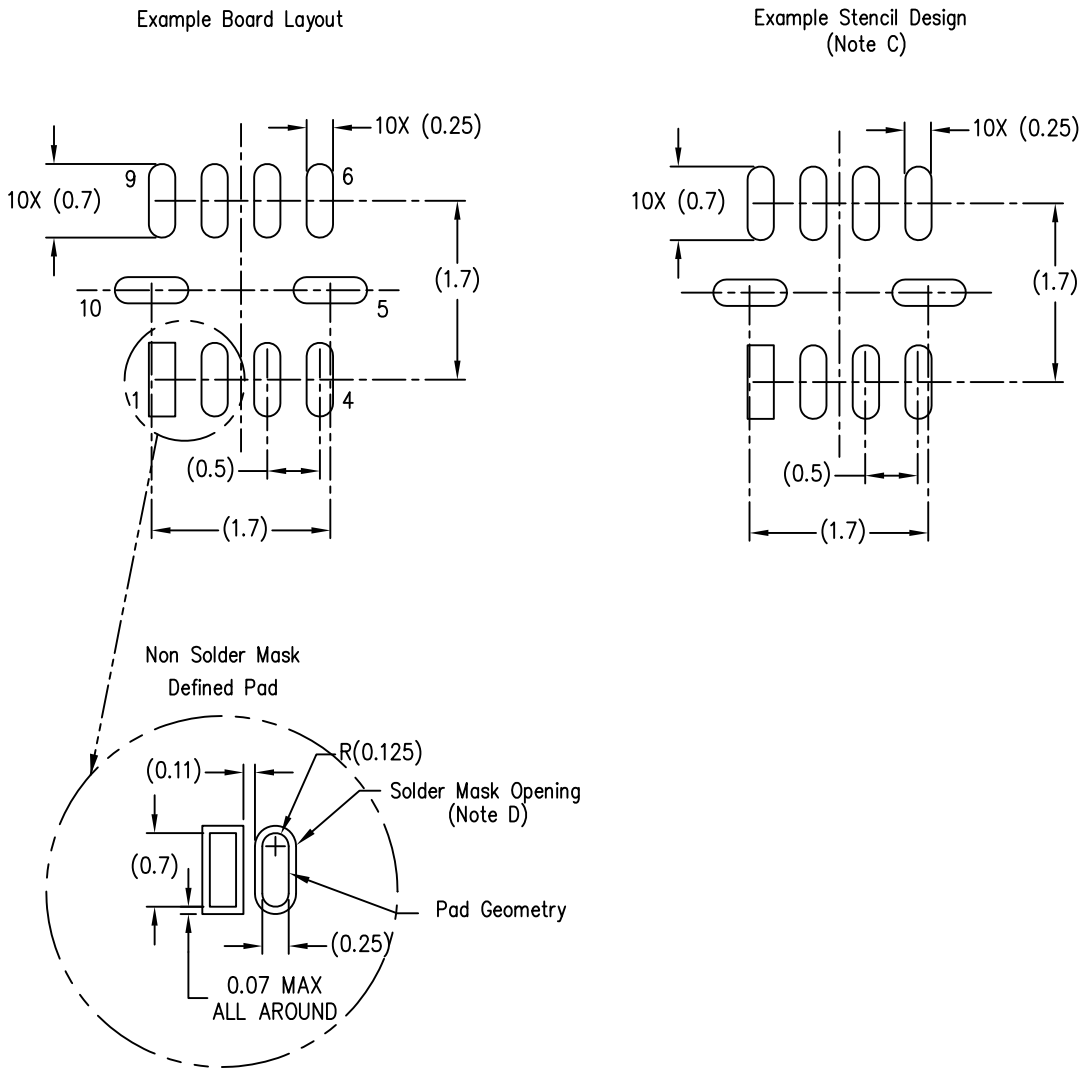
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RMC (S–PUQFN–N10) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–Leads (QFN) package configuration.

RMC (S–PUQFN–N10) PLASTIC QUAD FLATPACK NO–LEAD



4221693/A 10/2014

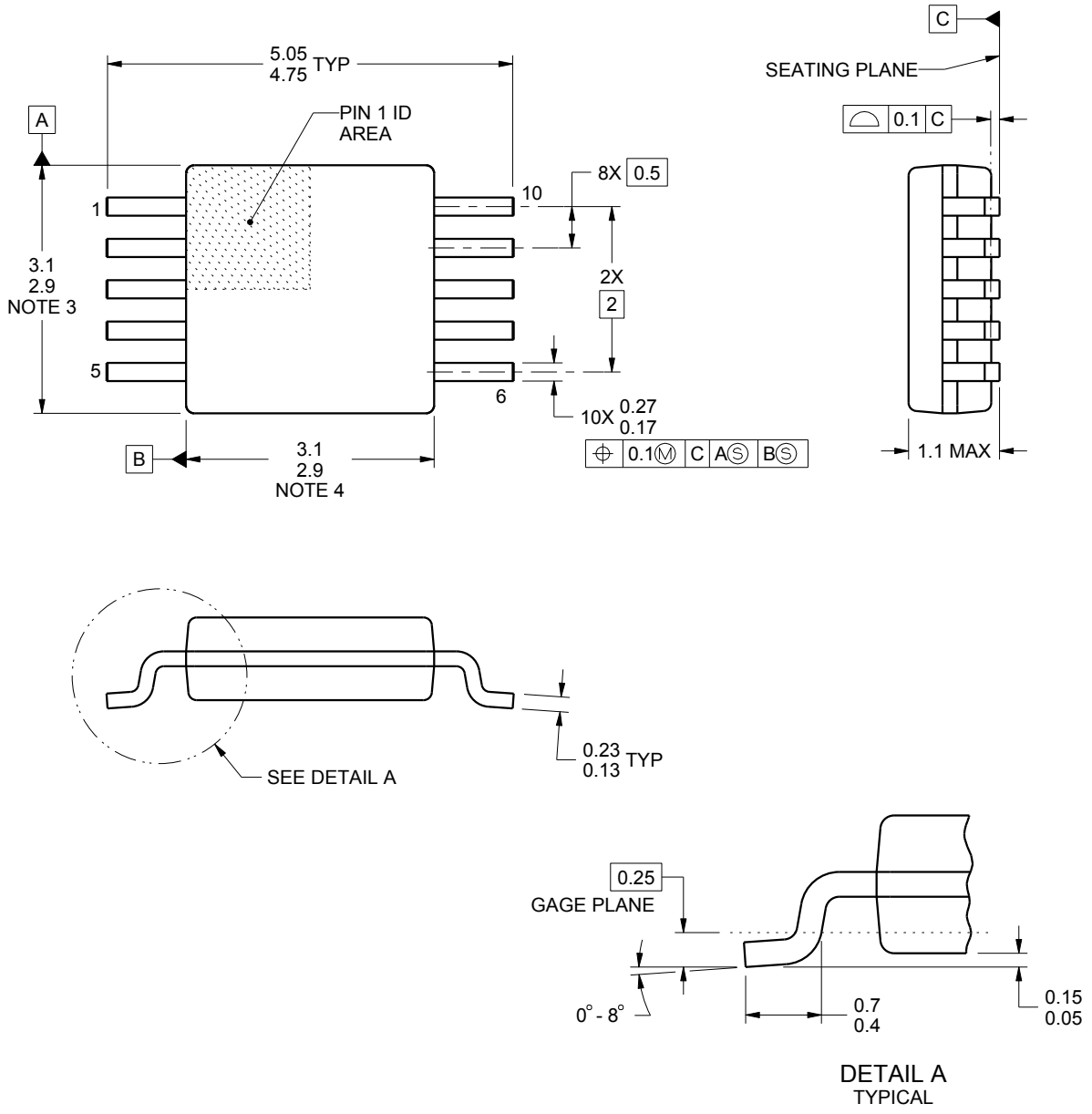
NOTES:
A. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

PACKAGE OUTLINE

DGS0010A

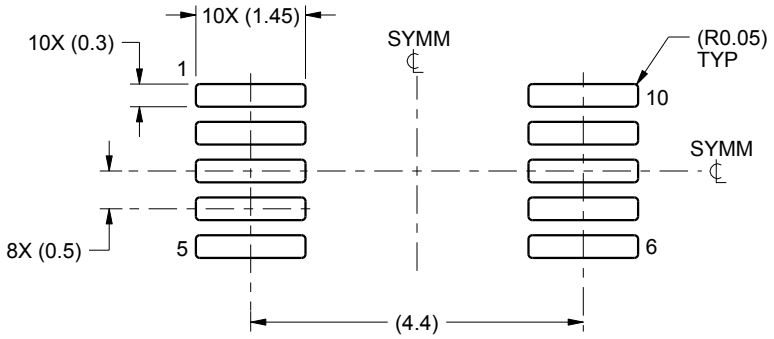
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

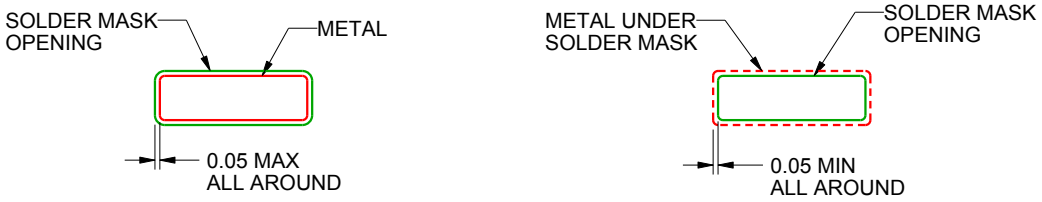


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

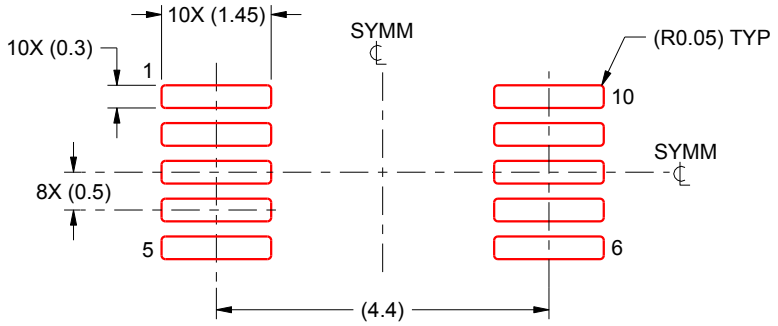


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



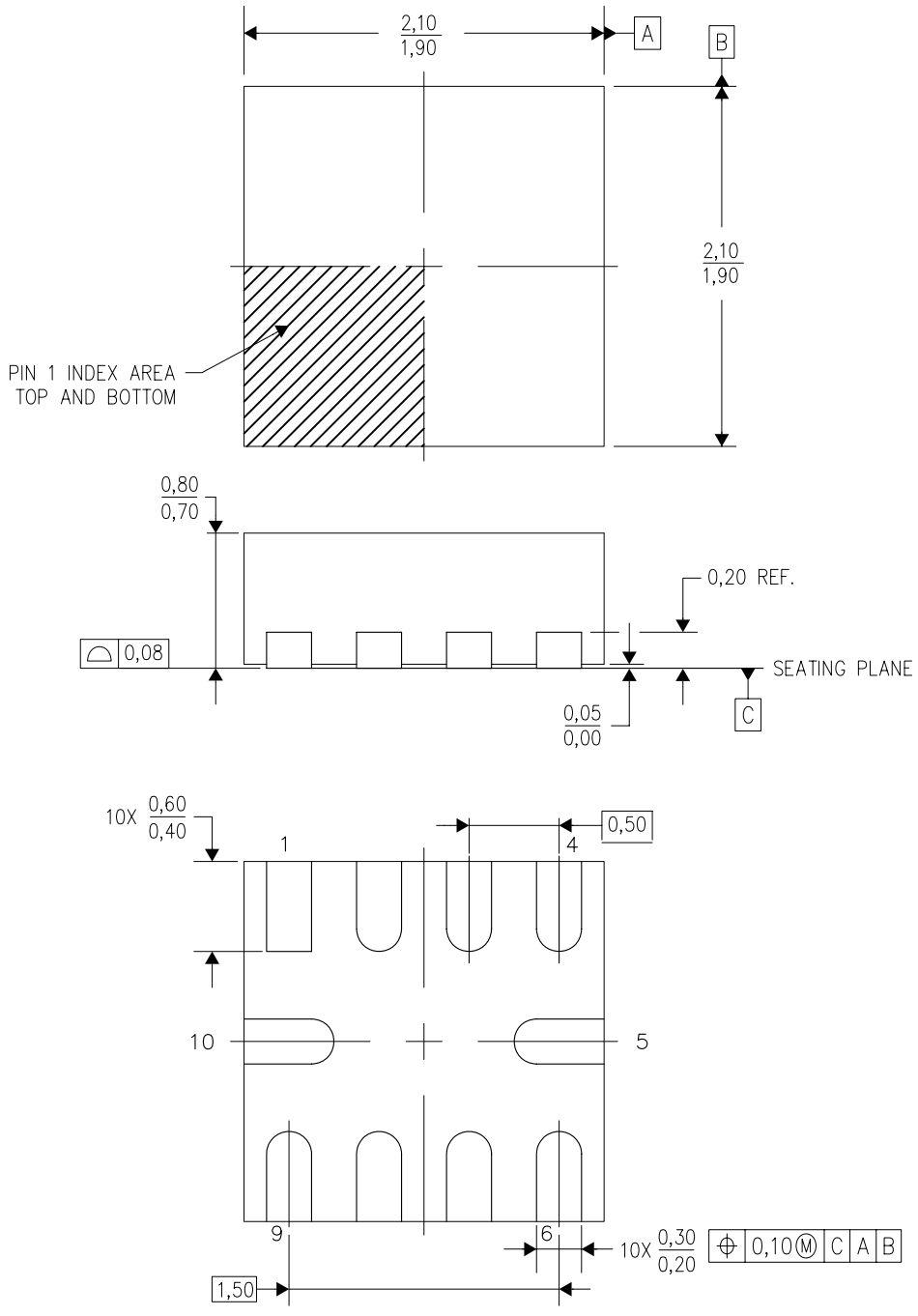
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

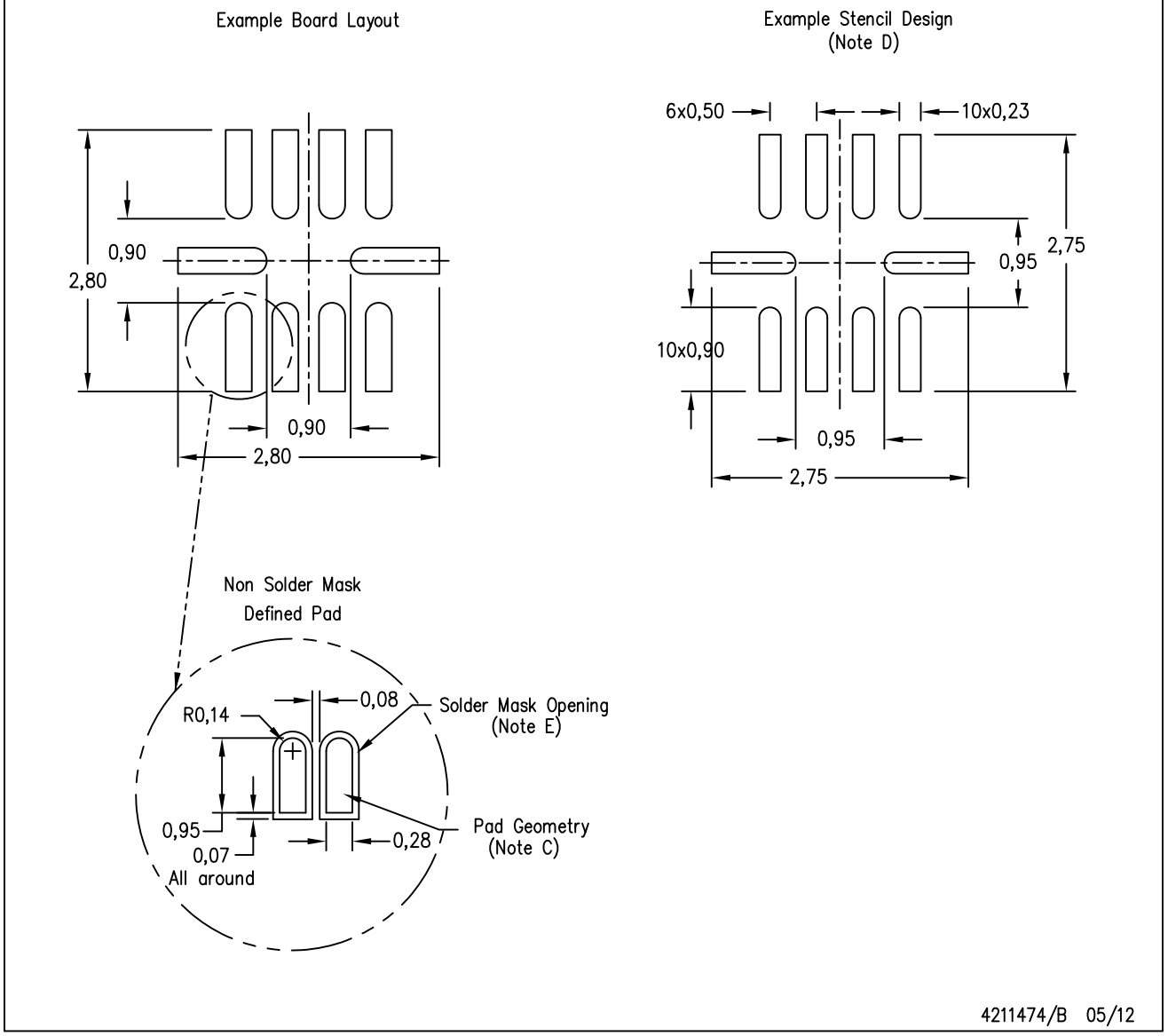
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RUN (S–PWQFN–N10) PLASTIC QUAD FLATPACK NO–LEAD



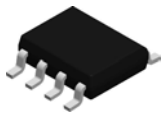
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–Leads (QFN) package configuration.

RUN (S–PWQFN–N10) PLASTIC QUAD FLATPACK NO–LEAD



4211474/B 05/12

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
E. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

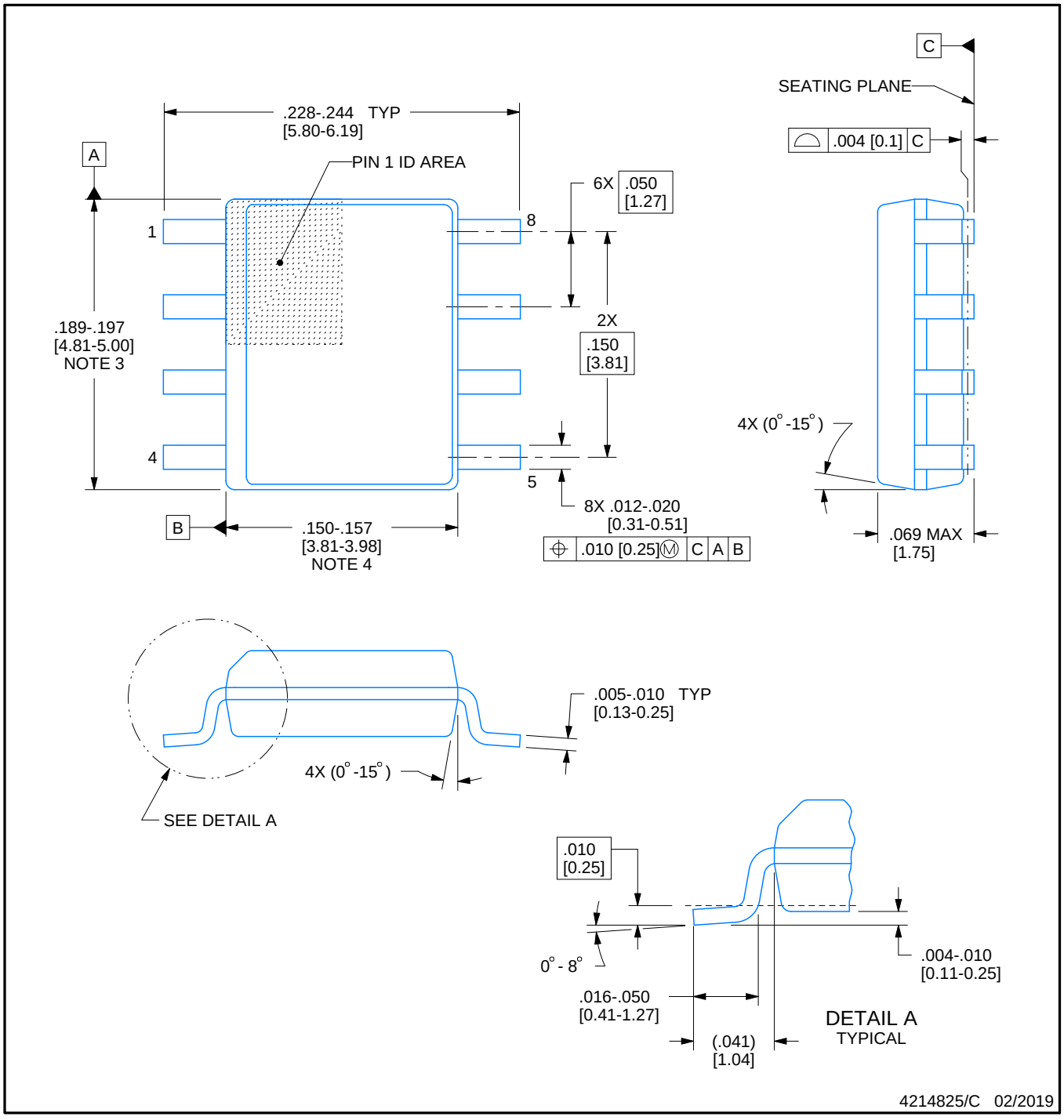


PACKAGE OUTLINE

D0008A

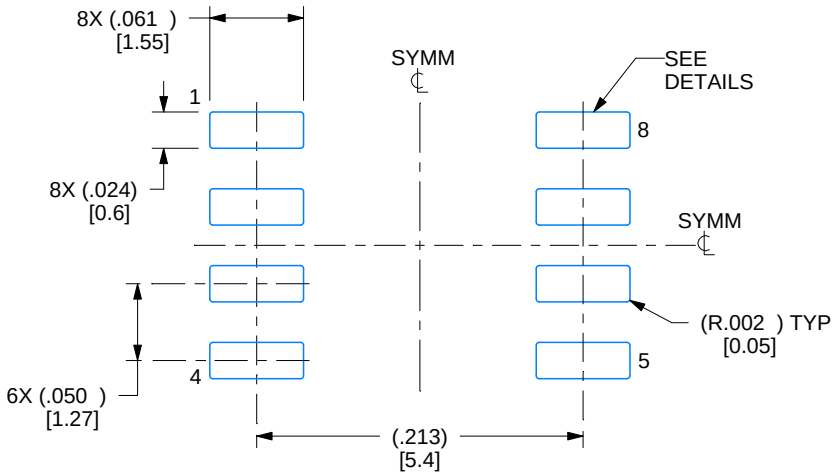
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

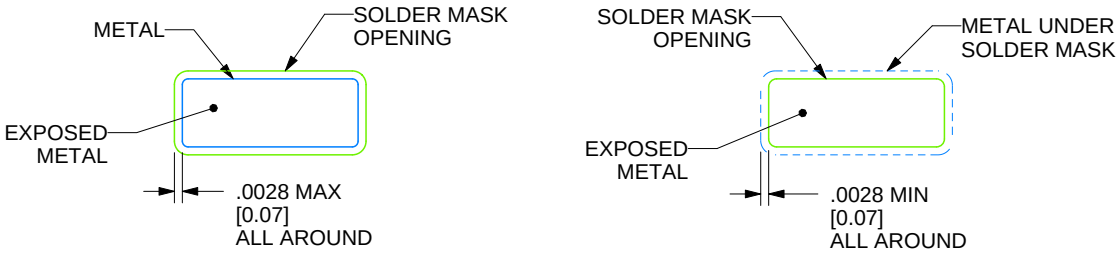


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

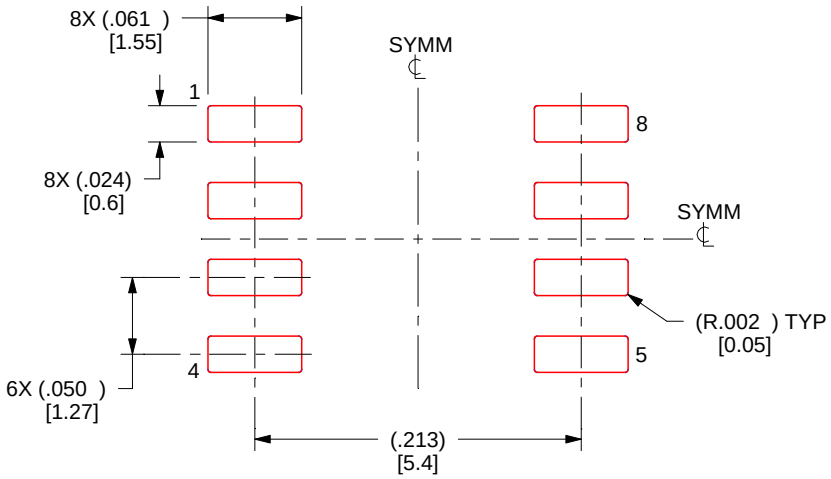
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司