# THS6212 差动宽带 PLC 线路驱动器放大器

## 1 特性

- 低功耗：
  - 满偏置模式：21mA
  - 中等偏置模式：16.2mA
  - 低偏置模式：11.2mA
  - 低功耗关断模式
  - 可通过 IADJ 引脚调节偏置电流
- 低噪声:
  - 电压噪声：2.7nV/√Hz
  - 反向电流噪声：17pA/√Hz
  - 非反向电流噪声：1.2pA/√Hz
- 低失真：
  - –100dBc 二次谐波 (HD2)（1MHz，100Ω 差分负载）
  - -89dBc 三次谐波 (HD3)（1MHz，100Ω 差分负载）
- 高输出电流：> 416mA（25Ω 负载）
- 宽输出摆幅：
  43.2 $V_{PP}$（±12V，100Ω 差分负载）
- 高带宽：150MHz ($G_{DIFF}$ = 10V/V)
- 电源抑制比 (PSRR)：在 1MHz 频率下提供 50dB 的良好隔离
- 宽电源范围：10V 至 28V

## 2 应用

- 高电压、高电流驱动
- 宽带电力线通信

## 3 说明

THS6212 是一款采用电流反馈架构的差分线路驱动器放大器。该器件专用于宽带电力线通信 (PLC) 线路驱动器 应用 并且拥有足以支持 14.5dBm 线路功率（在高达 30MHz 的频率下）的高速度。

THS6212 采用独特架构，在最大限度降低静态电流的同时仍能实现超高线性度。满偏置条件下的差分失真在 1MHz 时为 –93dBc，在 10MHz 时降至仅 –73dBc。这款放大器具有多种固定偏置设置，对于无需放大器发挥全部性能的线路驱动器而言，可显著节能。此外，还可以通过可调电流引脚 (IADJ) 进一步降低偏置电流，从而实现更为出色的灵活性与节能效果。

43.2 $V_{PP}$（100Ω 差分负载）的宽输出摆幅搭配 ±12V 电源以及超过 416mA 的电流驱动能力（25Ω 负载），使得该器件拥有较宽的动态余量，能够将失真限制在最低水平。

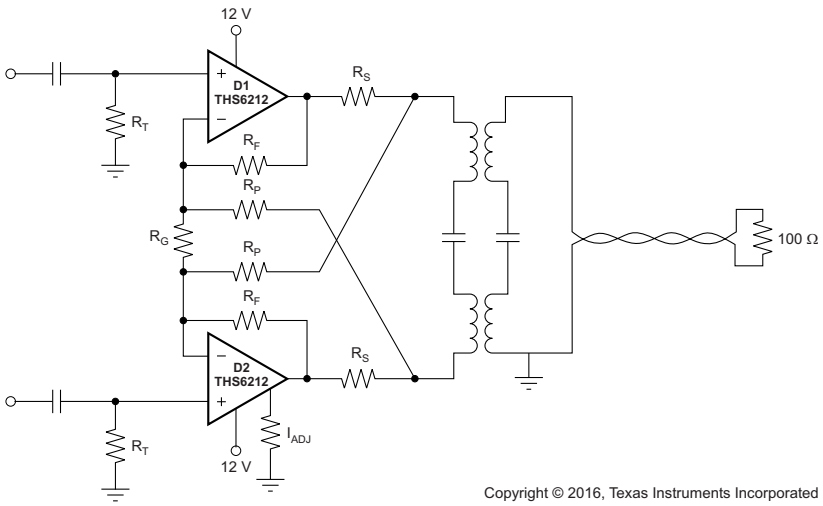
THS6212 采用 24 引脚超薄四方扁平无引线 (VQFN) 封装。

**Device Information**(1)

| PART NUMBER | PACKAGE | BODY SIZE (NOM) |
|---|---|---|
| THS6212 | VQFN (24) | 5.00mm × 4.00mm |

(1) 要了解所有可用封装，请参阅数据表末尾的可订购产品附录。

采用 **THS6212** 的典型线路驱动器电路




Copyright © 2016, Texas Instruments Incorporated

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

# 目录

**1** 特性 ..... 1
**2** 应用 ..... 1
**3** 说明 ..... 1
**4** 修订历史记录 ..... 2
**5** 引脚配置和功能 ..... 3
**6** 规格 ..... 4
6.1 绝对最大额定值 ..... 4
6.2 ESD 额定值 ..... 4
6.3 建议的工作条件 ..... 4
6.4 热性能信息 ..... 4
6.5 电气特性：$V_S$ = ±12V ..... 5
6.6 电气特性：$V_S$ = ±6V ..... 8
6.7 时序要求 ..... 10
6.8 典型特性：$V_S$ = ±12V，满偏置 ..... 11
6.9 典型特性：$V_S$ = ±12V，中偏置 ..... 14
6.10 典型特性：$V_S$ = ±12V，低偏置 ..... 16
6.11 典型特性：$V_S$ = ±6V，满偏置 ..... 18
6.12 典型特性：$V_S$ = ±6V，中偏置 ..... 21
6.13 典型特性：$V_S$ = ±6V，低偏置 ..... 23
**7** 详细 说明 ..... 25
7.1 概述 ..... 25
7.2 功能框图 ..... 25
7.3 特性 说明 ..... 25
7.4 器件功能模式 ..... 28
**8** 应用和实现 ..... 29
8.1 应用信息 ..... 29
8.2 典型 应用 ..... 29
8.3 注意事项 ..... 35
**9** 电源建议 ..... 35
**10** 布局 ..... 36
10.1 电路板布局准则 ..... 36
10.2 布局示例 ..... 37
**11** 器件和文档支持 ..... 39
11.1 Documentation Support ..... 39
11.2 Receiving Notification of Documentation Updates 39
11.3 Community Resources ..... 39
11.4 商标 ..... 39
11.5 静电放电警告 ..... 39
11.6 Glossary ..... 39
**12** 机械、封装和可订购信息 ..... 39

## 4 修订历史记录

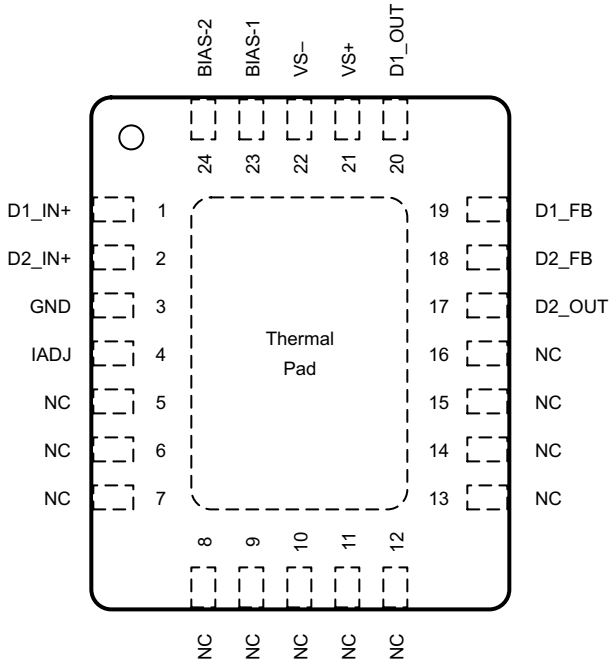
**Changes from Original (May 2016) to Revision A** **Page**

- 已更改 将文档标题从 *THS6212 差动线路驱动器放大器*更改为 *THS6212 差动宽带 PLC 线路驱动器放大器* ..... 1
- 已更改 *线路驱动器 应用 （如宽带电力线通信）*更改为*宽带电力线通信 (PLC) 线路驱动器 应用（说明* 部分中的内容 ..... 1


版权 © 2016–2017, Texas Instruments Incorporated

## 5 引脚配置和功能

**RHF 封装**
**24 引脚 VQFN**
俯视图




引脚功能(1)

| 引脚 | | I/O | 说明 |
|---|---|---|---|
| 名称 | 编号 | | |
| BIAS-1 | 23 | I | 偏置模式并行控制，LSB |
| BIAS-2 | 24 | I | 偏置模式并行控制，MSB |
| D1 FB | 19 | I | 放大器 D1 反相输入 |
| D2 FB | 18 | I | 放大器 D2 反相输入 |
| D1 IN+ | 1 | I | 放大器 D1 同相输入 |
| D2 IN+ | 2 | I | 放大器 D2 同相输入 |
| D1 OUT | 20 | O | 放大器 D1 输出 |
| D2 OUT | 17 | O | 放大器 D2 输出 |
| GND(2) | 3 | I/O | 控制引脚接地参考 |
| IADJ | 4 | I/O | 偏置电流调节引脚 |
| NC | 5-16 | — | 无内部连接 |
| VS– | 22 | I/O | 负电源连接 |
| VS+ | 21 | I/O | 正电源连接 |

(1) 如果偏置引脚上没有信号，则 THS6212 默认为关断（禁用）状态。
(2) GND 引脚范围是从 VS- 到 (VS+ – 5V)。

版权 © 2016–2017, Texas Instruments Incorporated

# 6 规格

## 6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

| | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| 电源电压，$V_{S-}$ 至 $V_{S+}$ | | | 28 | V |
| 输入电压，$V_I$ | | | $\pm V_S$ | V |
| 差分输入电压，$V_{ID}$ | | | ±2 | V |
| 输出电流，$I_O$ | 静态直流(2) | | ±500 | mA |
| 连续功耗 | | 请参阅*热性能信息*表 | | |
| 最大结温，$T_J$ | 任何条件下(3) | | 150 | °C |
| | 长期持续可靠运行(4) | | 130 | |
| 贮存温度，$T_{stg}$ | | –65 | 150 | °C |

(1) 应力超出*绝对最大额定值*下所列的值有可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) THS6212 在器件的底面装有散热焊盘。此焊盘充当散热器，必须连接到散热平面以确保适当的功率耗散。否则可能会导致超过最大结温，从而可能会永久损坏器件。
(3) 在任何情况下绝对最大结温受器件工艺的限制。
(4) 持续运行时的绝对最大结温受封装约束的限制。在超过此温度的条件下运行有可能降低器件的可靠性或者缩短使用寿命。

## 6.2 ESD 额定值

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1) | ±2000 | V |
| | | 组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101(2) | ±500 | |
| | | 机器模型 (MM) | ±100 | |

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

## 6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_S$ | 电源电压，$V_{S-}$ 至 $V_{S+}$ | 10 | | 28 | V |
| $T_J$ | 工作结温 | | | 130 | °C |
| $T_A$ | 工作环境气温 | | 25 | 85 | °C |

## 6.4 热性能信息

| 热指标(1) | | THS6212 RHF (VQFN) 24 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 33.2 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 31.7 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 11.3 | °C/W |
| $\psi_{JT}$ | 结至顶部特征参数 | 0.4 | °C/W |
| $\psi_{JB}$ | 结至电路板特征参数 | 11.3 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 3.9 | °C/W |

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。


版权 © 2016–2017, Texas Instruments Incorporated

## 6.5 电气特性：$V_S$ = ±12V

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|---|---|
| 交流性能 | | | | | | | | |
| SSBW | 小信号带宽，–3dB | $G_{DIFF}$ = 5V/V，$R_F$ = 1.5kΩ，$V_O$ = $2V_{PP}$ | | | 160 | | MHz | C |
| | | $G_{DIFF}$ = 10V/V，$R_F$ = 1.24kΩ，$V_O$ = $2V_{PP}$ | | 120 | 150 | | | B |
| | | $T_A$ = –40°C 至 +85°C | | 100 | | | | |
| | 0.1dB 带宽平坦度 | $G_{DIFF}$ = 10V/V，$R_F$ = 1.24kΩ | | | 114 | | MHz | C |
| LSBW | 大信号带宽 | $G_{DIFF}$ = 10V/V，$R_F$ = 1.24kΩ，$V_O$ = $20V_{PP}$ | | | 120 | | MHz | C |
| SR | 压摆率（10% 至 90% 级别） | $G_{DIFF}$ = 10V/V，$V_O$ = 20V 阶跃，差分 | | 3200 | 3800 | | V/µs | B |
| | | $T_A$ = –40°C 至 +85°C | | 3000 | | | | B |
| | 上升和下降时间 | $G_{DIFF}$ = 10V/V，$V_O$ = $2V_{PP}$ | | | 5 | | ns | C |
| HD2 | 二阶谐波失真 | $G_{DIFF}$ = 10V/V，$V_O$ = $2V_{PP}$，$R_L$ = 100Ω 差分 | 满偏置，f = 1MHz | | –100 | –95 | dBc | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –90 | | B |
| | | | 低偏置，f = 1MHz | | –96 | | | C |
| | | | 满偏置，f = 10MHz | | –75 | –70 | | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –65 | | B |
| | | | 低偏置，f = 10MHz | | –72 | | | C |
| HD3 | 三阶谐波失真 | $G_{DIFF}$ = 10V/V，$V_O$ = $2V_{PP}$，$R_L$ = 100Ω 差分 | 满偏置，f = 1MHz | | –89 | –85 | dBc | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –80 | | B |
| | | | 低偏置，f = 1MHz | | –85 | | | C |
| | | | 满偏置，f = 10MHz | | –73 | –65 | | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –53 | | B |
| | | | 低偏置，f = 10MHz | | –58 | | | C |
| $e_n$ | 差分输入电压噪声 | f = 1MHz，输入参考 | | | 2.7 | 3.2 | nV/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 3.5 | | B |
| $i_{n+}$ | 差分同相电流噪声 | f = 1MHz | | | 1.2 | 1.4 | pA/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 1.6 | | B |
| $i_{n-}$ | 差分反相电流噪声 | f = 1MHz | | | 17 | 20 | pA/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 24 | | B |
| 直流性能 | | | | | | | | |
| $Z_{OL}$ | 开环跨阻增益 | $R_L$ = 100Ω | | 330 | 700 | | kΩ | A |
| | | | | 300 | | | | B |
| | 输入失调电压 | | | | ±15 | ±50 | mV | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±60 | | B |
| | 输入失调电压漂移 | $T_A$ = –40°C 至 +85°C | | | | ±155 | µV/°C | B |
| | 输入失调电压匹配 | | | | ±0.5 | ±5 | mV | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±7 | | B |
| | 同相输入偏置电流 | | | | ±1 | ±3.5 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±5.5 | | B |
| | 同相输入偏置电流漂移 | $T_A$ = –40°C 至 +85°C | | | | ±30 | nA/°C | B |
| | 反相输入偏置电流 | | | | ±8 | ±45 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±55 | | B |
| | 反相输入偏置电流漂移 | $T_A$ = –40°C 至 +85°C | | | | ±154 | nA/°C | B |
| | 反相输入偏置电流匹配 | | | | ±8 | ±30 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±40 | | B |

(1) 测试级别：(A) 100%，测试温度为 25°C。通过表征和仿真设置过热限制。(B) 通过表征和仿真设置限制。(C) 典型值仅供参考。

版权 © 2016–2017, Texas Instruments Incorporated

## 电气特性：$V_S$ = ±12V (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|---|
| **输入特性** | | | | | | | |
| | 共模输入范围 | 每路输入 | ±9 | ±9.5 | | V | A |
| | | $T_A$ = –40°C 至 +85°C | ±8.6 | | | | B |
| CMRR | 共模抑制比 | 每路输入 | 53 | 65 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 49 | | | | B |
| | 同相输入电阻 | | | 500 \|\| 2 | | kΩ \|\| pF | C |
| | 反相输入电阻 | | | 50 | | Ω | C |
| **输出特性** | | | | | | | |
| | 输出电压摆幅 | $R_L$ = 100Ω，每路输出 | | ±10.9 | | V | C |
| | | $R_L$ = 50Ω，每路输出 | ±10.6 | ±10.8 | | | A |
| | | $T_A$ = –40°C 至 +85°C | ±10.4 | | | | B |
| | | $R_L$ = 25Ω，每路输出 | ±10.2 | ±10.4 | | | A |
| | | $T_A$ = –40°C 至 +85°C | ±10 | | | | B |
| | 输出电流（拉电流和灌电流） | $R_L$ = 25Ω，基于 $V_O$ 测试 | ±408 | ±416 | | mA | A |
| | | $T_A$ = –40°C 至 +85°C | ±400 | | | | B |
| | 短路输出电流 | | | 1 | | A | C |
| $z_o$ | 输出阻抗 | f = 1MHz，差分 | | 0.2 | | Ω | C |
| | 串扰 | f = 1MHz，$V_O$ = 2$V_{PP}$，端口 1 至端口 2 | | –90 | | dB | C |
| **电源** | | | | | | | |
| $V_S$ | 工作电压 | | ±5 | ±12 | ±14 | V | A |
| | | $T_A$ = –40°C 至 +85°C | ±5 | | ±14 | | C |
| | $I_{S+}$ 静态电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | 19.5 | 21 | 22.5 | mA | A |
| | | $T_A$ = –40°C 至 +85°C | 17 | | 24 | | B |
| | | 中偏置（BIAS-1 = 1，BIAS-2 = 0） | 15 | 16.2 | 17.4 | | A |
| | | $T_A$ = –40°C 至 +85°C | 12.8 | | 18.6 | | B |
| | | 低偏置（BIAS-1 = 0，BIAS-2 = 1） | 10 | 11.2 | 12.4 | | A |
| | | $T_A$ = –40°C 至 +85°C | 8.1 | | 13.2 | | B |
| | | 偏置关闭（BIAS-1 = 1，BIAS-2 = 1） | | 0.4 | 0.8 | | A |
| | | $T_A$ = –40°C 至 +85°C | | | 1 | | B |
| | $I_{S–}$ 静态电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | 18.5 | 20 | 21.5 | mA | A |
| | | $T_A$ = –40°C 至 +85°C | 16 | | 23 | | B |
| | | 中偏置（BIAS-1 = 1，BIAS-2 = 0） | 14 | 15.2 | 16.4 | | A |
| | | $T_A$ = –40°C 至 +85°C | 11.8 | | 17.6 | | B |
| | | 低偏置（BIAS-1 = 0，BIAS-2 = 1） | 9 | 10.2 | 11.6 | | A |
| | | $T_A$ = –40°C 至 +85°C | 7.1 | | 11.4 | | B |
| | | 偏置关闭（BIAS-1 = 1，BIAS-2 = 1） | | 0.1 | 0.3 | | A |
| | | $T_A$ = –40°C 至 +85°C | | | 0.8 | | B |
| | 流过 GND 引脚的电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | | 1 | | mA | C |
| +PSRR | 正电源抑制比 | 差分 | 54 | 66 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 52 | | | | B |
| –PSRR | 负电源抑制比 | 差分 | 52 | 65 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 50 | | | | B |


版权 © 2016–2017, Texas Instruments Incorporated

## 电气特性：$V_S$ = ±12V (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|
| 偏置控制 | | | | | | |
| 偏置控制引脚逻辑阈值 | 逻辑 1，相对于 GND (2)，$T_A$ = –40°C 至 +85°C | 1.9 | | | V | B |
| | 逻辑 0，相对于 GND (2)，$T_A$ = –40°C 至 +85°C | | | 0.8 | | B |
| 偏置控制引脚静态电流 | BIAS-1，BIAS-2 = 0.5V（逻辑 0） | | 20 | 30 | μA | A |
| | $T_A$ = –40°C 至 +85°C | | | 35 | | B |
| | BIAS-1，BIAS-2 = 3.3V（逻辑 1） | | 0.3 | 1 | | A |
| | $T_A$ = –40°C 至 +85°C | | | 1.2 | | B |
| 偏置引脚输入阻抗 | | | 50 | | kΩ | C |
| 放大器输出阻抗 | 关闭偏置（BIAS-1 = 1，BIAS-2 = 1） | | 10 \|\| 5 | | kΩ \|\| pF | C |

(2) GND 引脚可用范围是从 $V_{S–}$ 到 ($V_{S+}$ – 5V)。

## 6.6 电气特性：$V_S$ = ±6V

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|---|---|
| 交流性能 | | | | | | | | |
| SSBW | 小信号带宽，–3dB | $G_{DIFF}$ = 5V/V，$R_F$ = 1.82kΩ，$V_O$ = 2$V_{PP}$ | | | 140 | | MHz | C |
| | | $G_{DIFF}$ = 10V/V，$R_F$ = 1.5kΩ，$V_O$ = 2$V_{PP}$ | | 110 | 140 | | | B |
| | | $T_A$ = –40°C 至 +85°C | | 95 | | | | |
| | 0.1dB 带宽平坦度 | $G_{DIFF}$ = 5V/V，$R_F$ = 1.82kΩ | | | 100 | | MHz | C |
| LSBW | 大信号带宽 | $G_{DIFF}$ = 5V/V，$R_F$ = 1.82kΩ，$V_O$ = 16$V_{PP}$ | | | 120 | | MHz | C |
| SR | 压摆率（10% 至 90% 级别） | $G_{DIFF}$ = 5V/V，$V_O$ = 10V 阶跃，差分 | | 1200 | 1600 | | V/µs | B |
| | | $T_A$ = –40°C 至 +85°C | | 1000 | | | | B |
| | 上升和下降时间 | $G_{DIFF}$ = 5V/V，$V_O$ = 2$V_{PP}$ | | | 5 | | ns | C |
| HD2 | 二阶谐波失真 | $G_{DIFF}$ = 5V/V，$V_O$ = 2$V_{PP}$，$R_L$ = 100Ω 差分 | 满偏置 | | –98 | –92 | dBc | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –87 | | B |
| | | | 低偏置 | | –93 | | | C |
| | | | 满偏置 | | –80 | –75 | | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –68 | | B |
| | | | 低偏置 | | –74 | | | C |
| HD3 | 三阶谐波失真 | $G_{DIFF}$ = 5V/V，$V_O$ = 2$V_{PP}$，$R_L$ = 100Ω 差分 | 满偏置 | | –93 | –84 | dBc | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –79 | | B |
| | | | 低偏置 | | –89 | | | C |
| | | | 满偏置 | | –66 | –60 | | B |
| | | | $T_A$ = –40°C 至 +85°C | | | –54 | | B |
| | | | 低偏置 | | –55 | | | C |
| $e_n$ | 差分输入电压噪声 | f = 1MHz，输入参考 | | | 2.5 | 3.0 | nV/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 3.3 | | B |
| $i_{n+}$ | 差分同相电流噪声 | f = 1MHz | | | 1.2 | 1.4 | pA/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 1.6 | | B |
| $i_{n-}$ | 差分反相电流噪声 | f = 1MHz | | | 17 | 20 | pA/√Hz | B |
| | | $T_A$ = –40°C 至 +85°C | | | | 24 | | B |
| 直流性能 | | | | | | | | |
| $Z_{OL}$ | 开环跨阻增益 | $R_L$ = 100Ω | | 330 | 650 | | kΩ | A |
| | | $T_A$ = –40°C 至 +85°C | | 300 | | | | B |
| | 输入失调电压 | | | | ±10 | ±45 | mV | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±55 | | B |
| | 输入失调电压漂移 | $T_A$ = –40°C 至 +85°C | | | | ±155 | µV/°C | B |
| | 输入失调电压匹配 | 通道 1 至 2 | | | ±0.5 | ±5 | mV | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±7 | | B |
| | 同相输入偏置电流 | | | | ±1 | ±3.5 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±5.5 | | B |
| | 同相输入偏置电流漂移 | $T_A$ = –40°C 至 +85°C | | | | ±30 | nA/°C | B |
| | 反相输入偏置电流 | | | | ±8 | ±45 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±55 | | B |
| | 反相输入偏置电流漂移 | $T_A$ = –40°C 至 +85°C | | | | ±135 | nA/°C | B |
| | 反相输入偏置电流匹配 | | | | ±8 | ±30 | µA | A |
| | | $T_A$ = –40°C 至 +85°C | | | | ±40 | | B |

(1) 测试级别：(A) 100%，测试温度为 25°C。通过表征和仿真设置过热限制。(B) 通过表征和仿真设置限制。(C) 典型值仅供参考。


版权 © 2016–2017, Texas Instruments Incorporated

## 电气特性：$V_S$ = ±6V (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|---|
| **输入特性** | | | | | | | |
| | 共模输入范围 | 每路输入 | ±2.9 | ±3.0 | | V | A |
| | | $T_A$ = –40°C 至 +85°C | ±2.7 | | | | B |
| CMRR | 共模抑制比 | 每路输入 | 51 | 62 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 47 | | | | B |
| | 同相输入电阻 | | | 500 \|\| 2 | | kΩ \|\| pF | C |
| | 反相输入电阻 | | | 55 | | Ω | C |
| **输出特性** | | | | | | | |
| | 输出电压摆幅 | $R_L$ = 100Ω，每路输出 | | ±4.9 | | V | C |
| | | $R_L$ = 50Ω，每路输出 | ±4.75 | ±4.9 | | | A |
| | | $T_A$ = –40°C 至 +85°C | ±4.6 | | | | B |
| | | $R_L$ = 25Ω，每路输出 | ±4.55 | ±4.7 | | | A |
| | | $T_A$ = –40°C 至 +85°C | ±4.4 | | | | B |
| | 输出电流（拉电流和灌电流） | $R_L$ = 25Ω，基于 $V_O$ 测试 | ±182 | ±188 | | mA | A |
| | | $T_A$ = –40°C 至 +85°C | ±176 | | | | B |
| | 短路输出电流 | | | ±1 | | A | C |
| $z_o$ | 输出阻抗 | f = 1MHz，差分 | | 0.2 | | Ω | C |
| | 串扰 | f = 1MHz，$V_O$ = 2$V_{PP}$，端口 1 至端口 2 | | –90 | | dB | C |
| **电源** | | | | | | | |
| $V_S$ | 工作电压 | | ±5 | ±6 | ±14 | V | A |
| | | $T_A$ = –40°C 至 +85°C | ±5 | | ±14 | | C |
| | $I_{S+}$ 静态电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | 13 | 17 | 21 | mA | A |
| | | $T_A$ = –40°C 至 +85°C | 10 | | 22 | | B |
| | | 中偏置（BIAS-1 = 1，BIAS-2 = 0） | 10.2 | 13.2 | 16.2 | | A |
| | | $T_A$ = –40°C 至 +85°C | 9.3 | | 16.4 | | B |
| | | 低偏置（BIAS-1 = 0，BIAS-2 = 1） | 7.4 | 9.4 | 11.4 | | A |
| | | $T_A$ = –40°C 至 +85°C | 6.7 | | 11.6 | | B |
| | | 偏置关闭（BIAS-1 = 1，BIAS-2 = 1） | | 0.5 | 0.8 | | A |
| | | $T_A$ = –40°C 至 +85°C | | | 0.9 | | B |
| | $I_{S–}$ 静态电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | 12 | 16 | 20 | mA | A |
| | | $T_A$ = –40°C 至 +85°C | 9 | | 21 | | B |
| | | 中偏置（BIAS-1 = 1，BIAS-2 = 0） | 9.2 | 12.2 | 15.2 | | A |
| | | $T_A$ = –40°C 至 +85°C | 8.3 | | 15.4 | | B |
| | | 低偏置（BIAS-1 = 0，BIAS-2 = 1） | 6.4 | 8.4 | 10.4 | | A |
| | | $T_A$ = –40°C 至 +85°C | 5.7 | | 10.6 | | B |
| | | 偏置关闭（BIAS-1 = 1，BIAS-2 = 1） | | 0.1 | 0.3 | | A |
| | | $T_A$ = –40°C 至 +85°C | | | 0.5 | | B |
| | 流过 GND 引脚的电流 | 满偏置（BIAS-1 = 0，BIAS-2 = 0） | | 1 | | mA | C |
| +PSRR | 正电源抑制比 | 差分 | 54 | 64 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 52 | | | | B |
| –PSRR | 负电源抑制比 | 差分 | 52 | 63 | | dB | A |
| | | $T_A$ = –40°C 至 +85°C | 50 | | | | B |

版权 © 2016–2017, Texas Instruments Incorporated

## 电气特性：$V_S$ = ±6V (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$R_L$ = 100Ω 差分负载，$R_{ADJ}$ = 0Ω，且满偏置（除非另有说明）；请参阅图 81 以了解设置

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | 测试等级 (1) |
|---|---|---|---|---|---|---|
| 偏置控制 | | | | | | |
| 偏置控制引脚逻辑阈值 | 逻辑 1，相对于 GND (2)，$T_A$ = –40°C 至 +85°C | 1.9 | | | V | B |
| | 逻辑 0，相对于 GND (2)，$T_A$ = –40°C 至 +85°C | | | 0.8 | | B |
| 偏置控制引脚静态电流 | BIAS-1，BIAS-2 = 0.5V（逻辑 0） | | 20 | 30 | μA | A |
| | $T_A$ = –40°C 至 +85°C | | | 35 | | B |
| | BIAS-1，BIAS-2 = 3.3V（逻辑 1） | | 0.3 | 1 | | A |
| | $T_A$ = –40°C 至 +85°C | | | 1.2 | | B |
| 偏置引脚输入阻抗 | | | 50 | | kΩ | C |
| 放大器输出阻抗 | 关闭偏置（BIAS-1 = 1，BIAS-2 = 1） | | 10 \|\| 5 | | kΩ \|\| pF | C |

(2) GND 引脚可用范围是从 $V_{S–}$ 到 ($V_{S+}$ – 5V)。

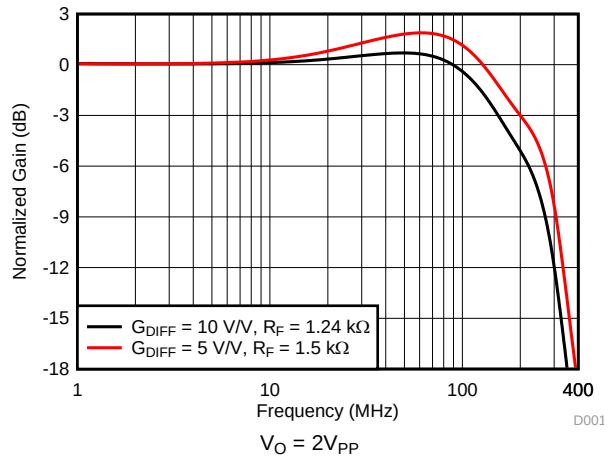
## 6.7 时序要求

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $t_{ON}$ | 开通时间延迟：$I_S$ 达到最终值的 50% 所需的时间 | | 1 | | μs |
| $t_{OFF}$ | 关断时间延迟：$I_S$ 达到最终值的 50% 所需的时间 | | 1 | | μs |


版权 © 2016–2017, Texas Instruments Incorporated

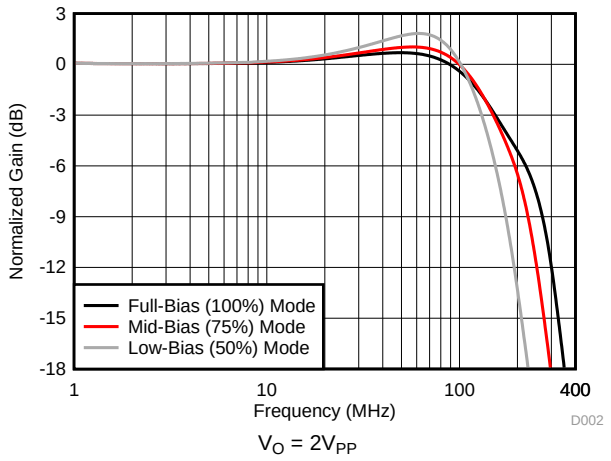
## 6.8 典型特性：$V_S$ = ±12V，满偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O$ = 2$V_{PP}$

图 **1.** 小信号频率响应




$V_O$ = 2$V_{PP}$

图 **2.** 小信号频率响应与偏置模式间的关系

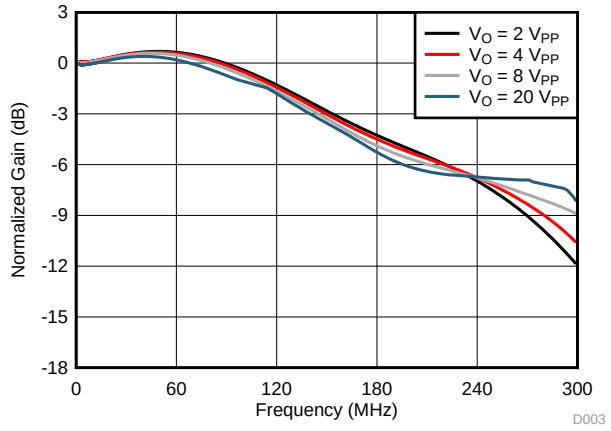



图 **3.** 大信号频率响应

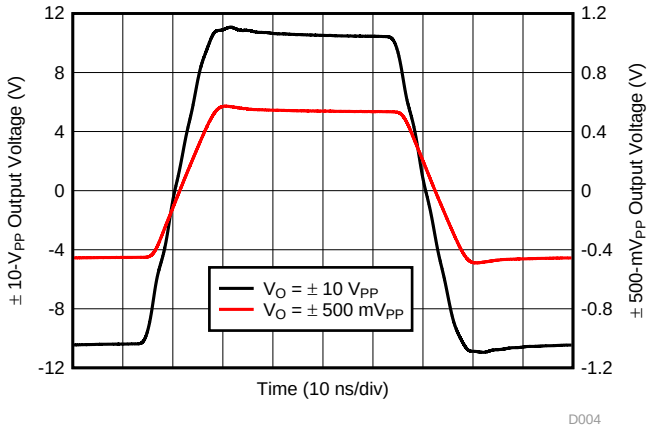



图 **4.** 脉冲响应

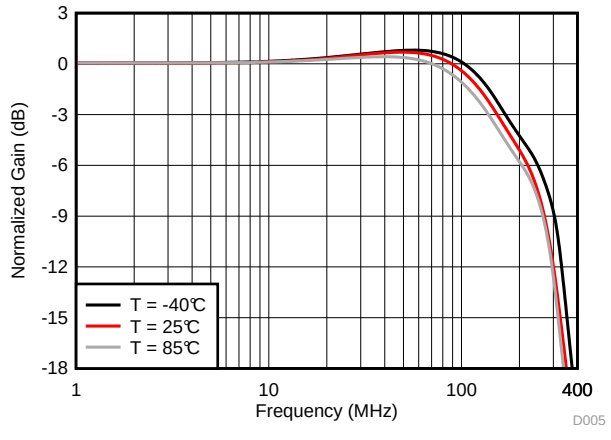
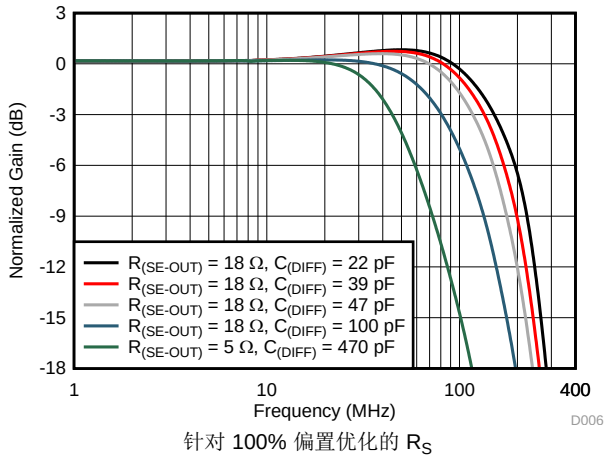



图 **5.** 频率响应随温度的变化

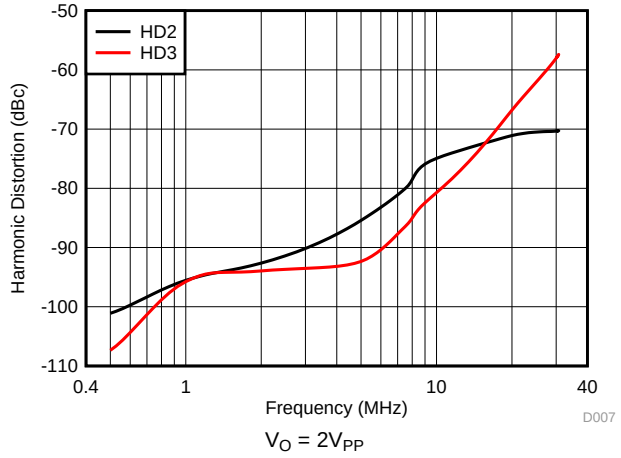



针对 100% 偏置优化的 $R_S$

图 **6.** 频率响应随容性负载的变化

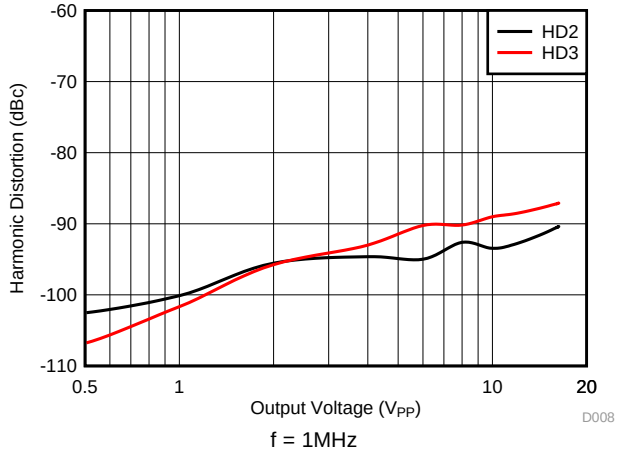
## 典型特性：$V_S$ = ±12V，满偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）



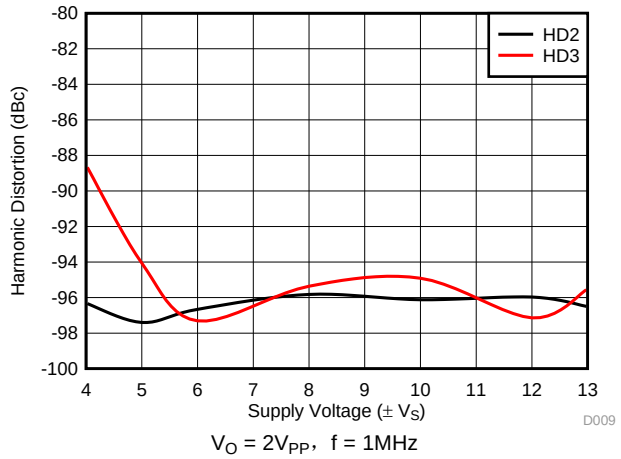

$V_O$ = 2$V_{PP}$

图 **7.** 谐波失真与频率间的关系



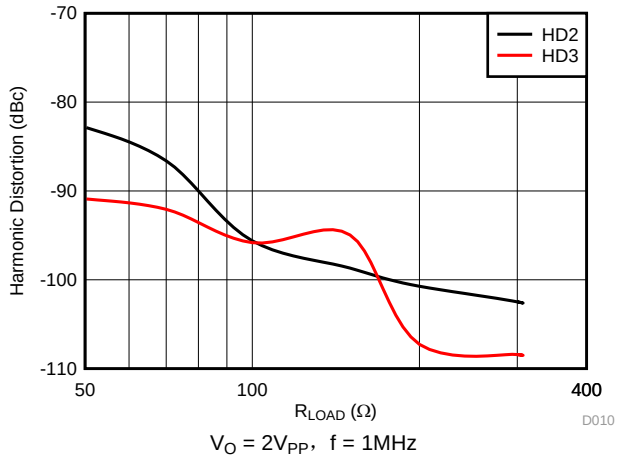

f = 1MHz

图 **8.** 谐波失真与输出电压间的关系



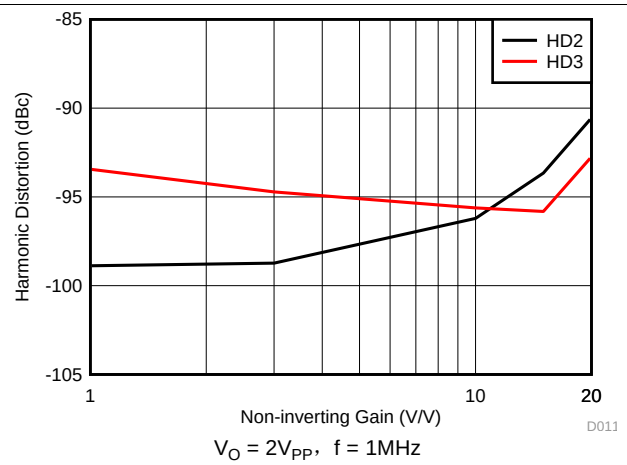

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **9.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **10.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **11.** 谐波失真与同相增益间的关系

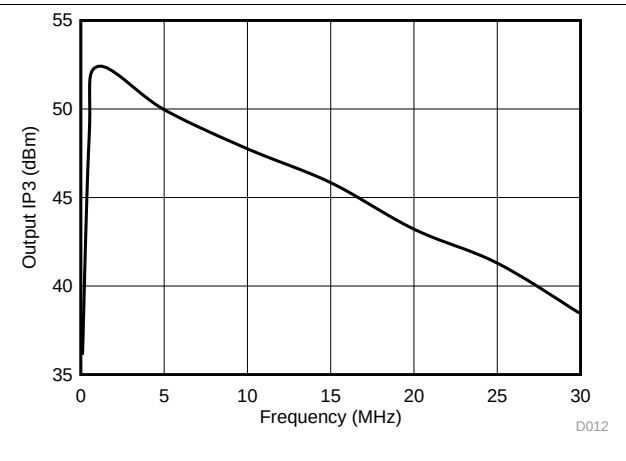



图 **12.** 双音三阶互调截点


版权 © 2016–2017, Texas Instruments Incorporated

## 典型特性：$V_S$ = ±12V，满偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）

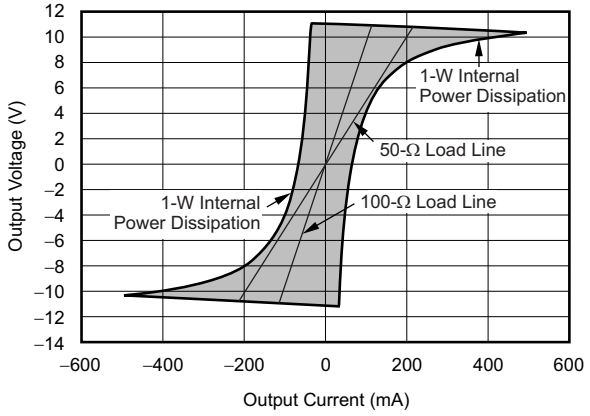
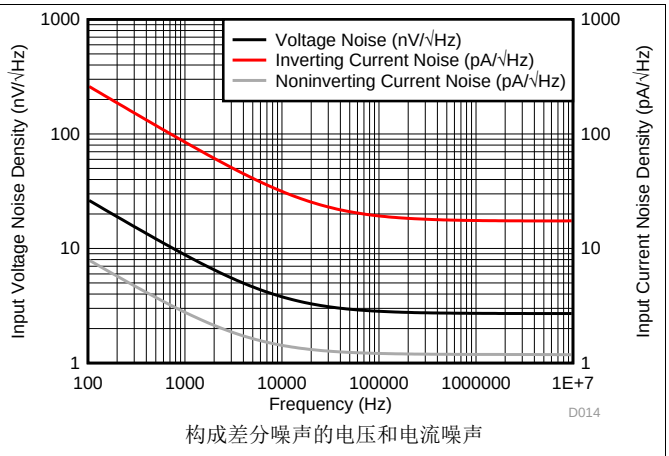



图 **13.** 输出电压和电流限制




构成差分噪声的电压和电流噪声

图 **14.** 输入电压和电流噪声密度

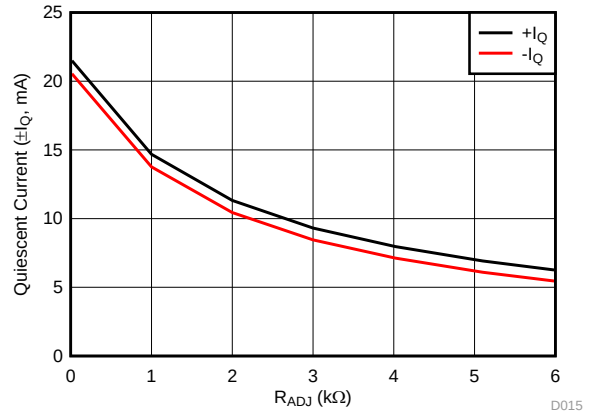



图 **15.** 满偏置设置的静态电流与 $R_{ADJ}$ 间的关系

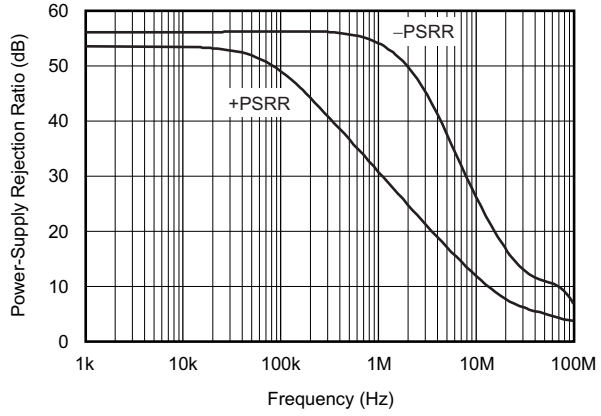



图 **16. PSRR** 与频率间的关系

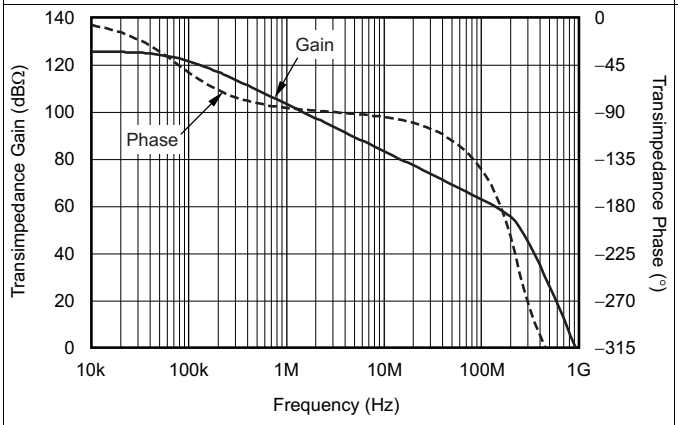



图 **17.** 开环增益和相位

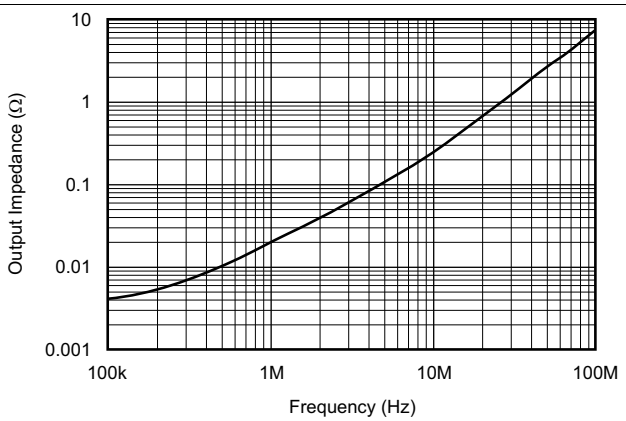
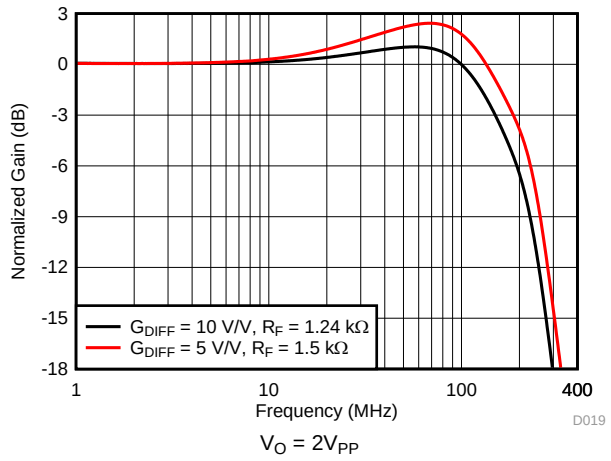



图 **18.** 闭环输出阻抗

## 6.9 典型特性：$V_S$ = ±12V，中偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O$ = 2$V_{PP}$

图 **19.** 小信号频率响应

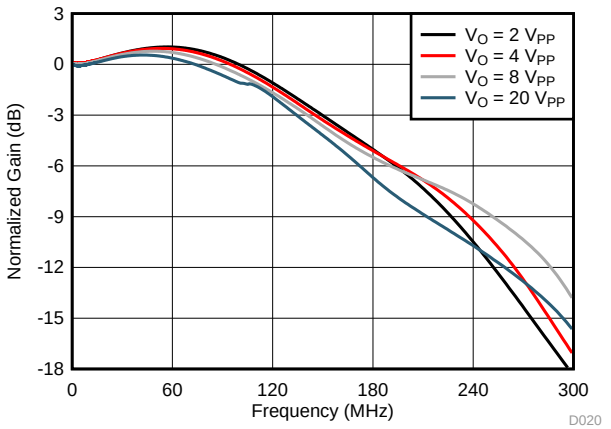



图 **20.** 大信号频率响应

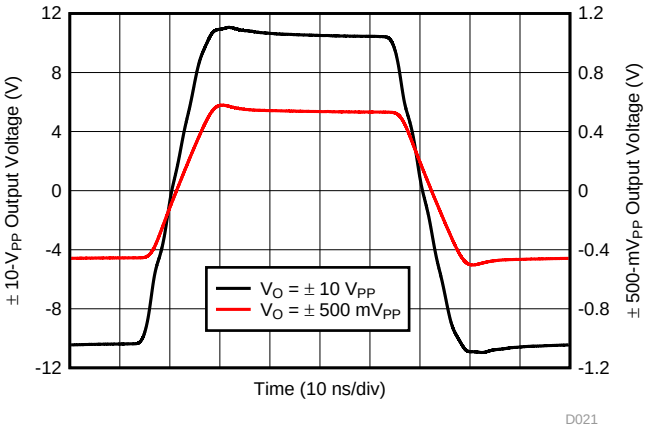



图 **21.** 脉冲响应

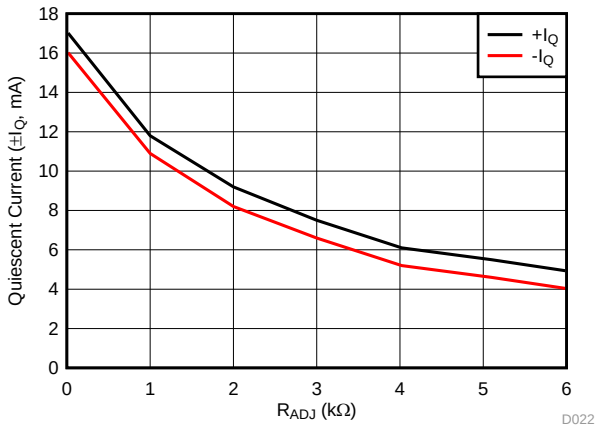



图 **22.** 中偏置设置的静态电流与 $R_{ADJ}$ 间的关系

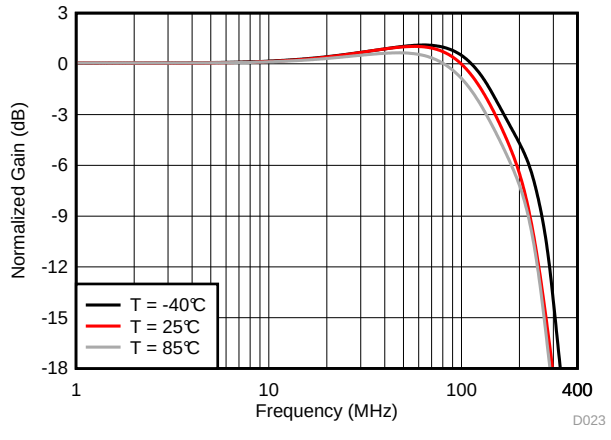
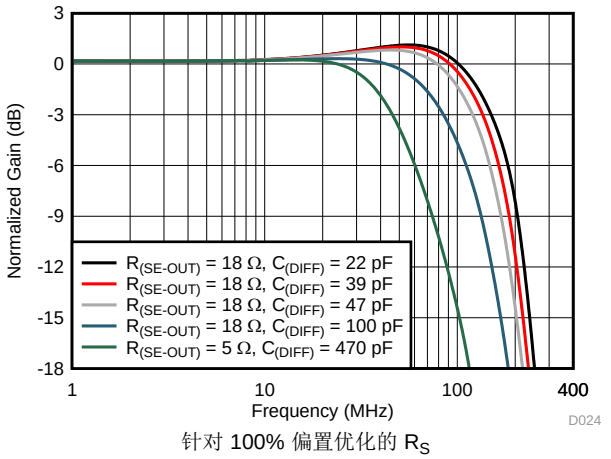



图 **23.** 频率响应随温度的变化



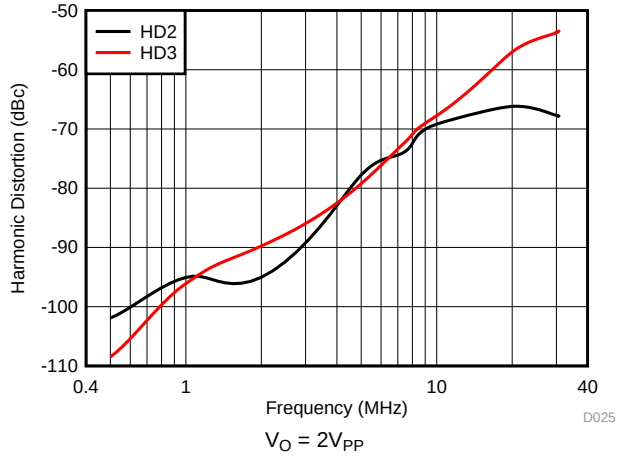

针对 100% 偏置优化的 $R_S$

图 **24.** 频率响应随容性负载的变化


版权 © 2016–2017, Texas Instruments Incorporated

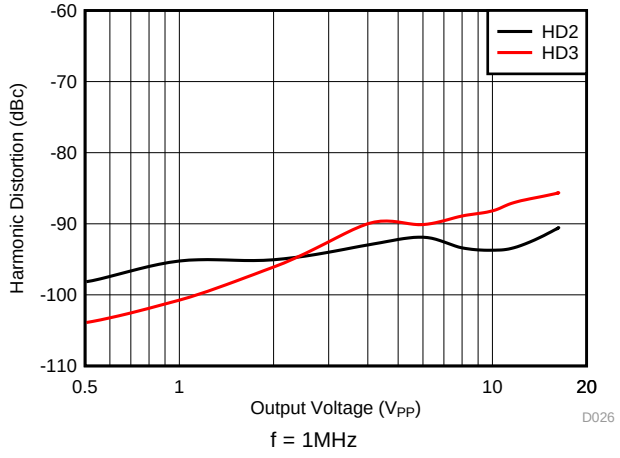
## 典型特性：$V_S$ = ±12V，中偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）



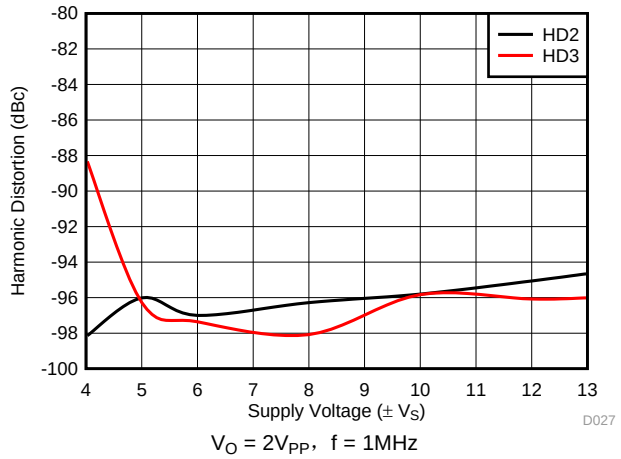

$V_O$ = 2$V_{PP}$

图 **25.** 谐波失真与频率间的关系



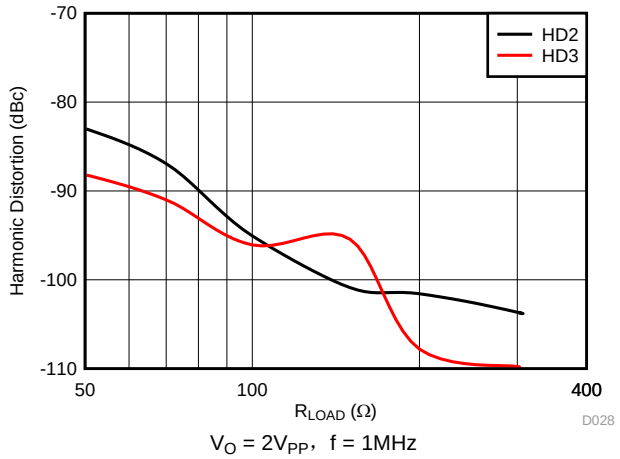

f = 1MHz

图 **26.** 谐波失真与输出电压间的关系



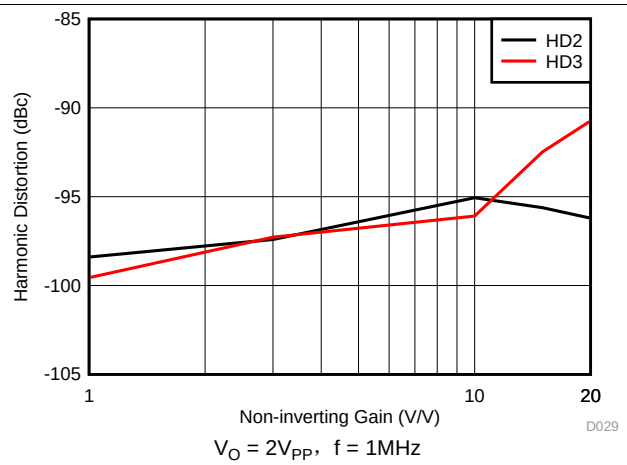

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **27.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **28.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **29.** 谐波失真与同相增益间的关系

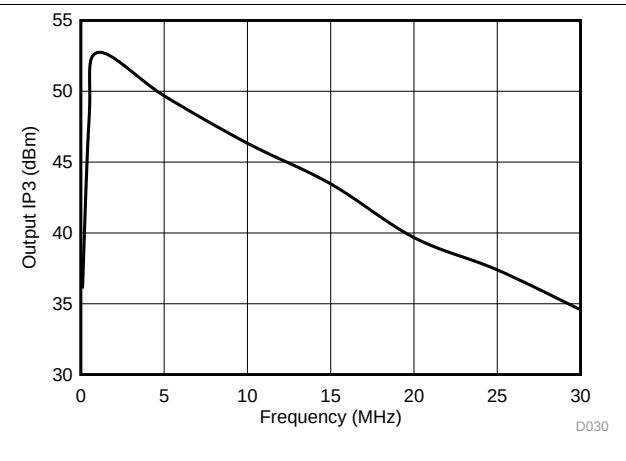
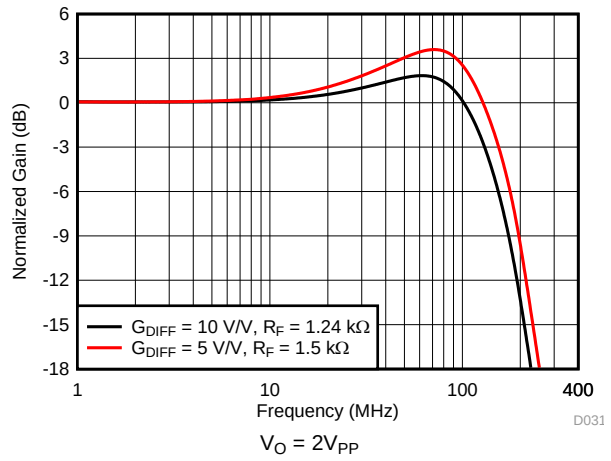



图 **30.** 双音三阶互调截点

## 6.10 典型特性：$V_S$ = ±12V，低偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O$ = 2$V_{PP}$

图 **31.** 小信号频率响应

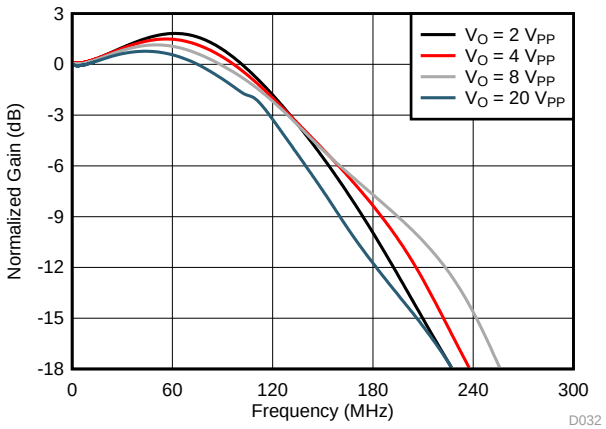



图 **32.** 大信号频率响应

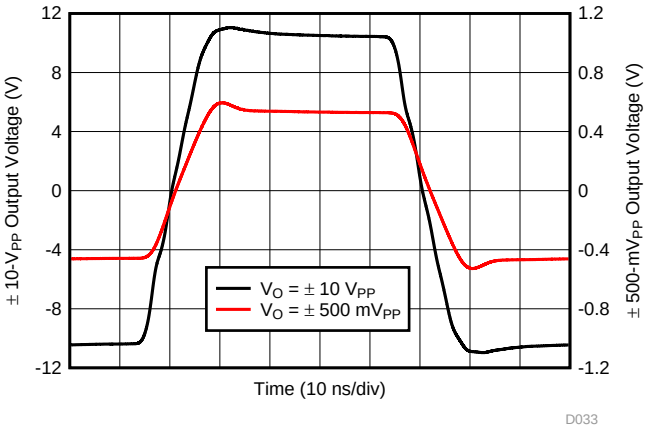



图 **33.** 脉冲响应

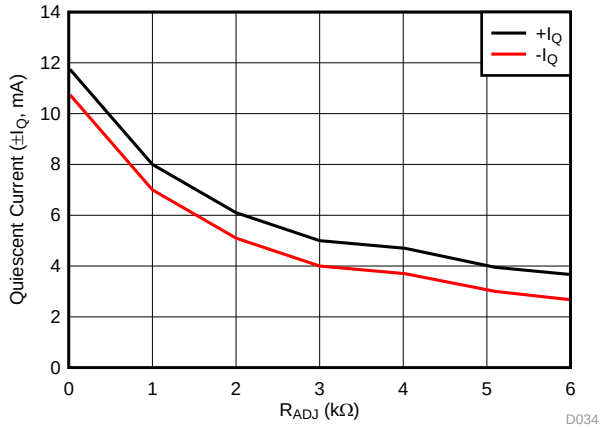



图 **34.** 低偏置设置的电源电流与 $R_{ADJ}$ 间的关系

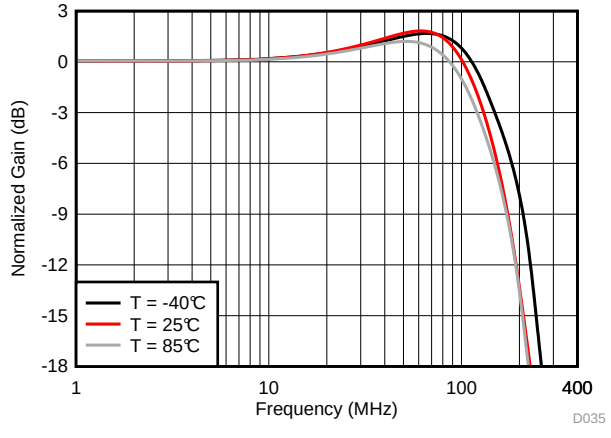
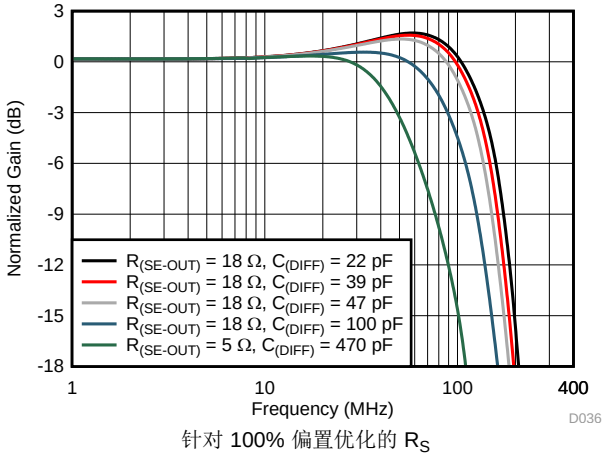



图 **35.** 频率响应随温度的变化



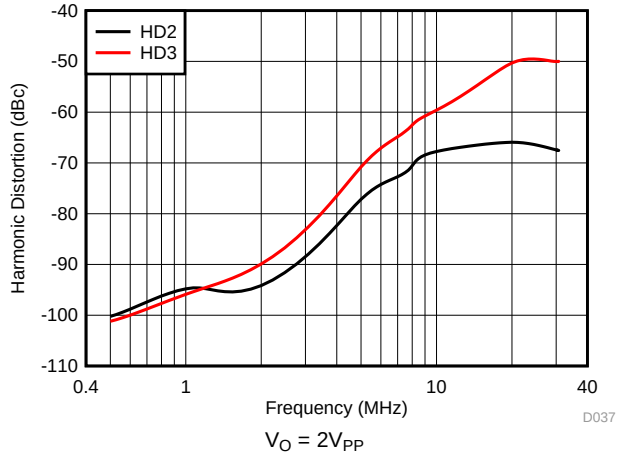

针对 100% 偏置优化的 $R_S$

图 **36.** 频率响应随容性负载的变化


版权 © 2016–2017, Texas Instruments Incorporated

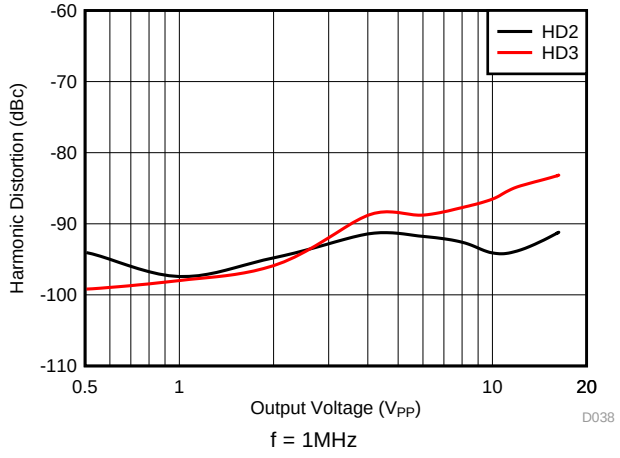
## 典型特性：$V_S$ = ±12V，低偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 10V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.24kΩ，且 $R_L$ = 100Ω（除非另有说明）



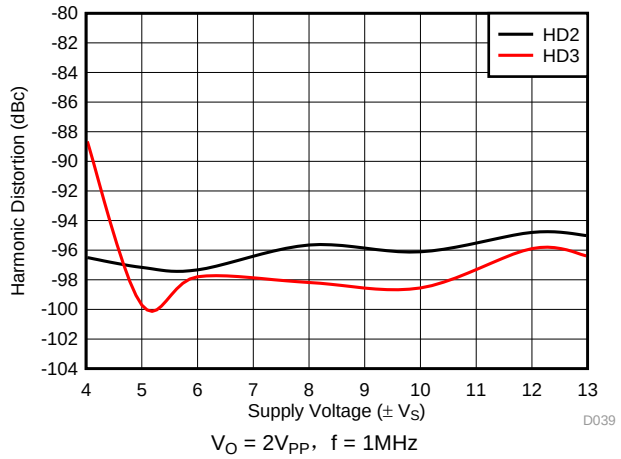

$V_O$ = 2$V_{PP}$

图 **37.** 谐波失真与频率间的关系



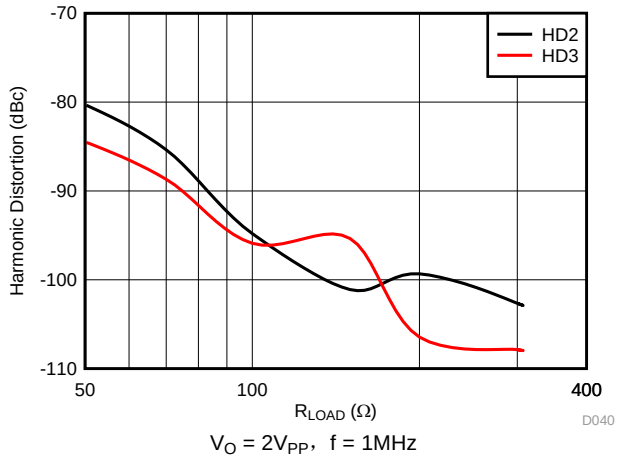

f = 1MHz

图 **38.** 谐波失真与输出电压间的关系



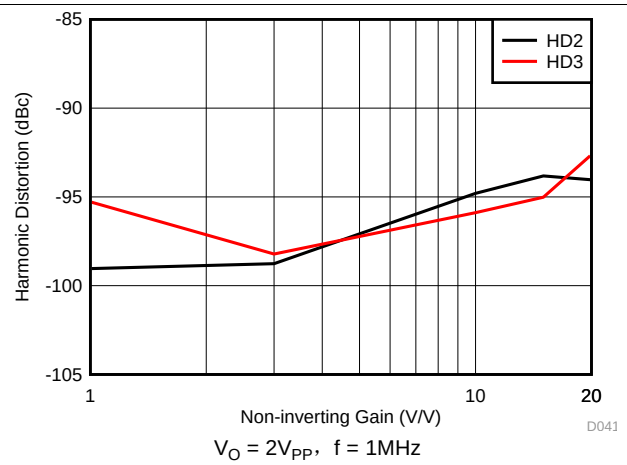

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **39.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **40.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **41.** 谐波失真与同相增益间的关系

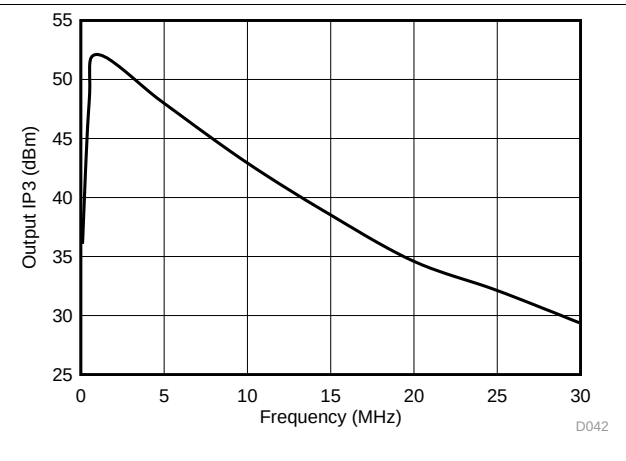
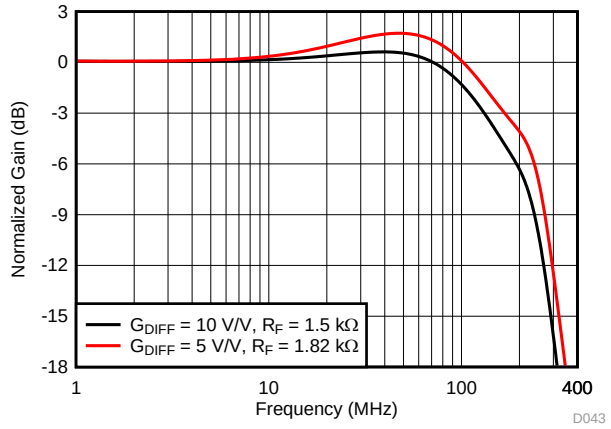



图 **42.** 双音三阶互调截点

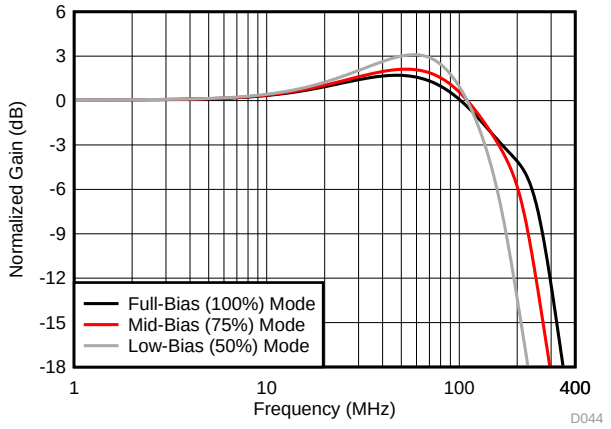
## 6.11 典型特性：$V_S$ = ±6V，满偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O = 2V_{PP}$

图 **43.** 小信号频率响应




$V_O = 2V_{PP}$

图 **44.** 小信号频率响应与偏置间的关系

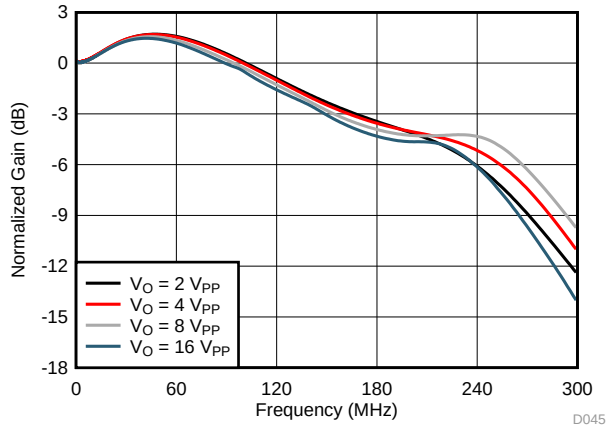



图 **45.** 大信号频率响应

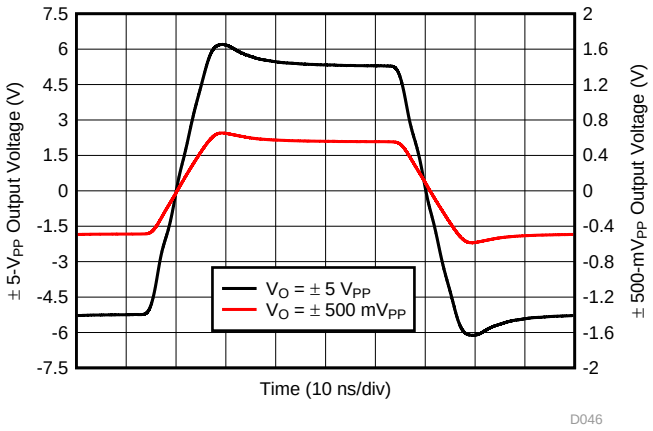



图 **46.** 脉冲响应

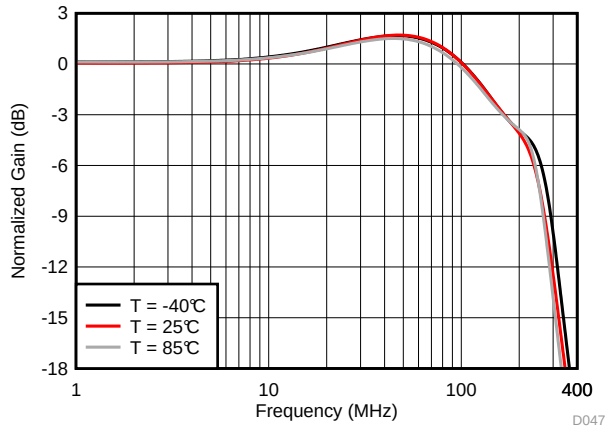
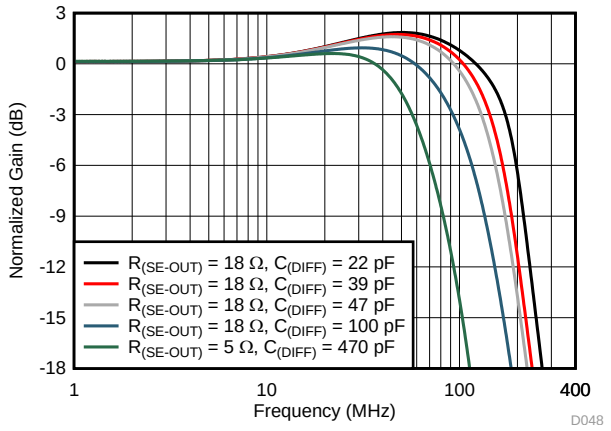



图 **47.** 频率响应随温度的变化



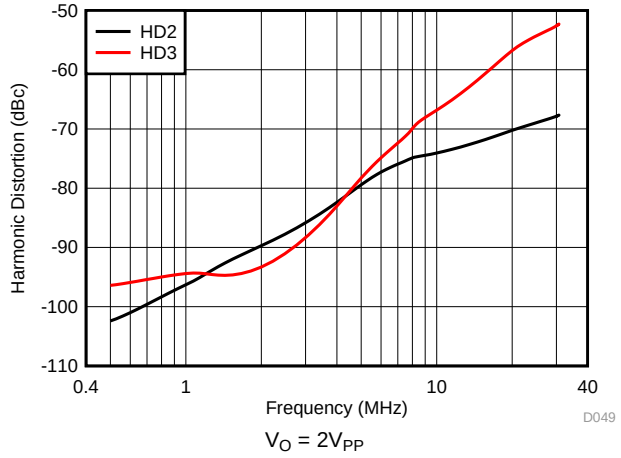

针对 100% 偏置优化的 $R_S$

图 **48.** 频率响应随容性负载的变化


版权 © 2016–2017, Texas Instruments Incorporated

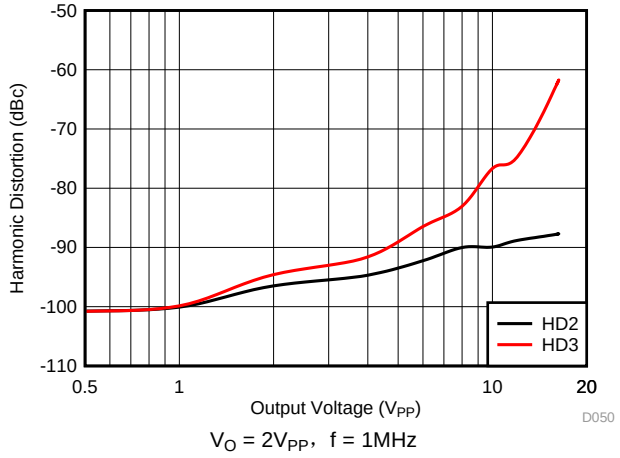
## 典型特性：$V_S$ = ±6V，满偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）



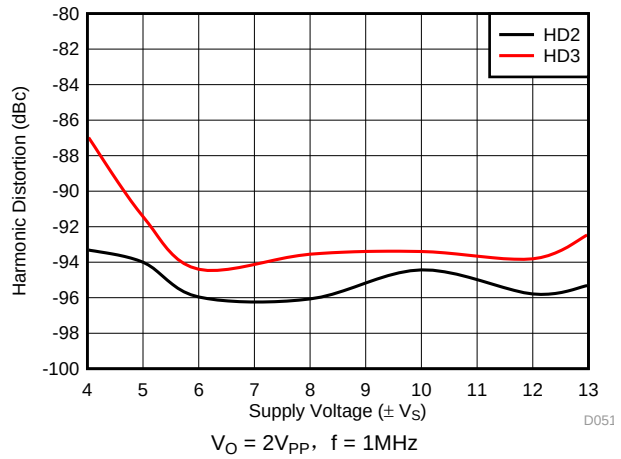

$V_O$ = 2$V_{PP}$

图 **49.** 谐波失真与频率间的关系



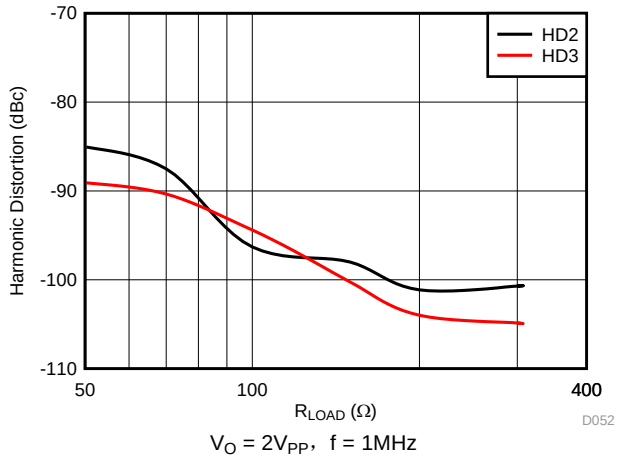

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **50.** 谐波失真与输出电压间的关系



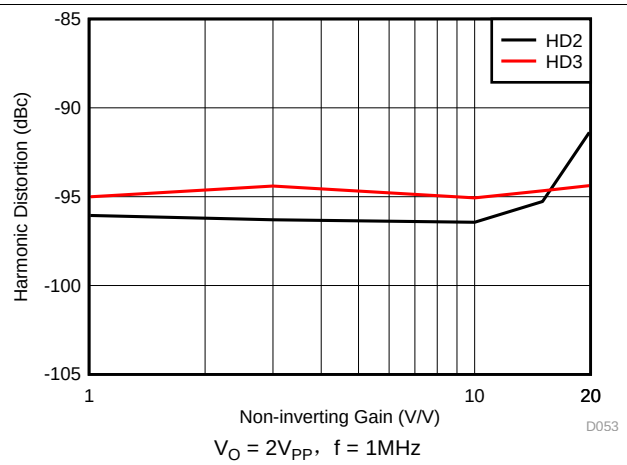

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **51.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **52.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **53.** 谐波失真与同相增益间的关系

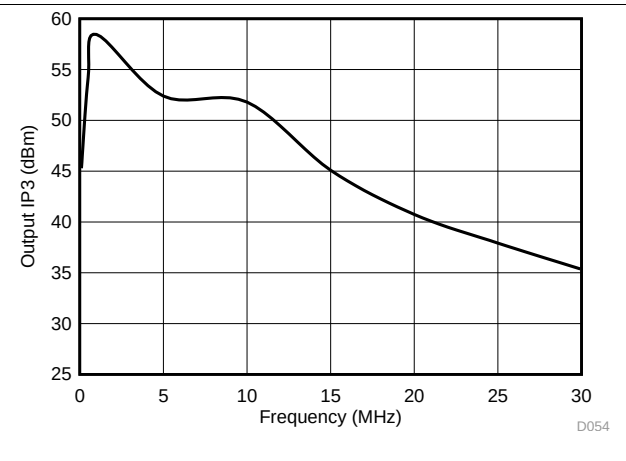



图 **54.** 双音三阶互调截点

## 典型特性：$V_S$ = ±6V，满偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）

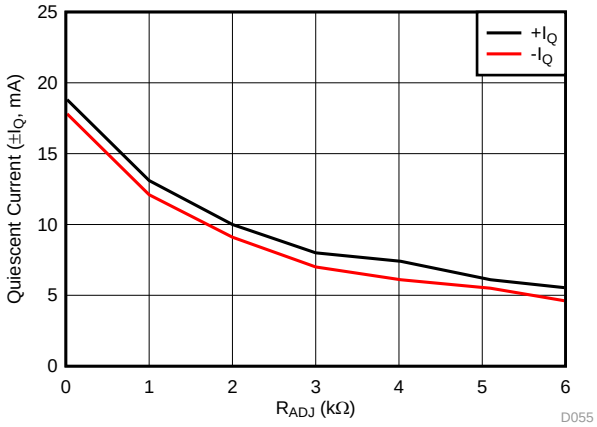
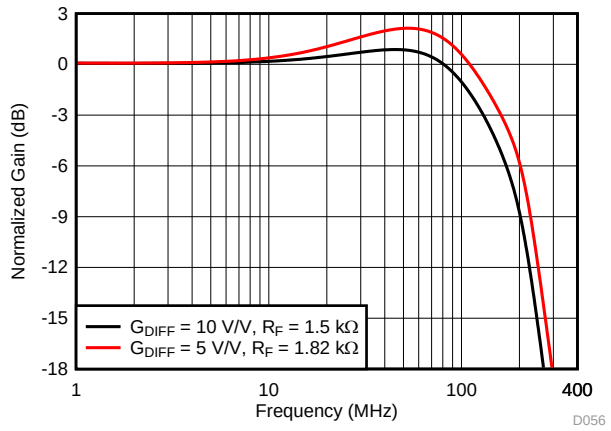



图 **55.** 满偏置设置的静态电流与 $R_{ADJ}$ 间的关系


版权 © 2016–2017, Texas Instruments Incorporated

## 6.12 典型特性：$V_S$ = ±6V，中偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O$ = 2$V_{PP}$

图 **56.** 小信号频率响应

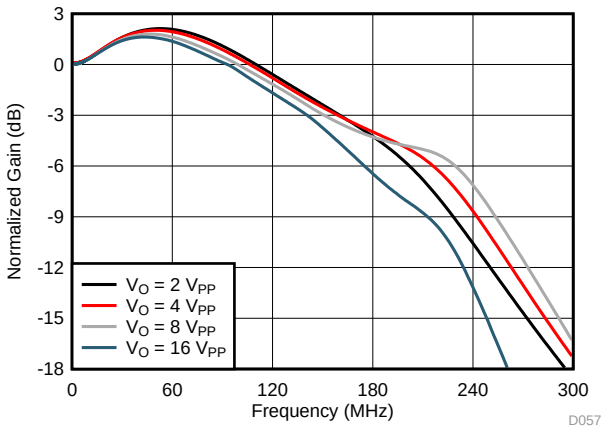



图 **57.** 大信号频率响应

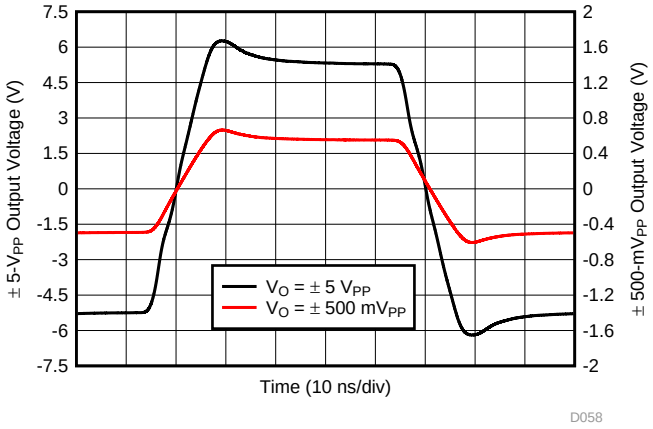



图 **58.** 脉冲响应

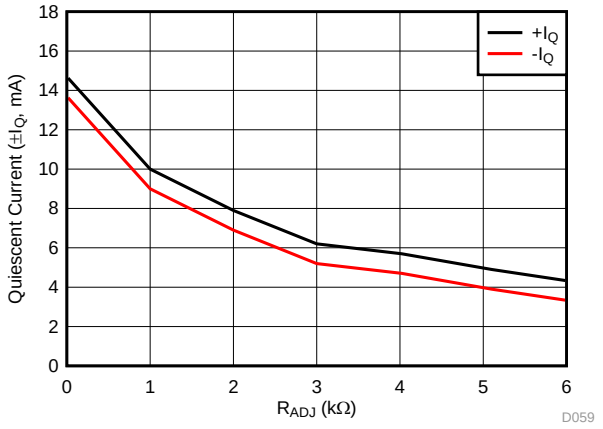



图 **59.** 中偏置设置的静态电流与 $R_{ADJ}$ 间的关系

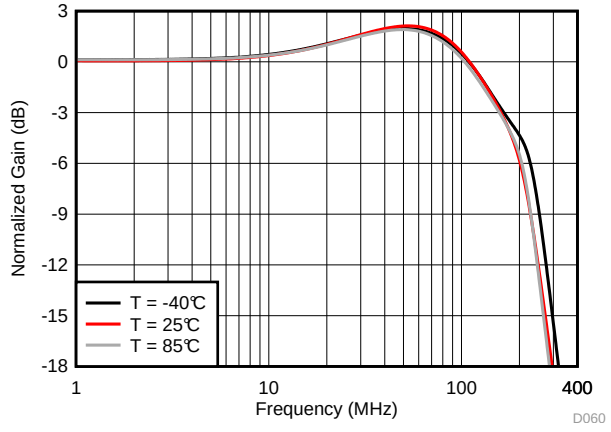
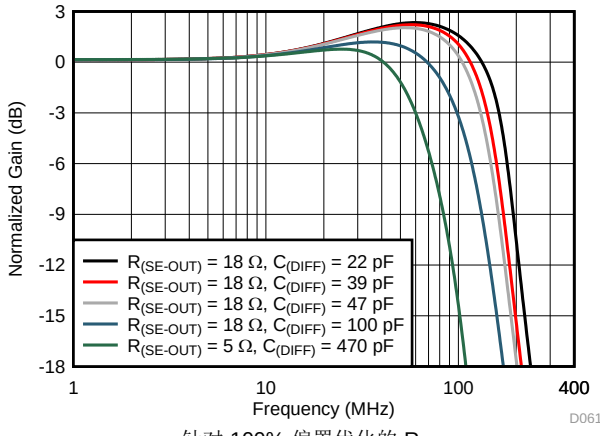



图 **60.** 频率响应随温度的变化

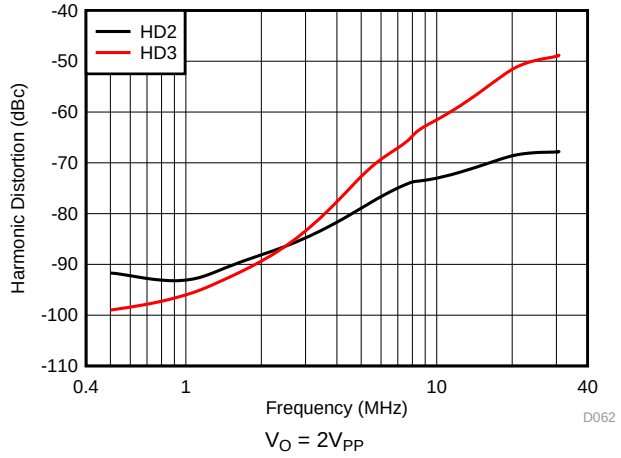



针对 100% 偏置优化的 $R_S$

图 **61.** 频率响应随容性负载的变化

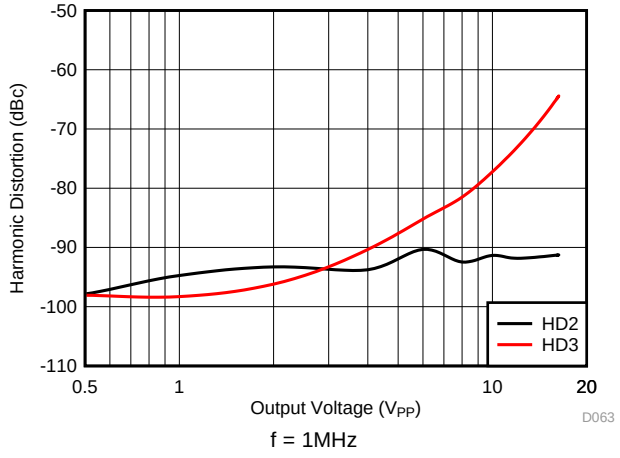
## 典型特性：$V_S$ = ±6V，中偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）



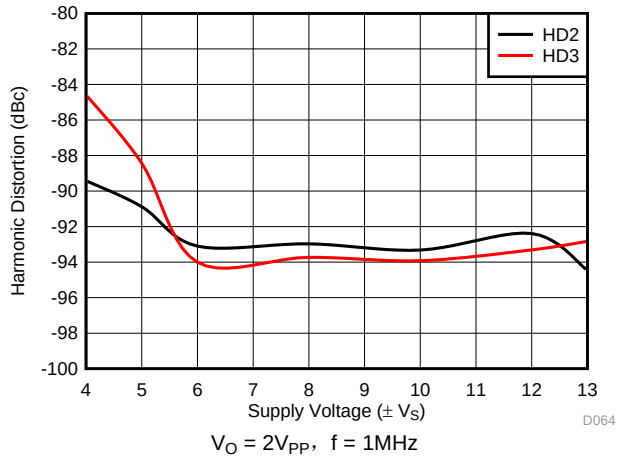

$V_O$ = 2$V_{PP}$

图 **62.** 谐波失真与频率间的关系



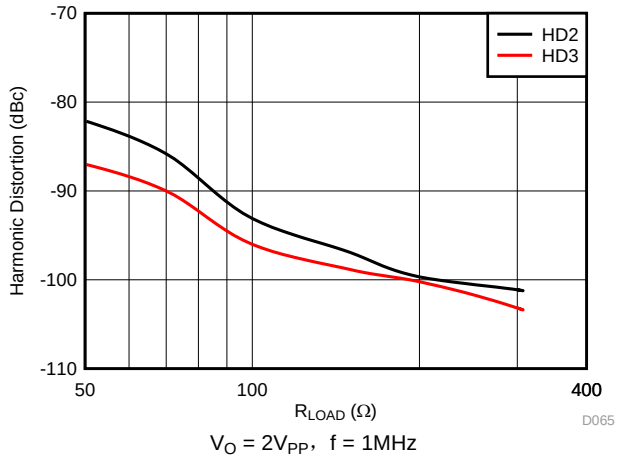

f = 1MHz

图 **63.** 谐波失真与输出电压间的关系



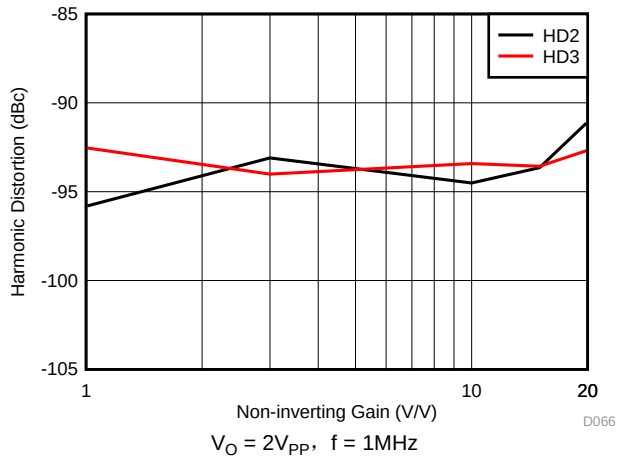

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **64.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **65.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **66.** 谐波失真与同相增益间的关系

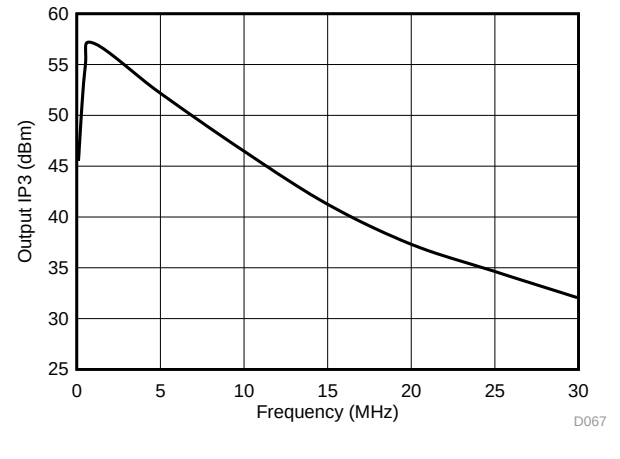
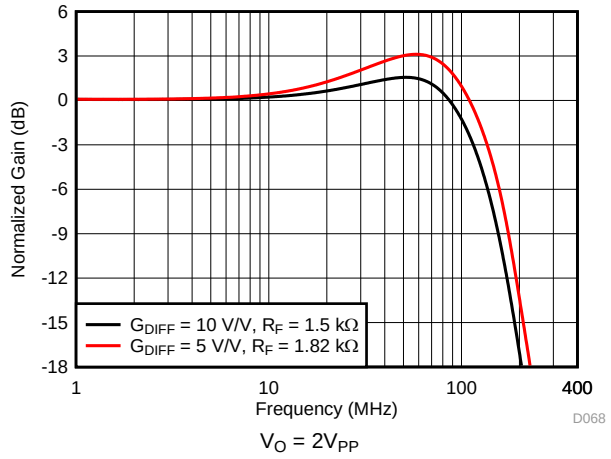



图 **67.** 双音三阶互调截点


版权 © 2016–2017, Texas Instruments Incorporated

## 6.13 典型特性：$V_S$ = ±6V，低偏置

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）




$V_O$ = 2$V_{PP}$

图 **68.** 小信号频率响应

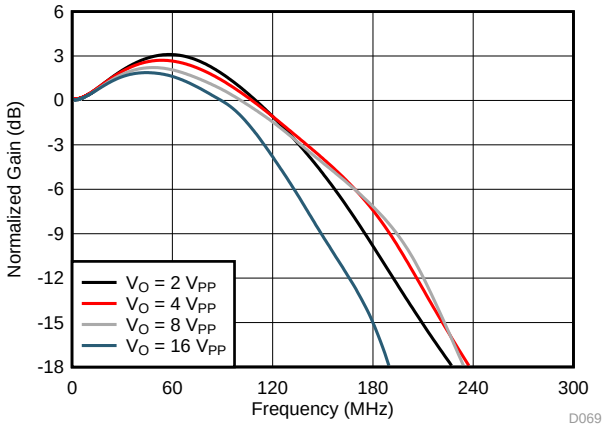



图 **69.** 大信号频率响应

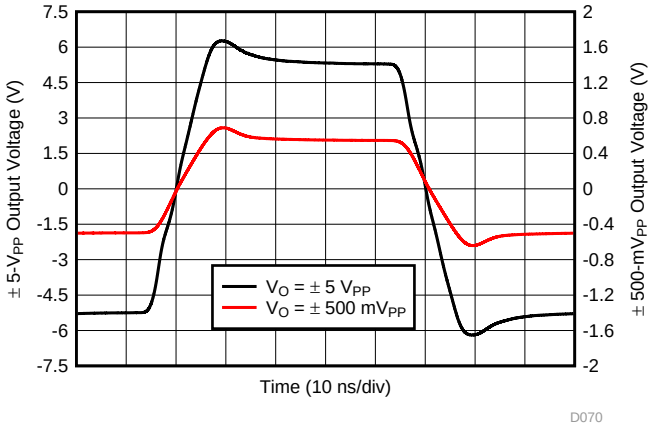



图 **70.** 脉冲响应

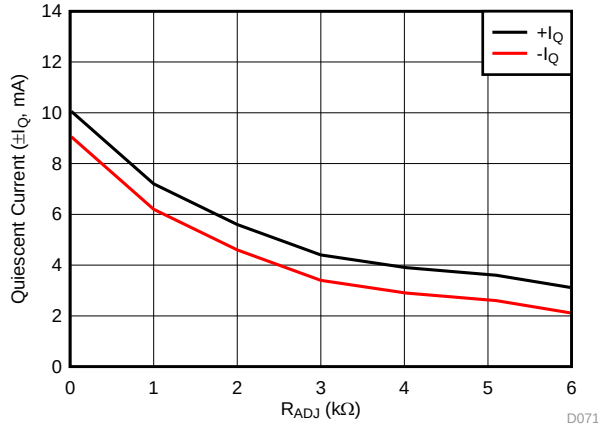



图 **71.** 低偏置设置的静态电流与 $R_{ADJ}$ 间的关系

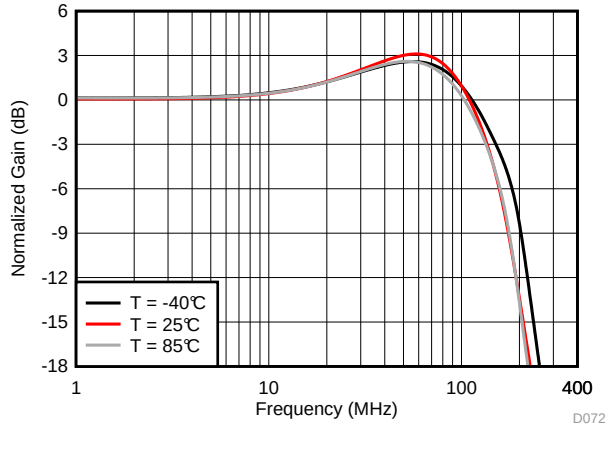
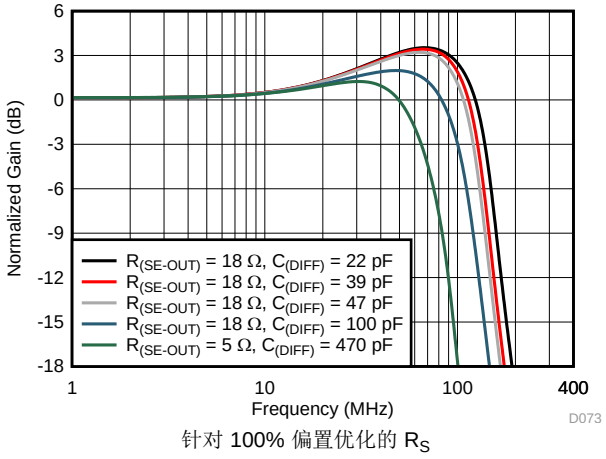



图 **72.** 频率响应随温度的变化

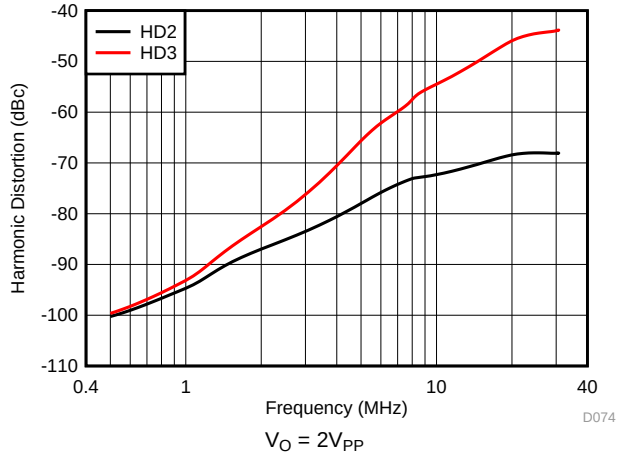



针对 100% 偏置优化的 $R_S$

图 **73.** 频率响应随容性负载的变化

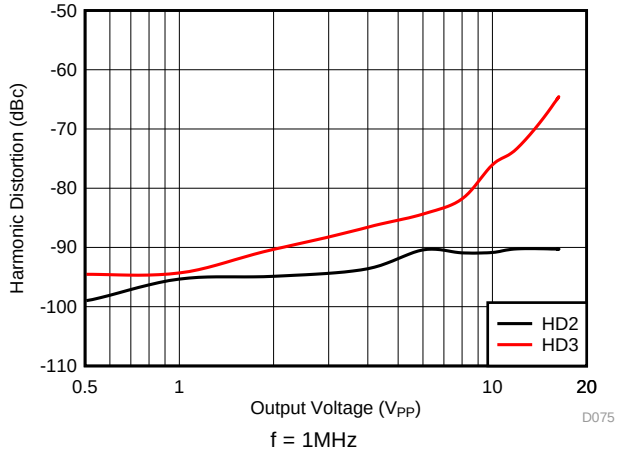
## 典型特性：$V_S$ = ±6V，低偏置 (接下页)

$T_A$ = 25°C 时，$G_{DIFF}$ = 5V/V，$G_{CM}$ = 1V/V，$R_{ADJ}$ = 0Ω，$R_F$ = 1.82kΩ，且 $R_L$ = 100Ω（除非另有说明）



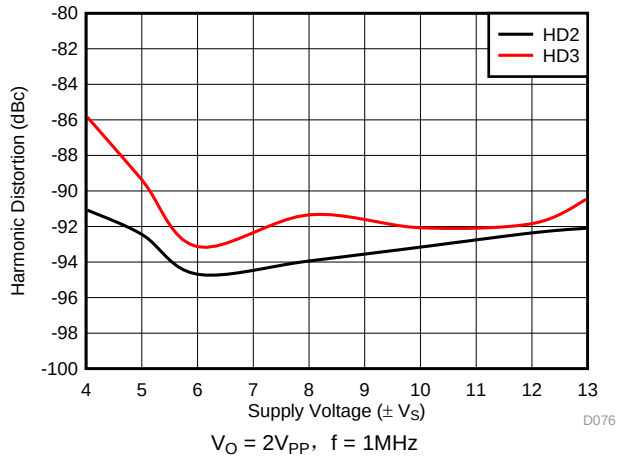

$V_O$ = 2$V_{PP}$

图 **74.** 谐波失真与频率间的关系



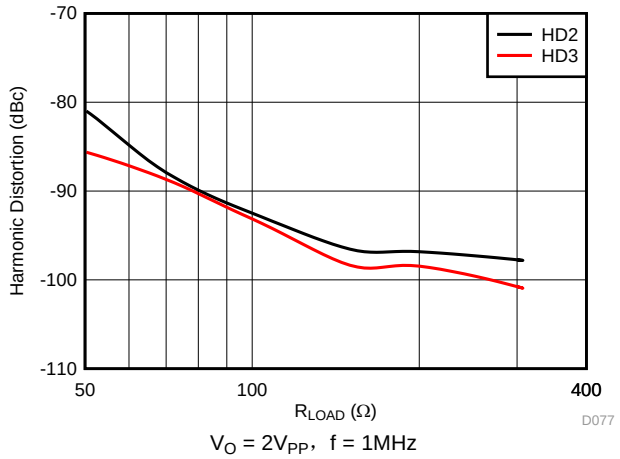

f = 1MHz

图 **75.** 谐波失真与输出电压间的关系



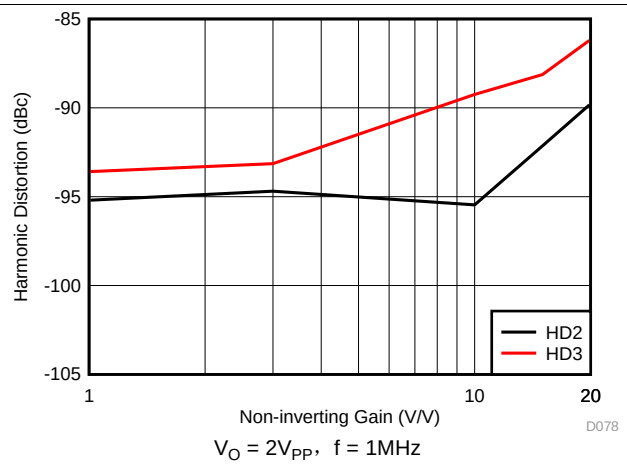

$V_O$ = 2$V_{PP}$，f = 1MHz

图 **76.** 谐波失真与电源电压间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **77.** 谐波失真与负载电阻间的关系




$V_O$ = 2$V_{PP}$，f = 1MHz

图 **78.** 谐波失真与同相增益间的关系

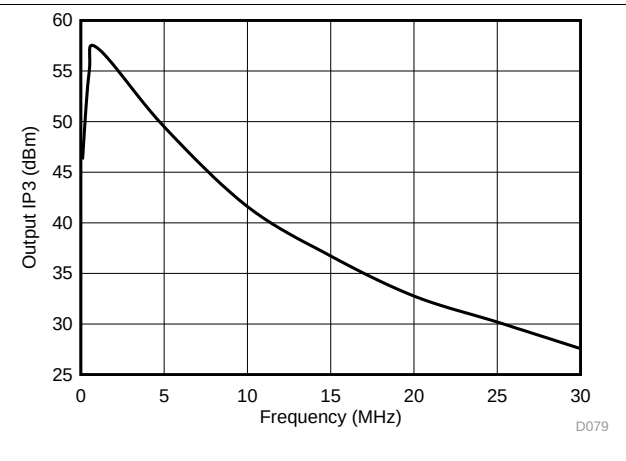



图 **79.** 双音三阶互调截点


版权 © 2016–2017, Texas Instruments Incorporated

# 7 详细 说明

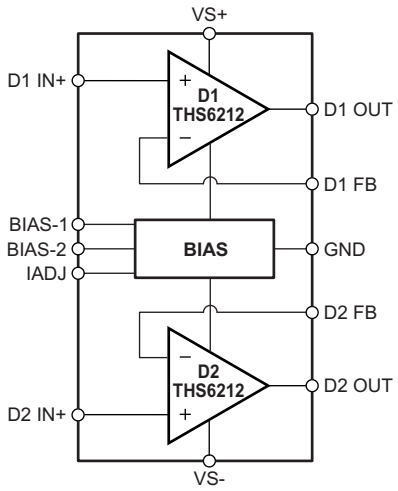
## 7.1 概述

THS6212 是一款采用电流反馈架构的差分线路驱动器放大器。该器件适用于线路驱动器 应用 （例如，宽带电力线通信），运行速度飞快，足以支持 14.5dBm 线路功率的传输（在高达 30MHz 的频率下）。

THS6212 设计为单通道解决方案，可直接替代双通道封装方案。该器件的封装引脚与 THS6214 双通道差分线路驱动器的引脚兼容，并为仅需单通道器件的系统提供了一种替代方案。

THS6212 的架构旨在提供最大的灵活性，可根据应用性能要求选择多个偏置设置，并提供外部电流引脚 (IADJ) 以进一步调节器件的偏置电流。THS6212 的宽输出摆幅 (43.2$V_{PP}$) 和高电流驱动 (416mA) 使该器件非常适合高功率线路驱动 应用。

## 7.2 功能框图




Copyright © 2016, Texas Instruments Incorporated

## 7.3 特性 说明

### 7.3.1 输出电流和电压

THS6212 提供低成本单片运算放大器无法比拟的输出电压和电流能力。在 25°C、无负载条件下，输出电压通常在任一电源轨的小于 1.1V 范围内摆动；在 25°C、100Ω 差分负载条件下经测试发现，摆幅限制在任一轨道的 1.4V 范围内。在 25Ω 负载（最小测试负载）条件下，该放大器可提供超过 ±408mA 的连续输出电流和大于 ±1A 的峰值输出电流。

这些常见的规格虽然在业内很熟悉，但只单独考虑电压和电流限制。在许多 应用中，电压乘以电流（即 V-I 乘积）与电路运行更具相关性；请参阅*典型特性* 部分的*输出电压和电流限制* 图（图 13）。该图的 X 轴和 Y 轴分别显示零电压输出电流限制和零电流输出电压限制。四个象限给出了 THS6212 输出驱动能力的更详细的视图，注意该图由 1W 最大内部功耗的安全工作区域限定。将电阻器负载线路叠加到图上可以看出，THS6212 可以在 100Ω 负载条件下驱动 ±10.9V 电压或在 50Ω 负载条件下驱动 ±10.5V 电压，而不会超过输出能力或 1W 的功耗限制。如*电气特性* 表所示，100Ω 负载线路（标准测试电路负载）展示了完整的 ±12V 输出摆幅能力。在整个温度范围内，最小额定输出电压和电流是在极端寒冷的情况下通过最坏情况仿真设定的。只有在冷启动时，输出电流和电压才会降至*电气特性* 表中给出的数字。当输出晶体管输出功率时，结温升高，$V_{BE}$ 减小（可用的输出电压摆幅增大），而电流增益增大（可用的输出电流增大）。在稳态运行时，由于输出级结温高于最小额定工作环境温度，因此可用的输出电压和电流总是大于过热规格中所示的输出电压和电流。为了保持最大的输出级线性，不会提供输出短路保护。这种缺少短路保护的情况通常不是问题，因为大多数 应用 在输出端包含一个串联匹配电阻器，如果该电阻器的输出

特性 说明 (接下页)

端出现接地短路，则会限制内部功耗。但是，将输出引脚直接短接到相邻的正电源引脚（24 引脚封装）在大多数情况下会损坏放大器。如果需要额外的短路保护，则可以在电源线中加入一个小串联电阻器。在输出负载较重的情况下，这个额外的电阻器会降低可用的输出电压摆幅。每根电源线中的 5Ω 串联电阻器会在输出短路的情况下将内部功耗限制在 1W 以内，并在所需负载电流高达 100mA 的情况下，可用输出电压摆幅仅减少 0.5V。务必直接在这些电源限流电阻器后方的电源引脚上放置 0.1μF 的电源解耦电容器。

### 7.3.2 驱动容性负载

对于运算放大器来说，要求最苛刻但很常见的负载条件之一是容性负载。通常情况下，容性负载是 ADC 的输入（包括可推荐用于改善 ADC 线性度的附加外部电容）。当容性负载直接置于输出引脚上时，高速高开环增益放大器（如 THS6212）可能非常容易降低稳定性和闭环响应峰值。考虑放大器开环输出电阻时，该容性负载会在信号路径中引入额外的极点，从而可以减小相位裕度。本节介绍了一个解决此问题的外部解决方案。

当主要考虑因素为频率响应平坦度、脉冲响应保真度和失真时，最简单和最有效的解决方案是在放大器输出端与容性负载之间插入串联隔离电阻器来隔离容性负载与反馈环路。该串联电阻器不会消除环路响应中的极点，而是会移动极点，并在更高的频率下增加零点。附加的零点功能可消除来自容性负载极点的相位滞后，从而增大相位裕度并提高稳定性。*典型特性* 部分介绍了建议的 $R_S$ 与容性负载间的关系（请参阅图 5、图 23、图 35、图 47、图 60 和图 72）以及在该负载下产生的频率响应。大于 2pF 的寄生容性负载会开始降低器件性能。较长的印刷电路板 (PCB) 走线、不匹配的电缆以及连接到多个器件都可能会导致超出此值。务必仔细考虑这一效应，并将推荐的串联电阻器尽可能放在靠近 THS6212 输出引脚的位置（请参阅*电路板布局准则* 部分）。

### 7.3.3 失真性能

采用 ±12V 电源时，THS6212 针对 100Ω 负载提供了良好的失真性能。相对于其他解决方案，该放大器可在较轻的负载条件下提供出色的性能，并可由双 ±6V 电源供电运行。一般情况下，在基波信号达到非常高的频率或功率水平时，二次谐波才能通过可忽略的三次谐波分量来控制失真。再关注二次谐波，增加负载阻抗可直接改善失真。请注意，总负载包括反馈网络：在同相配置中（请参阅图 81），此值为 $R_F + R_G$ 之和，而在反相配置中，此值仅为 $R_F$。在电源引脚之间提供一个额外的电源解耦电容器 (0.01μF)（适用于双极性工作模式）也可以稍微改善二阶失真（从 3dB 到 6dB）。

在大多数运算放大器中，增大输出电压摆幅会直接增大谐波失真。*典型特性* 部分说明二次谐波增加幅度略低于预期的 2 倍，而三次谐波增加幅度略低于预期的 3 倍。在测试功率增加一倍的情况下，基波功率和二次谐波之间的差值减小量小于预期的 6dB，而基波功率和三次谐波之间的差值减小量小于预期的 12dB。这一差值也出现在双音三阶互调 (IM3) 杂散响应曲线中。在低输出功率水平下，三阶杂散水平极低。即使基波功率达到非常高的水平，输出级仍然保持很低的三阶杂散水平。

### 7.3.4 差分噪声性能

THS6212 旨在用作高性能 应用中的差分驱动器。因此，分析这种配置中的噪声很重要。图 80 显示了差分配置的运算放大器噪声模型。


版权 © 2016–2017, Texas Instruments Incorporated

特性 说明 **(**接下页**)**

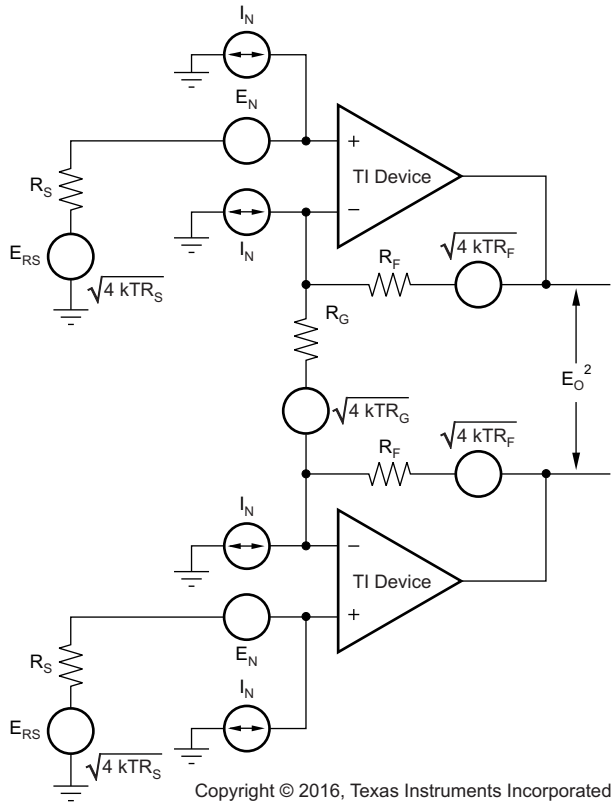



图 **80.** 差分运算放大器噪声分析模型

注意，公式 1 中表示了差分增益：

$$G_D = 1 + \frac{2 \times R_F}{R_G} \tag{1}$$

输出噪声的表示如公式 2 中所示：

$$E_O = \sqrt{2 \times G_D^2 \times \left[e_N^2 + (i_N \times R_S)^2 + 4\ kTR_S\right] + 2(i_I R_F)^2 + 2(4\ kTR_F G_D)} \tag{2}$$

将该表达式除以差分噪声增益 $[G_D = (1 + 2R_F / R_G)]$ 可得出同相输入端的等效输入参考点噪声电压，如公式 3 中所示。

$$E_O = \sqrt{2 \times \left[e_N^2 + (i_N \times R_S)^2 + 4\ kTR_S\right] + 2\left(\frac{i_I R_F}{G_D}\right)^2 + 2\left(\frac{4\ kTR_F}{G_D}\right)} \tag{3}$$

针对图 84 的 THS6212 电路和部件值计算这些公式可得出总输出点噪声电压为 38.9nV/√Hz，而总等效输入点噪声电压为 7nV/√Hz。

为了最大限度降低由同相输入偏置电流噪声引起的输出噪声，建议尽可能降低同相源阻抗。

特性 说明 (接下页)

### 7.3.5 直流精度和偏移控制

诸如 THS6212 等电流反馈运算放大器在高增益条件下提供出色的带宽，从而实现快速脉冲趋稳，但只具有适度的直流精度。*电气特性* 表描述了与高速电压反馈放大器兼容的输入失调电压；但是，两个输入偏置电流稍高一些，是不匹配的。尽管偏置电流消除技术对于大多数电压反馈运算放大器非常有效，但这些技术通常不会降低宽带电流反馈运算放大器的输出直流偏移。由于两个输入偏置电流在幅度和极性上都是不相关的，因此通过匹配输入源阻抗来减少对输出的误差贡献是无效的。通过评估图 81 的配置，使用 25°C 输入失调电压和两个输入偏置电流下的最坏情况，可得出等于公式 4 的最坏情况下的输出偏移范围：

$$V_{OFF} = \pm\left(NG \times V_{OS(MAX)}\right) + \left(I_{BN} \times \frac{R_S}{2} \times NG\right) \pm \left(I_{BI} \times R_F\right)$$

$$= \pm\left(10 \times 5\ mV\right) + \left(3.5\ \mu A \times 25\ \Omega \times 10\right) \pm \left(1.24\ k\Omega \times 45\ \mu A\right)$$

$$= \pm 50\ mV + 0.875\ mV \pm 55.5\ mV$$

$$V_{OFF} = -104.92\ mV\ to\ 106.67\ mV \quad (4)$$

其中

- NG = 同相信号增益

## 7.4 器件功能模式

THS6212 具有由 BIAS-1 和 BIAS-2 引脚设置的四种不同功能模式。表 1 显示了器件模式引脚配置的真值表以及每种模式的相关 说明 。

**表 1. BIAS-1、BIAS-2 逻辑表**

| BIAS-1 | BIAS-2 | 功能 | 说明 |
|---|---|---|---|
| 0 | 0 | 满偏置模式 (100%) | 放大器开启且具有尽可能最低的失真（默认状态） |
| 1 | 0 | 中偏置模式 (75%) | 放大器开启且具有省电功能和降低的失真性能 |
| 0 | 1 | 低偏置模式 (50%) | 放大器开启且具有增强省电功能和降低的总体性能 |
| 1 | 1 | 关断模式 | 放大器关闭且输出具有高阻抗 |


版权 © 2016–2017, Texas Instruments Incorporated

# 8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

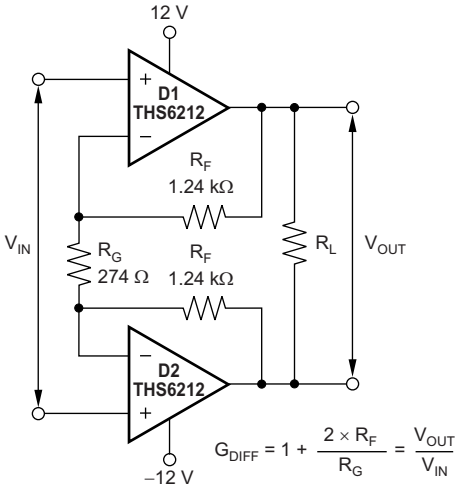
## 8.1 应用信息

THS6212 通常用于驱动各种负载条件下的高输出功率 应用 。在*典型 应用* 部分中，该放大器采用通用宽带电流反馈配置以及更具体的 100Ω 双绞线电缆线路驱动器。但是，除*典型 应用* 部分所示的应用，该放大器也适用于许多不同的通用和特定电缆线路驱动场景。

## 8.2 典型 应用

### 8.2.1 宽带电流反馈运算

THS6212 通过高线性度、高功率输出级提供宽带电流反馈运算放大器的出色交流性能。THS6212 仅需要 21mA 的静态电流，可在 100Ω 负载条件下的任一电源轨的 1.9V 范围内摆动，并可在室温条件下提供超过 416mA 的输出。这种低输出净空要求以及与电源电压无关的偏置可确保以 ±6V 电源实现出众的运行性能。THS6212 提供大于 140MHz 的带宽，可在 100Ω 负载条件下采用 ±6V 电源驱动 $2V_{PP}$ 的输出。当输出电流通过零点时，先前的升压输出级放大器通常出现非常差的交叉失真。THS6212 实现了相当的功率增益以及改善的线性度。电流反馈运算放大器相对于电压反馈运算放大器的主要优点是交流性能（带宽和失真）相对独立于信号增益。图 81 显示了增益为 10V/V 的直流耦合双电源电路配置，此配置用作 ±12V *电气特性* 表和*典型特性* 部分的参考基础。




Copyright © 2016, Texas Instruments Incorporated

图 **81.** 同相差分 **I/O** 放大器

#### *8.2.1.1 设计要求*

宽带电流反馈运算的主要设计要求是选择能满足器件输入和输出端共模要求的电源，以及使用能够在维持稳定性时支持适当带宽的反馈电阻值。*详细设计流程* 部分介绍了这些要求和适当的解决方案。某些 应用可能需要使用变压器和分离式电源。

典型 应用 (接下页)

### 8.2.1.2 详细设计流程

为方便此设计的测试，THS6212 输入阻抗通过接地电阻器设置为 50Ω，而输出阻抗通过串联输出电阻器设置为 50Ω。电气特性 表中报告的电压摆幅直接取自输入和输出引脚，而负载功率 (dBm) 是在匹配的 50Ω 负载下定义的。对于图 81 的电路，总有效负载为 100Ω || 1.24kΩ || 1.24kΩ = 86.1Ω。这种方法允许在输入端设置与信号增益无关的源端接阻抗。例如，可在信号路径中加入简单的差分滤波器，直接连接到同相输入端，而不与增益设置相互影响。图 81 电路的差分信号增益由公式 5 计算得出：

$$A_D = 1 + 2 \times \frac{R_F}{R_G} \quad (5)$$

其中

- $A_D$ = 差分增益

$A_D$ = 10V/V 设计的 274Ω 电阻值由图 81 计算得出。由于 THS6212 是电流反馈 (CFB) 放大器，因此器件带宽主要由反馈电阻值控制；但是，可仅使用 $R_G$ 电阻器对差分增益进行相当大自由度的调整。事实上，可通过一个反应网络来减小 $R_G$，此网络为差分频率响应提供非常独立的整形。

使用图 81 的基本电路也可以提供单电源或交流耦合增益的各种组合。两个同相输入端上的共模偏置电压以 1V/V 的增益传递到输出端，因为每个反相节点上的相等直流电压不会通过 $R_G$ 产生电流。该电路确实显示出从输入端到输出端的共模增益为 1V/V。如果不需要该共模信号，源连接必须移除该信号（使用输入变压器可以提供此功能），或者可使用输入端的共模电压来设置输出共模偏置。如果该电路的低共模抑制是一个问题，也可使用输出接口来抑制这个共模信号。例如，大多数现代差分输入模数转换器 (ADC) 都能很好地抑制共模信号，通过变压器的线路驱动器应用也会将共模信号一直衰减到线路。

### 8.2.1.3 应用曲线

图 82 和图 83 显示了图 81 中的电路的频率响应和失真性能。测量是在 100Ω 的负载电阻器 ($R_L$) 和室温条件下进行的。图 82 是使用三种不同器件功耗模式进行测量的，而图 83 中的失真测量结果是在输出电压电平为 $2V_{PP}$ 的条件下获得的。

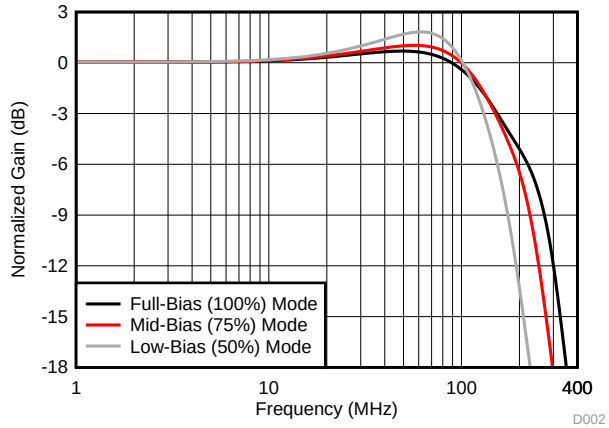



图 82. 频率响应

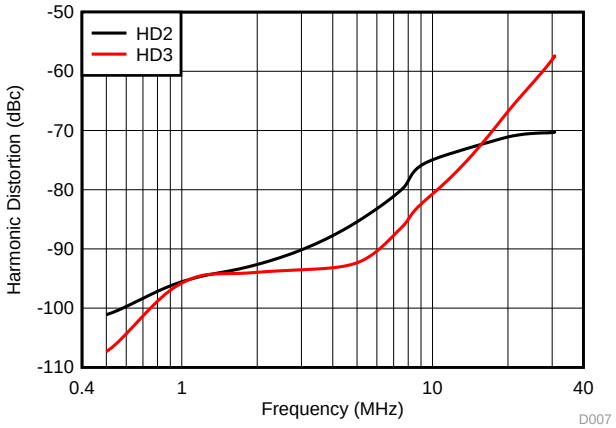


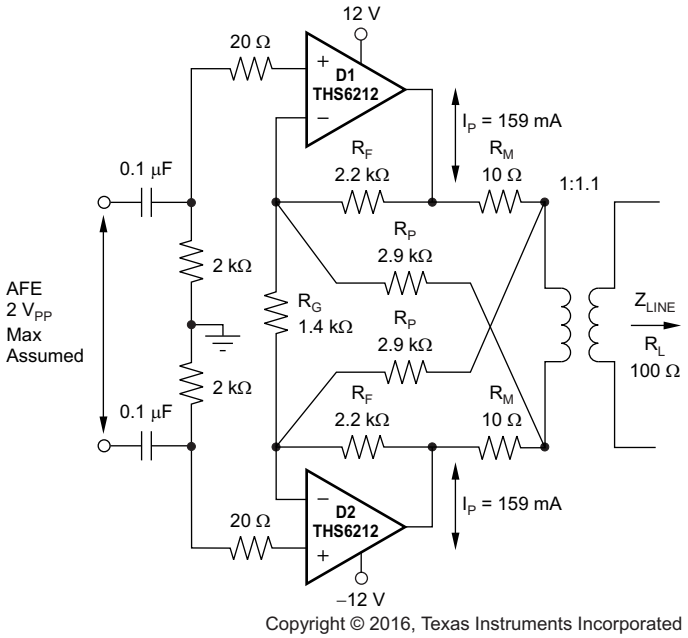

图 83. 谐波失真


版权 © 2016–2017, Texas Instruments Incorporated

典型 应用 (接下页)

### 8.2.2 双电源下游驱动器

图 84 显示了具有合成输出阻抗电路的双电源下游驱动器的示例。THS6212 配置为差分增益级，可为变压器（图 84 中显示的匝数比为 1:n 的升压变压器）的初级绕组提供信号驱动。这种配置的主要优点是消除了所有偶次谐波失真积。另一个重要的优点是每个放大器必须仅在驱动负载所需的总输出的一半范围内摆动。



Copyright © 2016, Texas Instruments Incorporated

图 **84.** 双电源下游驱动器

模拟前端 (AFE) 信号会交流耦合到驱动器，而每个放大器的同相输入偏置到中间电源电压（在此例中为接地）。除了为放大器提供适当的偏置外，这种方法还提供一个高通滤波器（其转角频率在此例中设置为 5kHz）。由于信号带宽起点是 26kHz，这个高通滤波器不会产生任何问题，并且具有滤除不需要的较低频率的优点。

#### *8.2.2.1 设计要求*

图 84 的主要设计要求是要正确匹配输出阻抗、满足净空要求以及确保电路满足功率驱动要求。这些要求如*详细设计流程* 部分所述，其中包括正确实施该设计所需的公式。该设计必须在物理实现之前完全满足要求，因为单个参数的微小变化往往会对性能产生很大的影响。

#### *8.2.2.2 详细设计流程*

对于图 84，输入信号以 公式 6 所确定的增益放大：

$$G_D = 1 + \frac{2 \times R_F}{R_G} \quad (6)$$

典型 应用 (接下页)

在变压器每个端子上添加的两个反向端接电阻器（每个电阻器的 $R_M$ = 10Ω）使放大器的阻抗与线路的阻抗相匹配，还提供了一种检测接收器接收的信号的手段。这些电阻器的值 ($R_M$) 是线路阻抗和变压器匝数比 (n) 的函数，如公式 7 所示：

$$R_M = \frac{Z_{LINE}}{2n^2} \tag{7}$$

#### 8.2.2.2.1 线路驱动器净空要求

变压器耦合双绞线驱动器设计的第一步是根据目标规格计算峰间输出电压。此计算过程如 公式 8 至 公式 11 所示：

$$P_L = 10 \times \log \frac{V_{RMS}^2}{(1\ mW) \times R_L} \tag{8}$$

其中

- $P_L$ = 负载功率
- $V_{RMS}$ = 负载电压
- $R_L$ = 负载阻抗

这些值产生以下几项：

$$V_{RMS} = \sqrt{(1\ mW) \times R_L \times 10^{\frac{P_L}{10}}} \tag{9}$$

$$V_P = \text{Crest Factor} \times V_{RMS} = CF \times V_{RMS} \tag{10}$$

其中

- $V_P$ = 负载峰值电压
- CF = 波峰因素

$$V_{LPP} = 2 \times CF \times V_{RMS} \tag{11}$$

其中

- $V_{LPP}$ = 负载峰间电压

通过整合公式 8 到公式 11，可将所需的负载峰间电压表示为波峰因素、负载阻抗和负载功率的函数，如公式 12 所示：

$$V_{LPP} = 2 \times CF \times \sqrt{(1\ mW) \times R_L \times 10^{\frac{P_L}{10}}} \tag{12}$$

$V_{LPP}$ 通常是针对标称线路阻抗进行计算的，可以作为一个固定的设计目标。

该设计的下一步是计算单个放大器输出电压和电流（是线路上的峰间电压和变压器匝数比的函数）。

当此匝数比变化时，允许的最小电源电压也会变化。放大器输出中的峰值电流如公式 13 所示：

$$\pm I_P = \frac{1}{2} \times \frac{2 \times V_{LPP}}{n} \times \frac{1}{4\ R_M} \tag{13}$$

其中

- $V_{PP}$ 的定义如公式 12 所示，
- $R_M$ 的定义如公式 7 和图 85 所示


版权 © 2016–2017, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

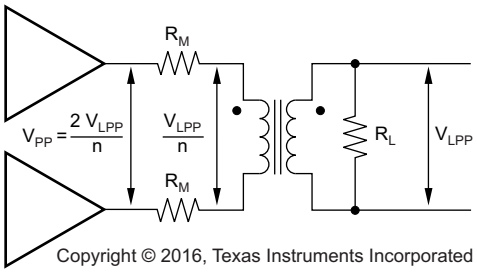



图 **85.** 驱动器峰值输出电压

根据先前的已知信息，现在可以选择电源电压和变压器所需的匝数比，并可计算 THS6212 的净空。

图 86 中显示的模型可使用公式 14 和公式 15 计算如下：

1. 可用的输出摆幅：

$$V_{PP} = V_{CC} - (V_1 + V_2) - I_P \times (R_1 + R_2) \quad (14)$$

2. 或所需的电源电压：

$$V_{CC} = V_{PP} + (V_1 + V_2) + I_P \times (R_1 + R_2) \quad (15)$$

满足功率和负载要求的最小电源电压通过公式 15 计算得出。

采用 ±12V 电压运行的情况下，$V_1$、$V_2$、$R_1$ 和 $R_2$ 如表 2 所示。

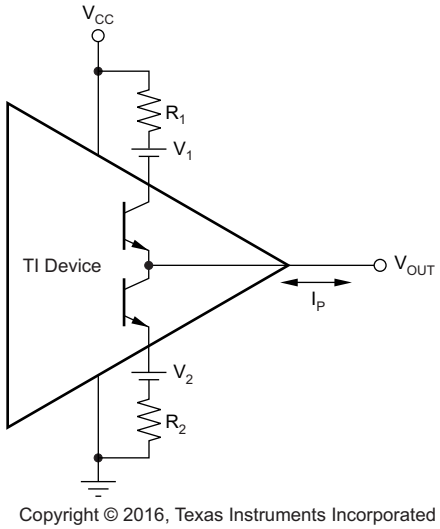



图 **86.** 线路驱动器净空模型

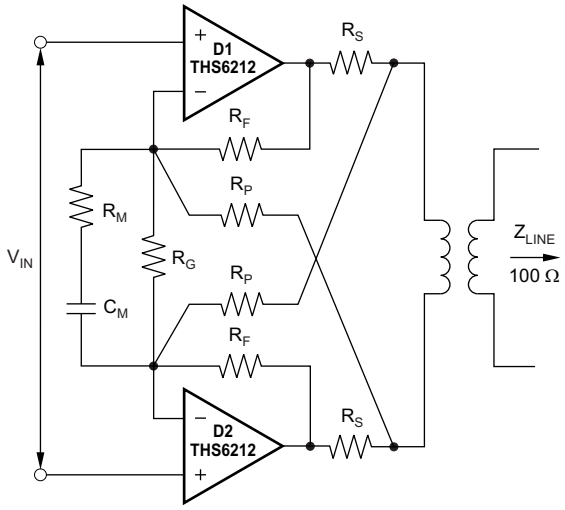
表 **2.** 线路驱动器净空模型值

| $V_S$ | $V_1$ | $R_1$ | $V_2$ | $R_2$ |
|---|---|---|---|---|
| ±12V | 1V | 0.6Ω | 1V | 1.2Ω |

使用合成输出阻抗电路时（请参阅图 84），根据*电气特性* 表中提供的规格，带宽将显著下降。差分信号出现带宽明显下降是每个放大器的反馈跨阻明显增加的结果。此反馈跨阻公式如公式 16 所示：

$$Z_{FB} = R_F \times \frac{1 + 2 \times \frac{R_S}{R_L} + \frac{R_S}{R_P}}{1 + 2 \times \frac{R_S}{R_L} + \frac{R_S}{R_P} - \frac{R_F}{R_P}} \quad (16)$$

要为相关频率增加 0.1dB 平坦度，可能需要与增益电阻器并联一个串行 RC，如图 87 所示。




Copyright © 2016, Texas Instruments Incorporated

**图 87. 0.1dB 平坦度补偿电路**

#### 8.2.2.2.2 计算线路驱动应用的总驱动器 功率

THS6212 在线路驱动器应用中的总内部功耗是静态功耗和输出级功耗的总和。THS6212 具有相对恒定的静态电流和电源电压，提供的功率贡献正好是静态电流乘以所用的电源电压（电源电压大于公式 15 中给出的解决方案）。可参考图 88 来计算总输出级功率。

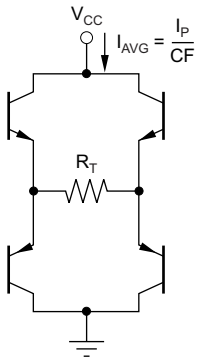



**图 88. 输出级功率模型**

两个用于驱动图 85 的负载的输出级在图 88 中显示为 H 桥。从电源汲取到该 H 桥和负载的平均电流是负载中的峰值电流（根据公式 13 计算得出）除以信号调制的波峰因数 (CF)。来自电源的这一总功率减去 $R_T$ 中的功率，即得到在四个输出级晶体管中的驱动器内部耗散的功率。该功率就是公式 8 中使用的目标线路功率加上匹配元件 ($R_M$) 中损失的功率。以下示例针对的是完美匹配，在匹配元件中提供的功率与在负载中提供的功率相同。输出级功率由公式 17 确定。


版权 © 2016–2017, Texas Instruments Incorporated

$$P_{OUT} = \frac{I_P}{CF} \times V_{CC} - 2P_L \quad (17)$$

总放大器功率通过公式 18 算出：

$$P_{TOT} = I_Q \times V_{CC} + \frac{I_P}{CF} \times V_{CC} - 2P_L \quad (18)$$

在图 84 给出的示例中，对于所需波峰因素为 5.6、具有 20.5dBm 目标线路功率且负载为 100Ω (115 mW) 的信号，峰值电流为 159mA。

在 21mA 典型静态电流和 ±12V 标称电源电压的条件下，图 84 的解决方案的总内部功耗由公式 19 计算得出：

$$P_{TOT} = 21\ mA\ (24\ V) + \frac{159\ mA}{5.6}\ (24\ V) - 2(115\ mW) = 955\ mW \quad (19)$$

## 8.3 注意事项

### 8.3.1 应该

- 在项目开始时加入热设计。
- 对所有信号都使用良好端接的传输线。
- 对电源使用固体金属层。
- 保持信号线路尽可能直。
- 必要时使用分离式电源。

### 8.3.2 不应该

- 使用比必要电源电压更低的电源电压。
- 使用细金属走线来供电。
- 忘记滤波器和传输线的共模响应。

# 9 电源建议

THS6212 根据设计可使用分离式电源达到最佳运行状态。该器件具有非常宽的电源范围（±5V 至 ±14V），可适应多种不同的应用场景。应选择允许在放大器输入端和输出端都有足够摆幅的电源电压，以防止影响器件性能。接地引脚为控制引脚提供接地参考，且必须在 $V_{S-}$ 到 ($V_{S+}$ – 5V) 的范围内才能确保正常运行。

# 10 布局

## 10.1 电路板布局准则

为了使用 THS6212 等高频放大器实现最佳性能，需要特别注意电路板布局的寄生和外部组件类型。优化性能的建议包括：

a. 最大程度减小所有信号 I/O 引脚的连接到任何交流接地端的寄生电容。输出引脚和反相输入引脚上的寄生电容可能导致不稳定；在同相输入端，此电容可与源阻抗发生反应，造成意外的频带限制。为了减少不必要的电容，信号 I/O 引脚周围的窗口必须在这些引脚周围的所有接地平面和电源平面中打开。否则，接地平面和电源平面必须在电路板上的其他地方完好无损。

b. 应最大限度减小从电源引脚到高频 0.1μF 解耦电容器之间的距离（小于 0.25 英寸/6.35 毫米）。在器件引脚上，接地平面和电源平面布局不得靠近信号 I/O 引脚。避免电源走线和接地走线过于狭窄，以便最大限度减小引脚和解耦电容器之间的电感。电源连接必须始终与这些电容器解耦。两个电源（适用于双极性工作模式）之间的可选电源解耦电容器可改善二次谐波失真性能。在主电源引脚上也必须使用较大的（2.2μF 至 6.8μF）解耦电容器（在较低频率下有效）。可将这些电容器放得离器件远一些，并可在 PCB 同一区域内的多个器件之间共享这些电容器。

c. 谨慎选择和放置外部组件有助于确保 THS6212 的高频性能。电阻器必须是非常低的电抗类型。表面贴装式电阻器最适合，并可实现更紧密的总体布局。金属膜和碳成分的轴向引线电阻器也可以提供良好的高频性能。

   同样，尽可能缩短引线和 PCB 走线。切勿在高频应用中使用绕线式电阻器。尽管输出引脚和反相输入引脚对寄生电容最为敏感，但务必将反馈电阻器和串联输出电阻器（如果有）尽可能靠近输出引脚放置。其他网络组件（例如同相输入终端电阻器）也必须放置在封装附近。在允许双面组件安装的情况下，将反馈电阻器直接放置在电路板另一面封装下面，即输出引脚和反相输入引脚之间。频率响应主要由反馈电阻值决定，如*详细设计流程* 部分的“宽带电流反馈运算”所述。增大该值会降低带宽，而减小该值会导致峰值更高的频率响应。*典型特性* 部分中使用的 1.24kΩ 反馈电阻器采用 ±12V 电源并具有 10V/V 增益，是良好的设计起点。请注意，对于单位增益跟随器应用，建议使用 1.5kΩ 反馈电阻器，而不是直接短路。即使在单位增益跟随器配置中，电流反馈运算放大器也需要一个反馈电阻器来控制稳定性。

d. 与电路板上其他宽带器件的连接可以使用较短的直接走线或通过板载传输线进行。对于短连接，应考虑将走线和下一个器件的输入视为集总容性负载。必须使用相对较宽的走线（50 密耳至 100 密耳 [0.050 英寸至 0.100 英寸或 1.27 毫米至 2.54 毫米]），最好在它们周围打开接地平面和电源平面。估算总容性负载并设置 $R_S$（根据建议的 $R_S$ 与容性负载关系图，请参阅图 5、图 23、图 35、图 47、图 60 和图 72）。低寄生容性负载（小于 5pF）可能不需要隔离电阻器，因为 THS6212 会在名义上得到补偿，从而使用 2pF 的寄生负载运行。如果需要很长的走线，并且可以接受双端接传输线固有的 6dB 信号损耗，则可以使用微带或带状线技术来实施匹配阻抗传输线（有关微带和带状线布局技术，请参阅 ECL 设计手册）。电路板上不需要 50Ω 阻抗的环境；实际上，较高阻抗的环境可以改善失真（请参阅失真与负载关系图）。在电路板上使用连接到 THS6212 输出端走线的匹配串联电阻器，以及位于目标器件输入端的终端分流电阻器（这些电阻器具有根据电路板材料和走线尺寸定义的特性电路板走线阻抗）。还应注意，端接阻抗是分流电阻和目标器件输入阻抗的并联组合。

   此总有效阻抗必须设置为与走线阻抗相匹配。凭借 THS6212 的高输出电压和电流能力，可将多个目标器件视为单独的传输线，每条传输线都有自己的串联和并联终端。如果不能接受双端接传输线的 6dB 衰减，则只能在源端对长走线进行串联短接。

   在这种情况下，应将走线视为容性负载，并按照建议的 $R_S$ 与容性负载关系图所示设置串联电阻值。但是，这种配置不能保持信号完整性以及双短接线路。如果目标器件的输入阻抗较低，则由于连接到端接阻抗的串联输出会形成分压器，因此会出现一定程度的信号衰减。

e. 建议不要插入 THS6212 之类的高速部件。由插座引起的额外引线长度和引脚间电容可能会造成非常麻烦的寄生网络，并且几乎不可能实现平稳的频率响应。通过将 THS6212 直接焊接到电路板上可获得最佳效果。

f. 使用 $-V_S$ 平面从封装中导出热量。封装将裸片直接连接到底部外露的散热焊盘上，并必须焊接到电路板上。该


版权 © 2016–2017, Texas Instruments Incorporated

电路板布局准则 (接下页)

焊盘必须以电气方式连接到一个电压平面，此电压平面与提供给 THS6212 的最负电源相同（在图 84 中，此电源为 –12V）。

## 10.2 布局示例

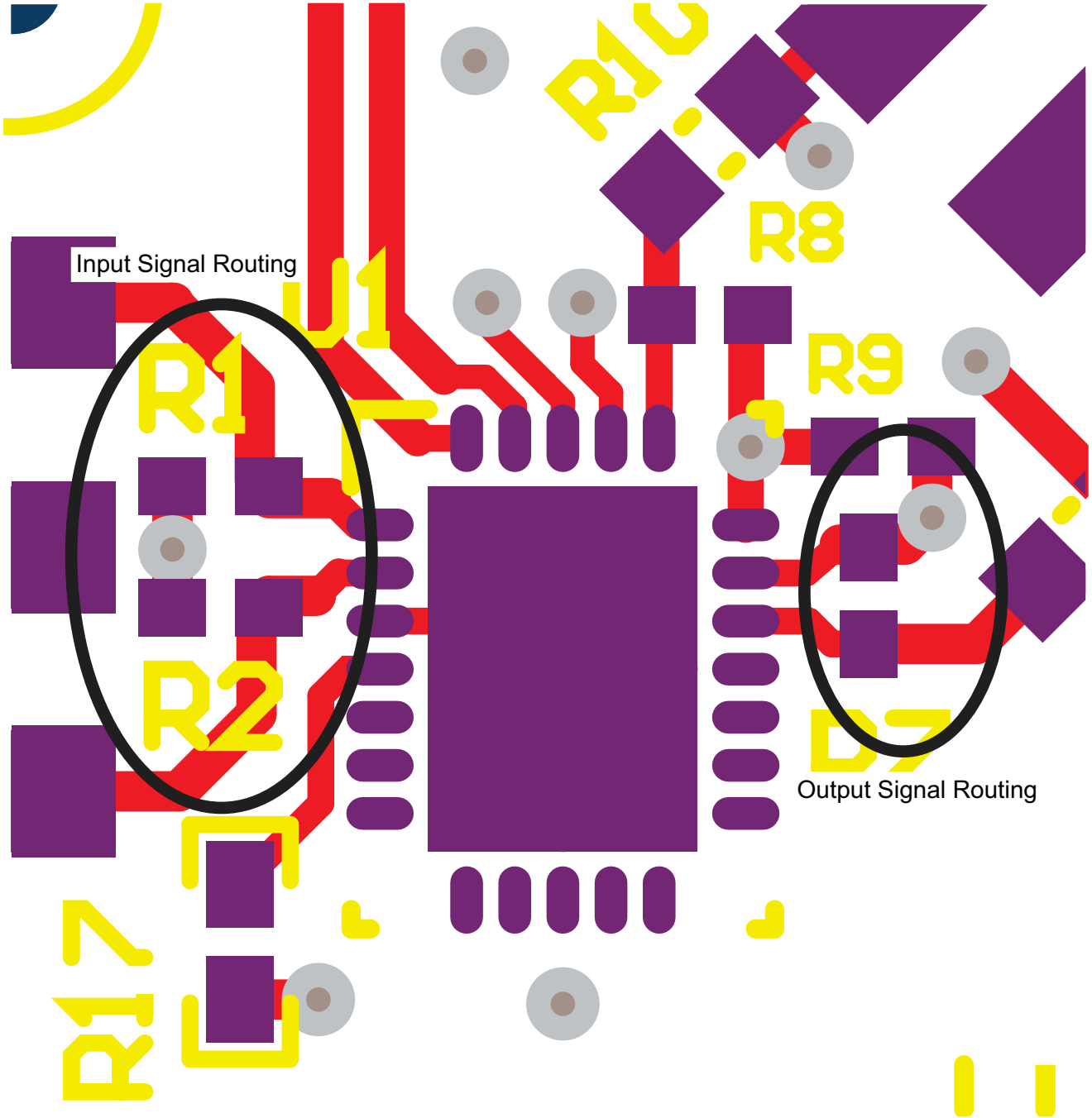



图 89. THS6212EVM 顶层示例

布局示例 **(**接下页**)**

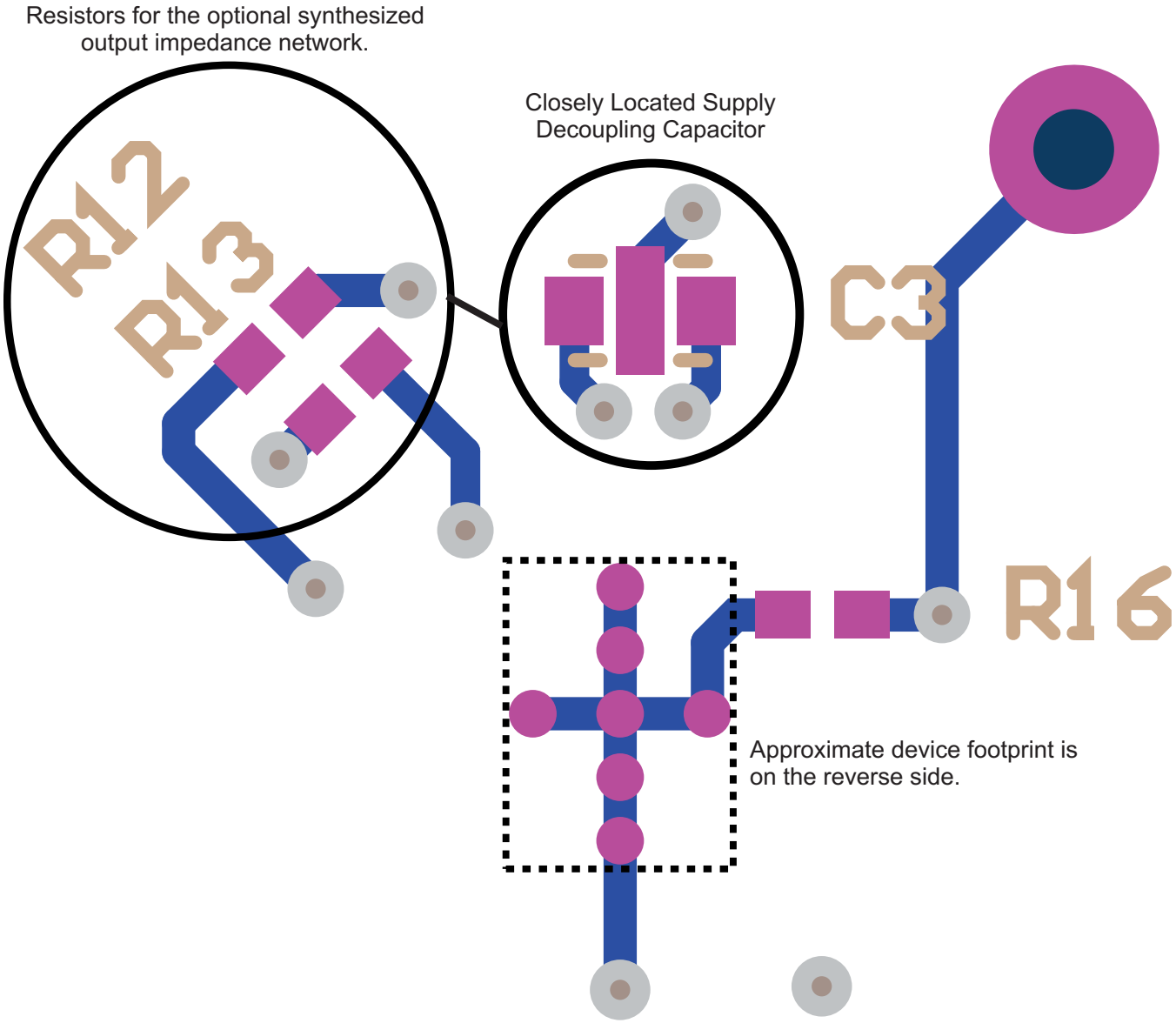



图 **90. THS6212EVM** 底层示例


版权 © 2016–2017, Texas Instruments Incorporated

# 11 器件和文档支持

## 11.1 Documentation Support

### 11.1.1 Related Documentation

相关文档请参阅以下部分：

- *《THS6214 双端口差动 VDSL2 线路驱动器放大器》*

## 11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. 有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 11.3 Community Resources

**下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。**

**TI E2E™ 在线社区** ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

**设计支持** ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

## 11.4 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

## 11.5 静电放电警告

ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。 精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 11.6 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

# 12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

版权 © 2016–2017, Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable Device | Status (1) | Package Type | Package Drawing | Pins | Package Qty | Eco Plan (2) | Lead/Ball Finish (6) | MSL Peak Temp (3) | Op Temp (°C) | Device Marking (4/5) | Samples |
|---|---|---|---|---|---|---|---|---|---|---|---|
| THS6212IRHFR | ACTIVE | VQFN | RHF | 24 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU \| CU NIPDAUAG | Level-2-260C-1 YEAR | -40 to 85 | THS6212 | Samples |
| THS6212IRHFT | ACTIVE | VQFN | RHF | 24 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU \| CU NIPDAUAG | Level-2-260C-1 YEAR | -40 to 85 | THS6212 | Samples |
| THS6212YS | ACTIVE | WAFERSALE | YS | 0 | 1 | TBD | Call TI | Call TI | | | Samples |

(1) The marketing status values are defined as follows:
**ACTIVE:** Product device recommended for new designs.
**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.
**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

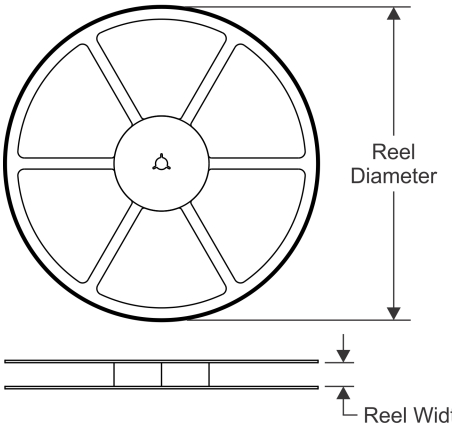
(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

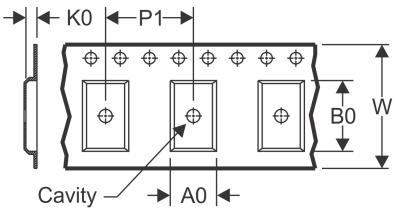
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

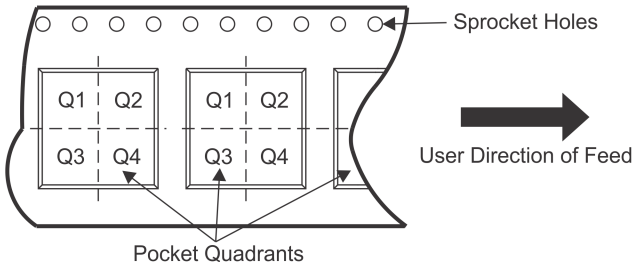



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

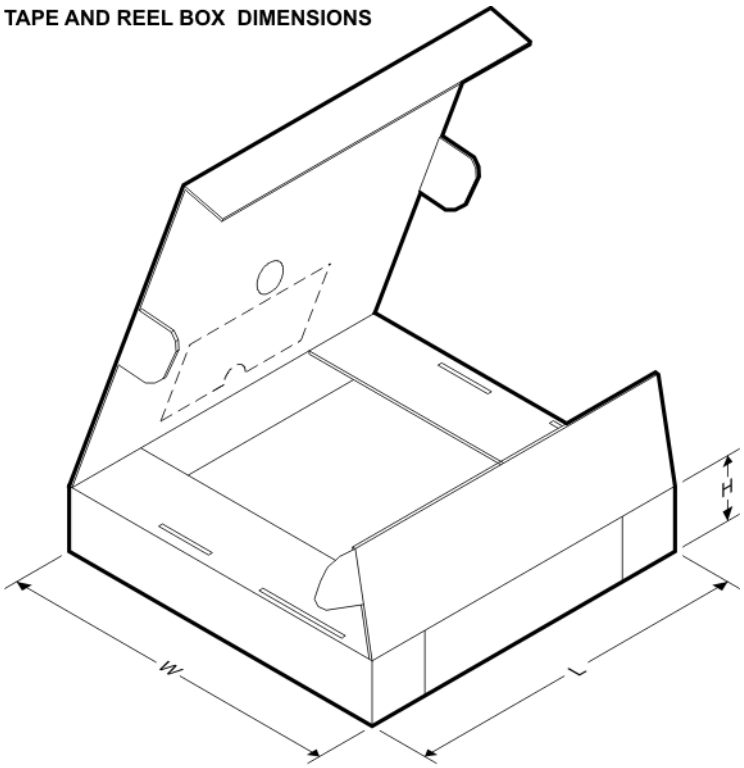
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| THS6212IRHFR | VQFN | RHF | 24 | 3000 | 330.0 | 12.4 | 4.3 | 5.3 | 1.3 | 8.0 | 12.0 | Q1 |
| THS6212IRHFR | VQFN | RHF | 24 | 3000 | 330.0 | 12.4 | 4.3 | 5.3 | 1.1 | 8.0 | 12.0 | Q1 |
| THS6212IRHFT | VQFN | RHF | 24 | 250 | 180.0 | 12.4 | 4.3 | 5.3 | 1.3 | 8.0 | 12.0 | Q1 |
| THS6212IRHFT | VQFN | RHF | 24 | 250 | 180.0 | 12.5 | 4.3 | 5.3 | 1.1 | 8.0 | 12.0 | Q1 |

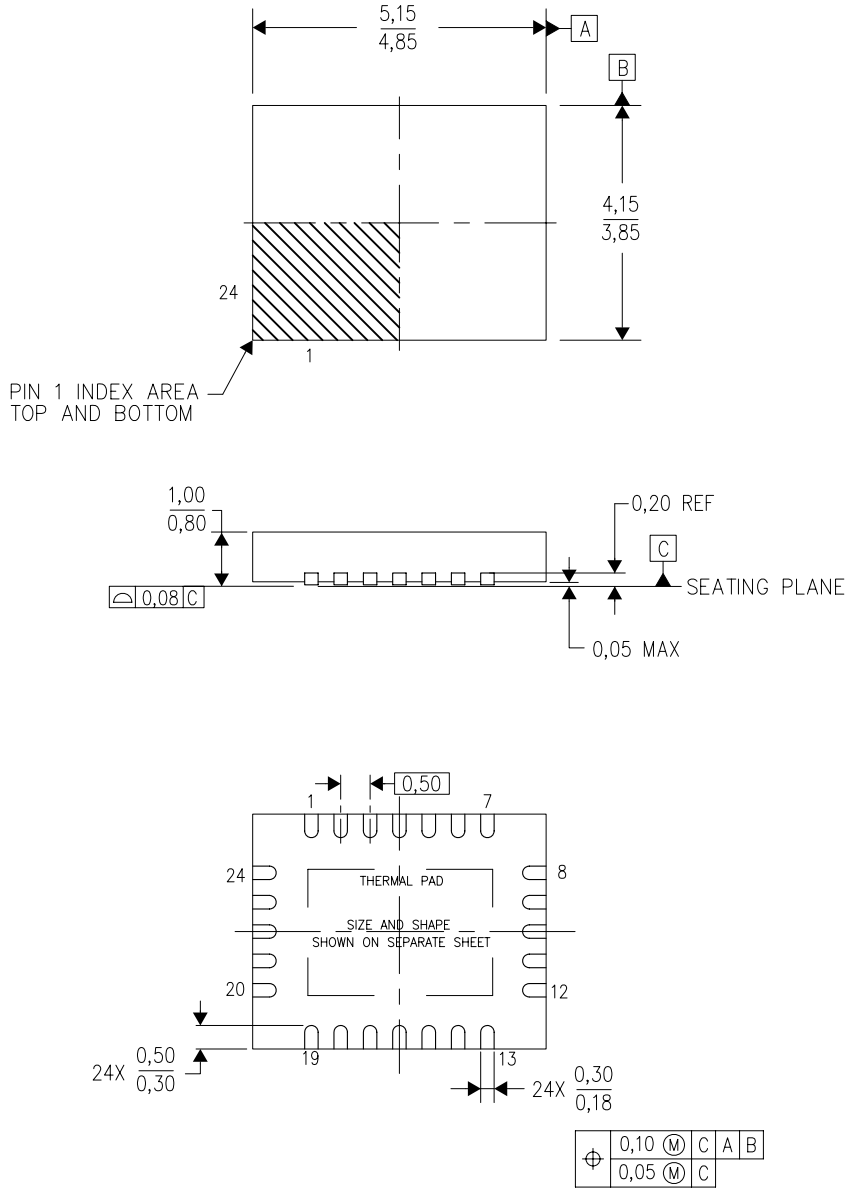
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| THS6212IRHFR | VQFN | RHF | 24 | 3000 | 367.0 | 367.0 | 35.0 |
| THS6212IRHFR | VQFN | RHF | 24 | 3000 | 338.0 | 355.0 | 50.0 |
| THS6212IRHFT | VQFN | RHF | 24 | 250 | 210.0 | 185.0 | 35.0 |
| THS6212IRHFT | VQFN | RHF | 24 | 250 | 205.0 | 200.0 | 33.0 |

RHF (R–PVQFN–N24) PLASTIC QUAD FLATPACK NO–LEAD




4204845–2/H 06/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) Package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Falls within JEDEC MO–220.

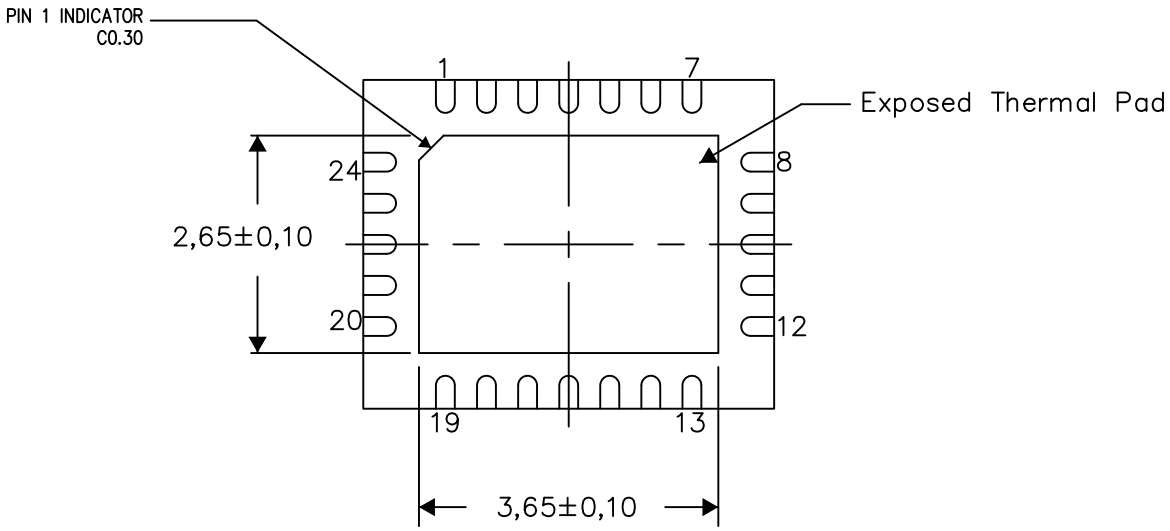
RHF (R–PVQFN–N24) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



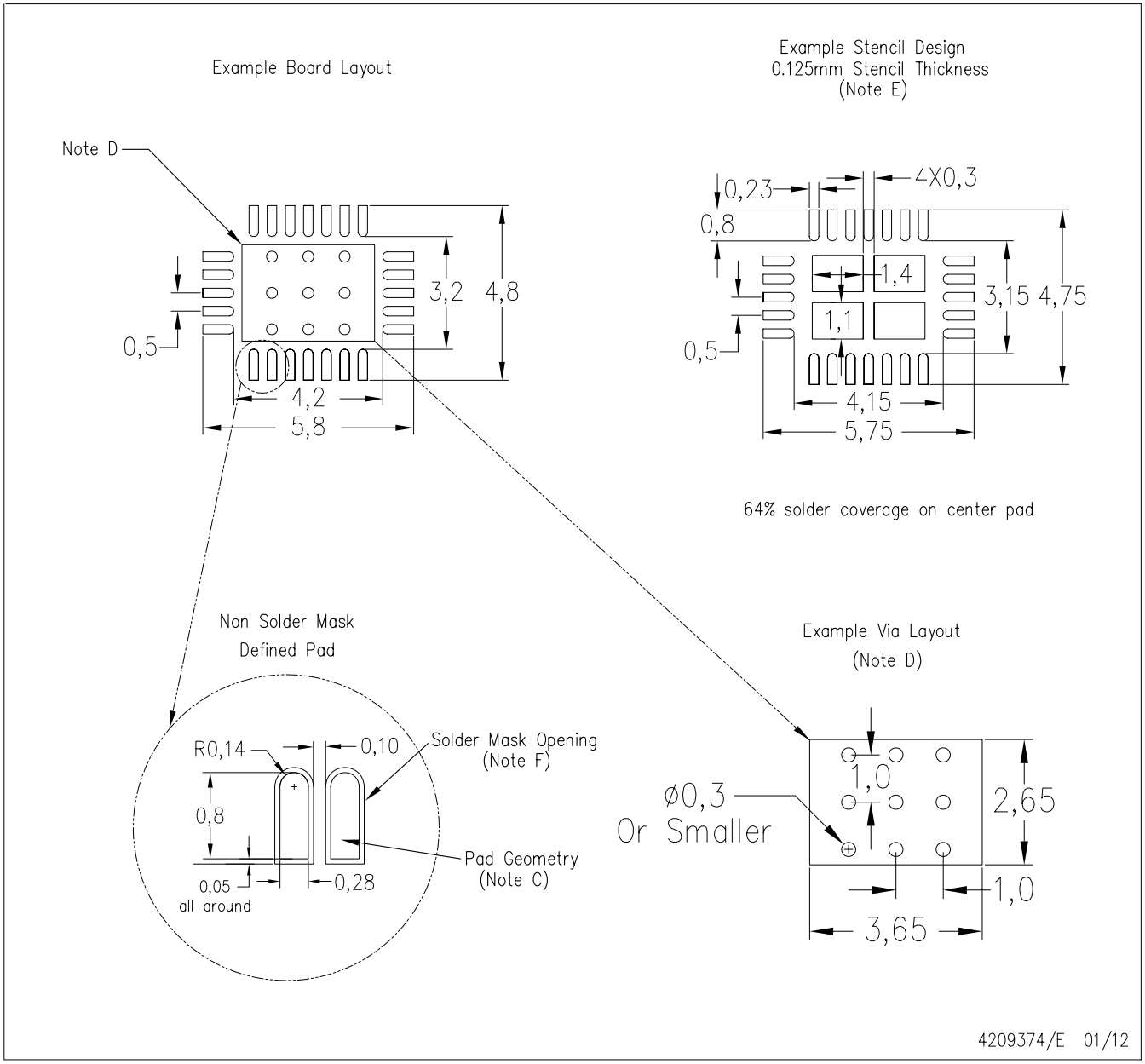

Bottom View

Exposed Thermal Pad Dimensions

4206360–3/K 02/14

NOTE: All linear dimensions are in millimeters

# RHF (R–PVQFN–N24) PLASTIC QUAD FLATPACK NO–LEAD




NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.

# 重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司