TLV354x 面向成本敏感型系统的 200MHz 轨到轨 I/O 、CMOS 运算放大器

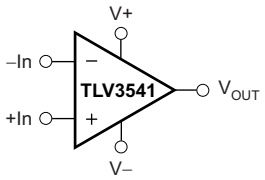
1 特性

- 面向成本敏感型系统的宽带宽放大器
- 单位增益带宽：200MHz
- 高转换率：150V/μs
- 低噪声：7.5 nV/√Hz
- 轨至轨 I/O
- 高输出电流：> 100mA
- 出色的视频性能：
  - 差分增益：0.02%，相位差：0.09°
  - 0.1dB 增益平坦度：40MHz
- 低输入偏置电流：3pA
- 静态电流：5.2mA
- 热关断
- 电源范围：2.5V 至 5.5V

2 应用

- 高分辨率模数转换器 (ADC) 驱动器放大器
- IR 触控
- 低压高频信号处理
- 视频处理
- 收发器基站
- 光网络、可调激光器
- 光电二极管互阻放大器
- 条形码扫描仪
- 快速电流感测放大器
- 超声波成像

简化电路原理图



3 说明

TLV3541、TLV3542 和 TLV3544 分别为单通道、双通道和四通道低功耗（每通道电流为 5.2mA）、高速、单位增益稳定的轨到轨输入/输出运算放大器，设计用于 所需 带宽较宽的视频及其他应用。

此类器件仅消耗 6.5mA（最大值）电源电流，增益带宽为 200MHz、转换率为 150V/μs，f = 1MHz 时的低噪声输入为 7.5nV/√Hz。凭借这种高带宽、高转换率和低噪声特性组合，TLV354x 系列器件适用于低压高速信号调节系统。

TLV354x 系列运算放大器经过优化，适用于 2.5V (±1.25V) 至 5.5V (±2.75V) 范围内的单电源或双电源操作。共模输入范围超出电源供电范围。输出摆幅处于 100mV 电压轨范围内，支持的动态范围较宽。

TLV354x 器件的额定工作温度范围为 -40°C 至 +125°C。TLV354x 系列器件可用作多种经济型宽带宽运算放大器的插入式替换件。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV3541	SOIC (8)	3.91mm x 4.90mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV3542	SOIC (8)	3.91mm x 4.90mm
	VSSOP (8)	3.00mm × 3.00mm
TLV3544	SOIC (14)	8.65mm x 3.91mm
	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 要了解所有可用封装，请见数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 技术规格 ... 5
6.1 绝对最大额定值 ... 5
6.2 ESD 额定值 ... 5
6.3 建议的工作条件 ... 5
6.4 热性能信息: TLV3541 ... 6
6.5 热性能信息：TLV3542 ... 6
6.6 热性能信息：TLV3544 ... 6
6.7 电气特性：V_S = 2.7V 至 5.5V 单电源 ... 7
6.8 典型特性 ... 9
7 详细 说明 ... 13
7.1 概述 ... 13
7.2 功能框图 ... 13
7.3 特性 说明 ... 14
7.4 器件功能模式 ... 18
8 应用和实现 ... 19
8.1 应用信息 ... 19
8.2 典型应用 ... 19
8.3 系统示例 ... 20
9 电源相关建议 ... 21
9.1 输入和 ESD 保护 ... 21
10 布局 ... 22
10.1 布局准则 ... 22
10.2 布局示例 ... 22
11 器件和文档支持 ... 23
11.1 文档支持 ... 23
11.2 相关链接 ... 23
11.3 接收文档更新通知 ... 23
11.4 社区资源 ... 23
11.5 商标 ... 23
11.6 静电放电警告 ... 23
11.7 Glossary ... 23
12 机械、封装和可订购信息 ... 24

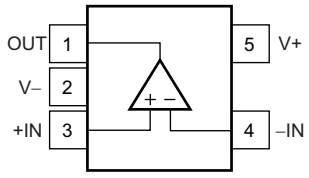
4 修订历史记录

日期	修订版本	注意
2016 年 10 月	*	初始发行版。

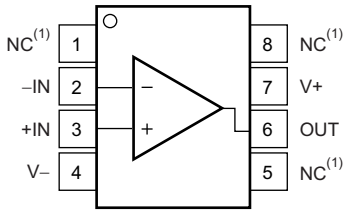
Copyright © 2016, Texas Instruments Incorporated

5 引脚配置和功能

TLV3541：DBV 封装
5 引脚 SOT-23
俯视图



TLV3541：D 封装
8 引脚小外形尺寸集成电路 (SOIC) 封装
俯视图

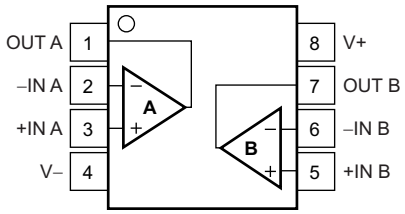


(1) NC 表示无内部连接。

引脚功能：TLV3541

引脚			I/O	说明
名称	DBV (SOT-23)	D (SOIC)		
–IN	4	2	I	反相输入
+IN	3	3	I	同相输入
NC	—	1、5、8	—	无内部连接（可以悬空）
OUT	1	6	O	输出
V–	2	4	—	负（最低）电源
V+	5	7	—	正（最高）电源

TLV3542：DGK 和 D 封装
8 引脚 VSSOP、SOIC
俯视图

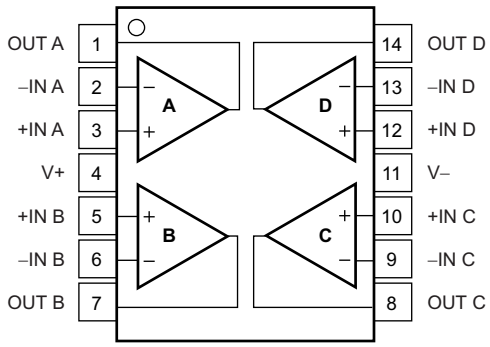


引脚功能：TLV3542

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负（最低）电源
V+	8	—	正（最高）电源

Copyright © 2016, Texas Instruments Incorporated

TLV3544：D 和 PW 封装
14 引脚 SOIC、TSSOP
俯视图



引脚功能: TLV3544

引脚			I/O	说明
名称	TLV3544			
	D (SOIC)	PW (TSSOP)		
–IN A	2	2	I	反相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
–IN C	9	9	I	反相输入，通道 C
–IN D	13	13	I	反相输入，通道 D
+IN A	3	3	I	同相输入，通道 A
+IN B	5	5	I	同相输入，通道 B
+IN C	10	10	I	同相输入，通道 C
+IN D	12	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	8	8	O	输出，通道 C
OUT D	14	14	O	输出，通道 D
V–	11	11	—	负（最低）电源
V+	4	4	—	正（最高）电源

Copyright © 2016, Texas Instruments Incorporated

6 技术规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源电压，V+ 至 V–		7.5	V
	信号输入端子(2)	(V–) – (0.5)	(V+) + 0.5	V
电流	信号输入端子(2)	-10	10	mA
	输出短路(3)	连续		
温度	工作温度，T_A	-55	150	°C
	结温，T_J	-65	150	°C
	存储温度，T_{stg}		150	°C

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	1000	V
	组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	250	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压，V– to V+	2.5		5.5	V
	指定温度范围	-40		125	°C

Copyright © 2016, Texas Instruments Incorporated

6.4 热性能信息: TLV3541

热指标(1)		TLV3541		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	123.8	216.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	68.7	84.3	°C/W
$R_{\theta JB}$	结至电路板热阻	64.5	43.1	°C/W
ψ_{JT}	结至顶部的特征参数	23.0	3.8	°C/W
ψ_{JB}	结至电路板的特征参数	64.0	42.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》(SPRA953)。

6.5 热性能信息：TLV3542

热指标(1)		TLV3542		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	113.9	175.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	60.4	67.8	°C/W
$R_{\theta JB}$	结至电路板热阻	54.1	97.1	°C/W
ψ_{JT}	结至顶部的特征参数	17.1	9.3	°C/W
ψ_{JB}	结至电路板的特征参数	53.6	95.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》(SPRA953)。

6.6 热性能信息：TLV3544

热指标(1)		TLV3544		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	83.8	92.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	70.7	27.5	°C/W
$R_{\theta JB}$	结至电路板热阻	59.5	33.6	°C/W
ψ_{JT}	结至顶部的特征参数	11.6	1.9	°C/W
ψ_{JB}	结至电路板的特征参数	37.7	33.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》(SPRA953)。

Copyright © 2016, Texas Instruments Incorporated

6.7 电气特性：V_S = 2.7V 至 5.5V 单电源

在 T_A = 25°C，R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	T_A = 25°C 时，V_S = 5V		±2	±10	mV
dV_{OS}/dT	输入偏移电压与温度间的关系	T_A = −40°C 至 +125°C 时，V_S = 5V		±4.5		µV/°C
PSRR	输入偏移电压与电源间的关系	V_S = 2.7V 至 5.5V， V_{CM} = (V_S/2) − 0.55V	60	70		dB
输入偏置电流						
I_B	输入偏置电流			3		pA
I_{OS}	输入失调电流			±1		pA
噪声						
e_n	输入电压噪声密度	f = 1MHz		7.5		nV/√Hz
i_n	电流噪声密度	f = 1MHz		50		fA/√Hz
输入电压范围						
V_{CM}	共模电压范围		(V−) − 0.1		(V+)+0.1	V
CMRR	共模抑制比	T_A = 25°C 时，V_S = 5.5V，–0.1V < V_{CM} < 3.5V	66	80		dB
		T_A = 25°C 时，V_S = 5.5V，–0.1V < V_{CM} < 5.6V	56	68		dB
输入阻抗						
	差模			10^{13} || 2		Ω || pF
	共模			10^{13} || 2		Ω || pF
开环增益						
A_{OL}	开环增益	T_A = 25°C 时，V_S = 5V，0.3V < V_O < 4.7V	92	108		dB
频率响应						
f_{-3dB}	小信号带宽	G = +1，V_O = 10mV R_F = 25Ω		200		MHz
		G = +2，V_O = 10mV		90		MHz
GBW	增益带宽积	G = +10		100		MHz
$f_{0.1dB}$	0.1-dB 增益平坦度的带宽	G = +2，V_O = 10mV		40		MHz
SR	压摆率	V_S = 5V，G = +1，4V 阶跃		150		V / µs
		V_S = 5V，G = +1，2V 阶跃		130		V/µs
	上升和下降时间	G = +1，V_O = 200mV$_{PP}$， 10% 至 90%		2		ns
		G = +1，V_O = 2V$_{PP}$，10% 至 90%		11		ns
	趋稳时间	0.1%，V_S = 5V，G = +1， 2V 输出阶跃		30		ns
		0.01%，V_S = 5V，G = +1， 2V 输出阶跃		60		ns
	过载恢复时间	V_{IN} × 增益 = V_S		5		ns

Copyright © 2016, Texas Instruments Incorporated

电气特性：V_S = 2.7V 至 5.5V 单电源 (continued)

在 T_A = 25°C，R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

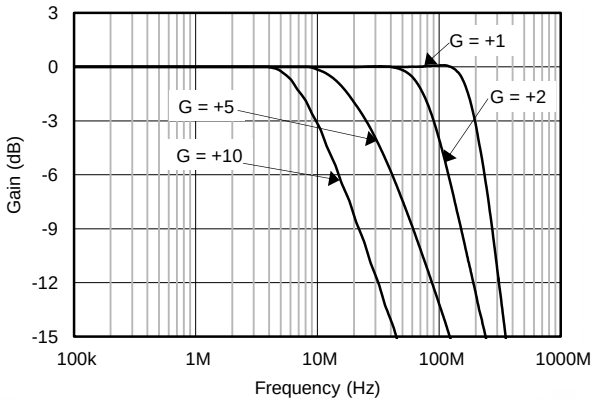
参数			测试条件	最小值	典型值	最大值	单位
频率响应（续）							
	谐波失真	第二谐波	G = +1，f = 1MHz，V_O = 2V_{PP}，R_L = 200Ω，V_{CM} = 1.5V		–75		dBc
		第三谐波	G = +1，f = 1MHz，V_O = 2V_{PP}，R_L = 200Ω，V_{CM} = 1.5V		-83		dBc
	差分增益误差		NTSC，R_L = 150Ω		0.02%		
	差分相位误差		NTSC，R_L = 150Ω		0.09		°
	通道至通道串扰	TLV3542	f = 5MHz		-100		dB
		TLV3544			-84		dB
输出							
	相对于电源轨的电压输出摆幅		T_A = 25°C 时，V_S = 5V，R_L = 1kΩ		0.1	0.3	V
I_O	输出电流，单路、双路、四路(1)(2)		V_S = 5V	100			mA
			V_S = 3V		50		mA
	闭环输出阻抗		f < 100kHz		0.05		Ω
R_O	开环输出电阻				35		Ω
电源							
V_S	额定电压范围			2.7		5.5	V
	工作电压范围			2.5		5.5	V
I_Q	静态电流（每个放大器）		T_A = 25°C，V_S = 5V，I_O = 0		5.2	6.5	mA
温度范围							
	额定温度范围			-40		125	°C
	工作温度范围 (3)			-55		150	°C
	储存温度			-65		150	°C
热关断							
	关断温度				160		°C
	关断复位温度				140		°C

(1) 请参阅有关*输出电压摆幅与输出电流间的关系*（图 13 和 图 14）的典型特性曲线。
(2) 根据设计确定。
(3) 在此温度范围内工作将不会损坏部件。不过，可能出现性能下降。

版权 © 2016, Texas Instruments Incorporated

6.8 典型特性

在 T_A = 25°C，V_S = 5V，G = +1、R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得，除非另有说明。



R_F = 604Ω　　V_O = 10mV_{pp}

图 1. 同相小信号频率响应

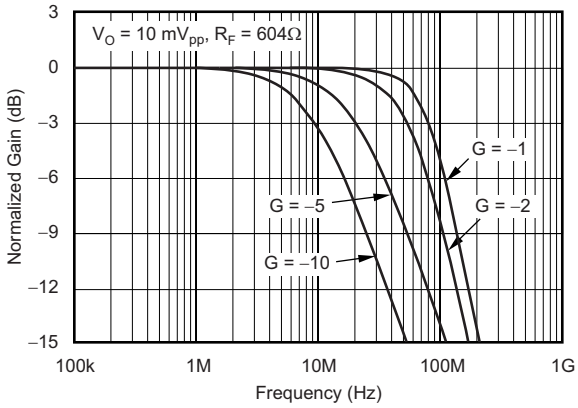


图 2. 反相小信号频率响应

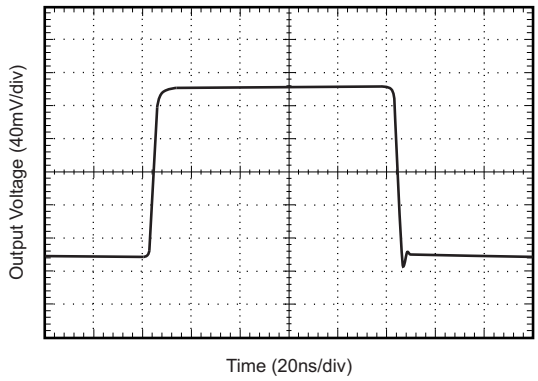


图 3. 同相小信号阶跃响应

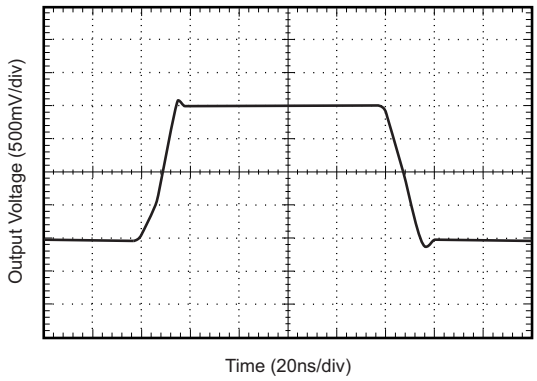
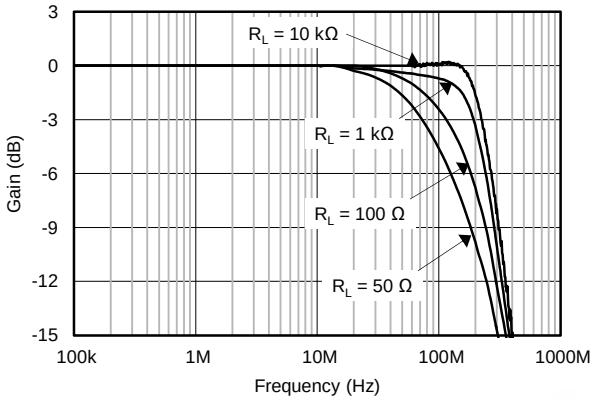
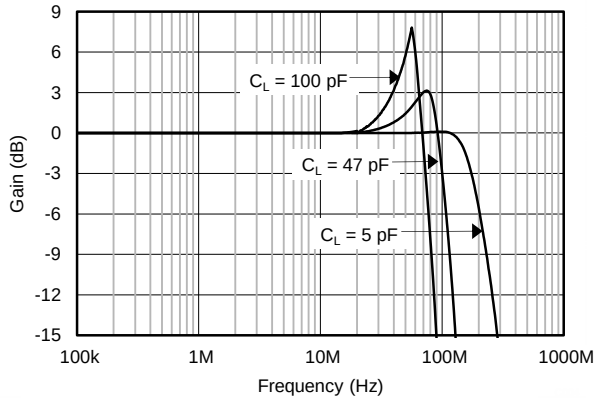


图 4. 同相大信号阶跃响应



G = +1，R_F = 0Ω　　V_O = 10mV_{pp}　　C_L = 0pF

图 5. 不同 R_L 值对应的频率响应



G = +1，R_S = 0Ω　　V_O = 10mV_{pp}

图 6. 不同 C_L 值对应的频率响应

版权 © 2016, Texas Instruments Incorporated

典型特性 (接下页)

在 T_A = 25°C，V_S = 5V，G = +1、R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得，除非另有说明。

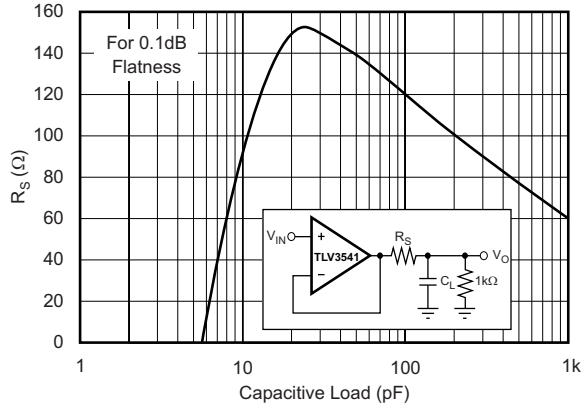


图 7. 推荐的 R_S 与电容负载间的关系

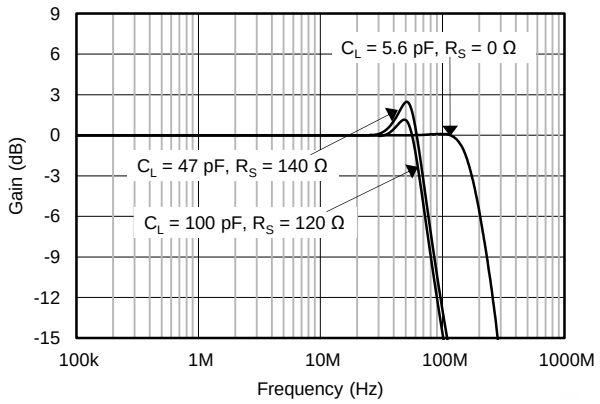


图 8. 频率响应与电容负载间的关系

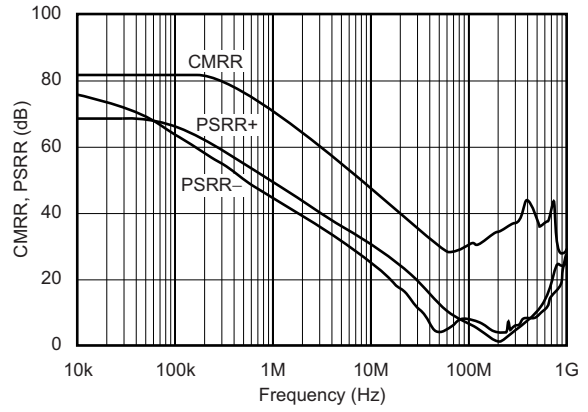


图 9. 共模抑制比和电源抑制比与频率间的关系

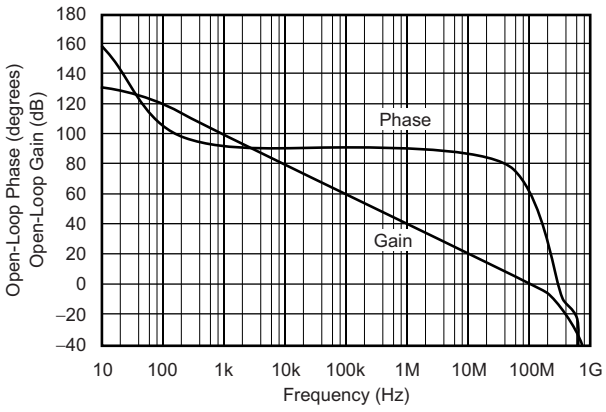


图 10. 开环增益和相位

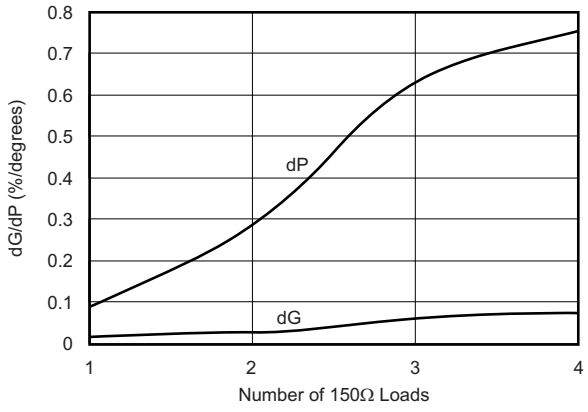


图 11. 复合视频差分增益和相位

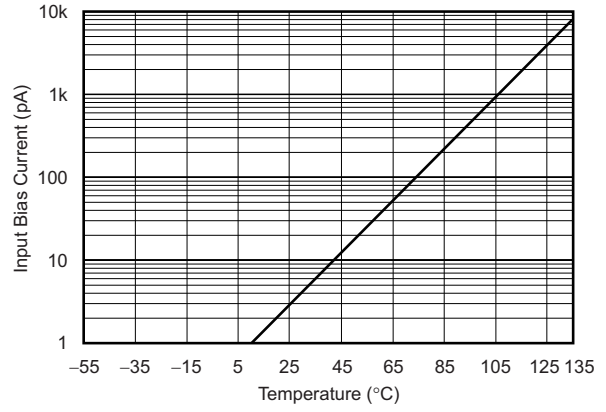


图 12. 输入偏置电流与温度间的关系

版权 © 2016, Texas Instruments Incorporated

典型特性 (接下页)

在 T_A = 25°C，V_S = 5V，G = +1、R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得，除非另有说明。

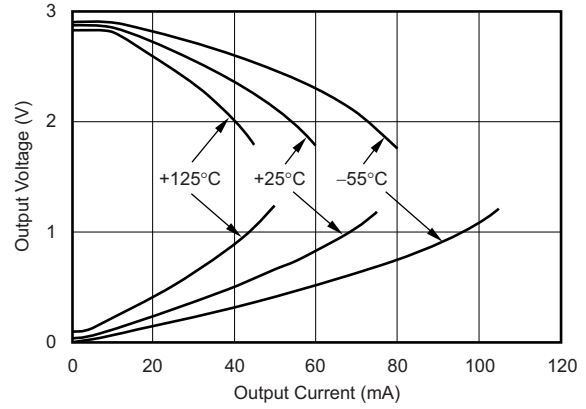


图 13.
V_S = 3V 时输出电压摆幅与输出电流间的关系

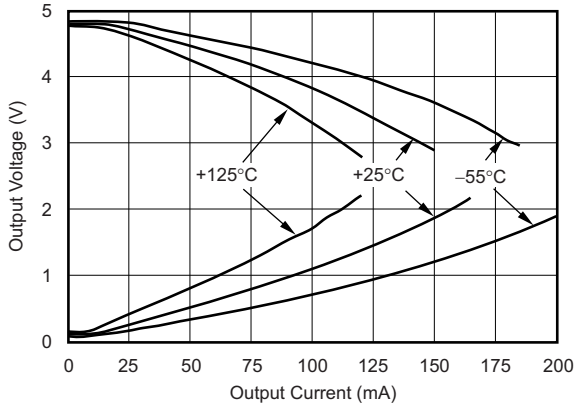


图 14.
V_S = 5V 时输出电压摆幅与输出电流间的关系

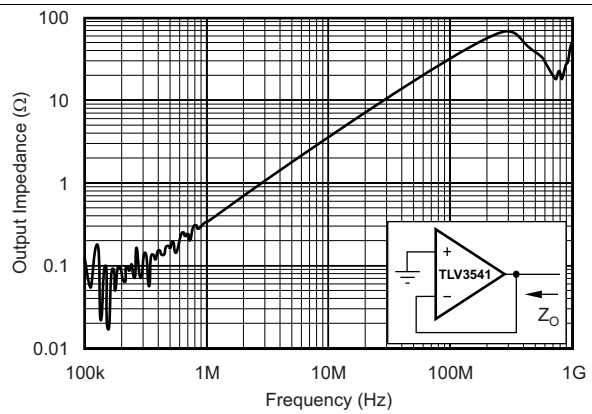


图 15. 闭环输出阻抗与频率间的关系

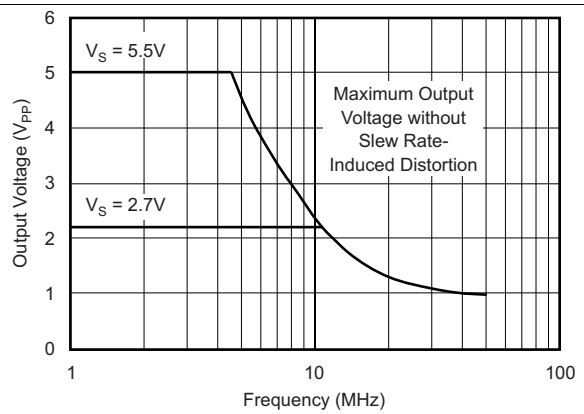


图 16. 最大输出电压与频率间的关系

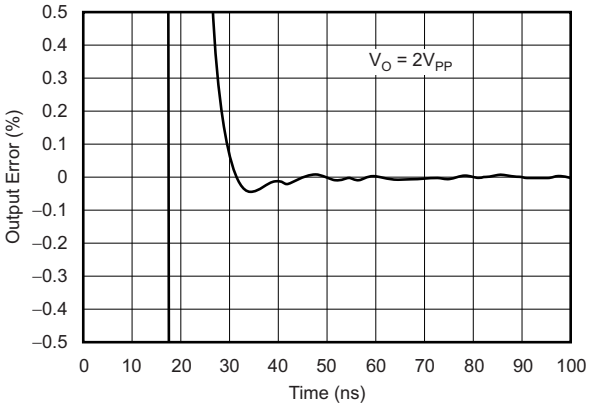


图 17. 到 0.1% 的输出趋稳时间

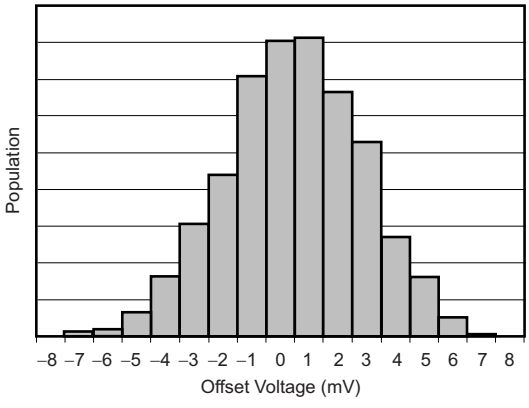


图 18. 偏移电压产生分布图

典型特性 (接下页)

在 T_A = 25°C，V_S = 5V，G = +1、R_F = 0Ω，R_L = 1kΩ 且连接至 V_S/2 的条件下测得，除非另有说明。

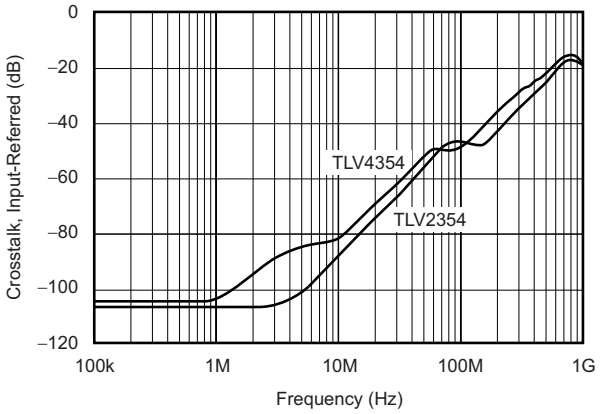


图 19. 通道至通道串扰

版权 © 2016, Texas Instruments Incorporated

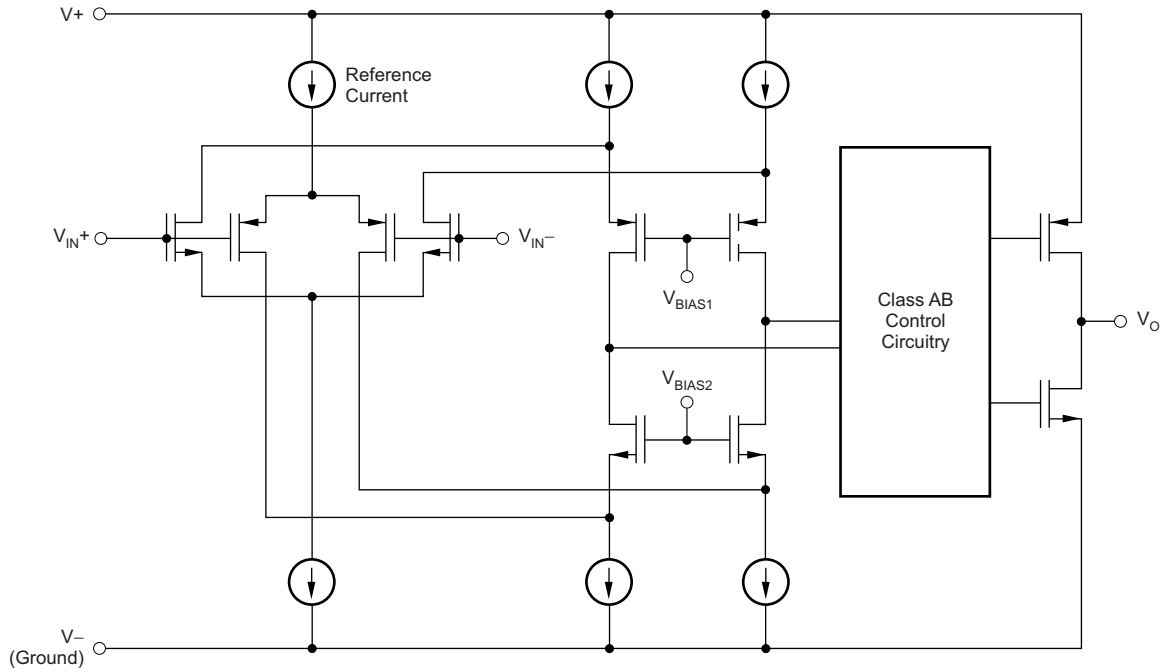
7 详细 说明

7.1 概述

TLV354x 是一种为视频、高速及其他应用而设计的 CMOS、轨至轨 I/O、高速、电压反馈 运算放大器。该器件可作为单路、双路或四路运算放大器使用。

该放大器 采用 100MHz 增益带宽和 150V/μs 转换率，而且具有稳定的单位增益，可作为 +1V/V 电压跟随器运行。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

TLV354x 的额定电源范围为 2.7V 至 5.5V（±1.35V 至 ±2.75V）。但是，实际的电源电压可能介于 2.5V 至 5.5V（±1.25V 至 ±2.75V）之间。高于 7.5V（绝对最大值）的电源电压会对放大器造成永久性损坏。

*典型特性*部分介绍了随电源电压或温度而变化的某些参数。

7.3.2 轨至轨输入

TLV354x 的额定输入共模电压范围在电源轨基础上向外扩展了 100mV。此扩展范围由一个互补输入级实现：一个 N 通道输入差分对和一个与之并联的 P 通道差分对，如*功能框图*所示。当输入电压接近正轨，通常在 (V+) – 1.2V 至高于正电源电压 100mV 之间时，N 通道对有效；而当输入在低于负电源电压 100mV 至大约 (V+) – 1.2V 之间时，P 通道对打开。在介于 (V+) – 1.5V 和 (V+) – 0.9V 之间的典型值区域内，两个通道对都打开。此 600mV 转换区域可能会随工艺不同而波动 ±500mV。因此，此转换区域（两个输入级都打开）在低端上的范围介于 (V+) – 2.0V 至 (V+) – 1.5V 之间，在高端上的范围高达 (V+) – 0.9V 至 (V+) – 0.4V。

双折共源共栅从两个输入对中添加信号，并且将差分信号提供到 AB 类输出级。

7.3.3 轨至轨输出

采用具有共源晶体管的 AB 类输出级来实现轨至轨输出。对于高阻抗负载 (> 200Ω)，输出电压摆幅通常在距离电源轨 100mV 范围内。在 10Ω 负载下，可在保持高开环增益的同时实现有用输出摆幅。请参阅有关*输出电压摆幅与输出电流间的关系*（图 13 和 图 14）的典型特性曲线。

7.3.4 输出驱动

TLV354x 输出级可提供 ±100mA 的持续输出电流，并且在 5V 电源供电的条件下提供大约 2.7V 的输出摆幅，如图 20 中所示。为确保最大可靠性，不建议运行超过 ±100mA 的持续直流电流。请参阅有关*输出电压摆幅与输出电流间的关系*（图 13 和 图 14）的典型特性曲线。如需提供大于 ±100mA 的持续输出电流，可将 TLV354x 并行运行，如图 21 中所示。

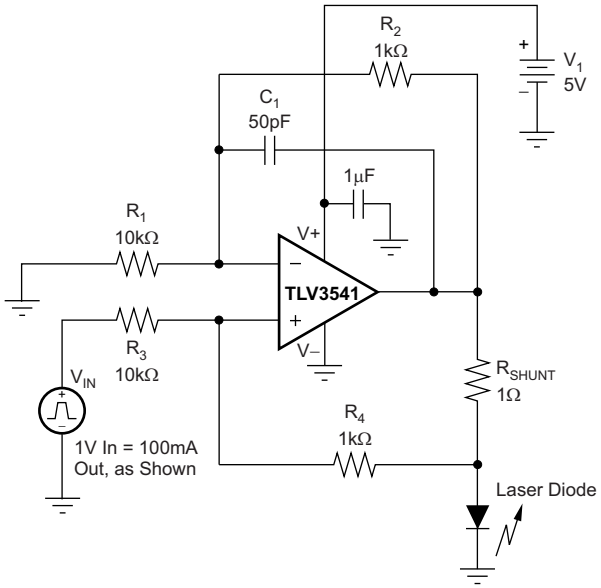


图 20. 激光二极管驱动器

TLV354x 提供高达 200mA 的峰值电流，相当于典型短路电流。因此，还提供了片上热关断电路以保护 TLV354x 免受危险高结温损坏。当达到 160°C 时，保护电路会关断放大器。当结温被冷却至 +140°C 以下时，系统恢复正常运行。

版权 © 2016, Texas Instruments Incorporated

特性 说明 (接下页)

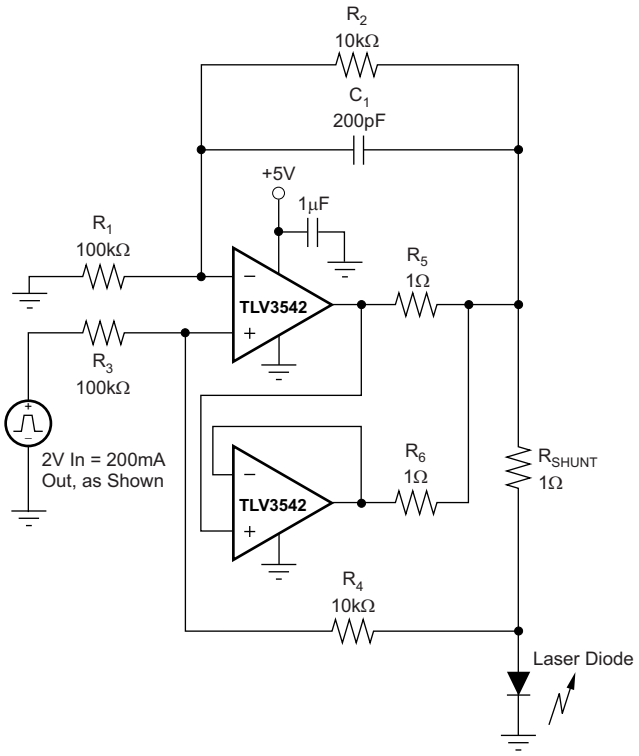


图 21. 并行运行

7.3.5 视频

TLV354x 输出级能够驱动标准后设终端 75Ω 视频电缆，如图 22 中所示。通过后设端接的传输线，该器件不能向其驱动器显示电容负载。正确后设终端 75Ω 电缆并不显示为电容；该器件可为 TLV354x 输出提供 150Ω 电阻负载。

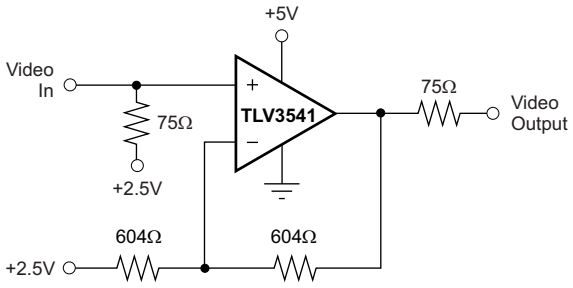
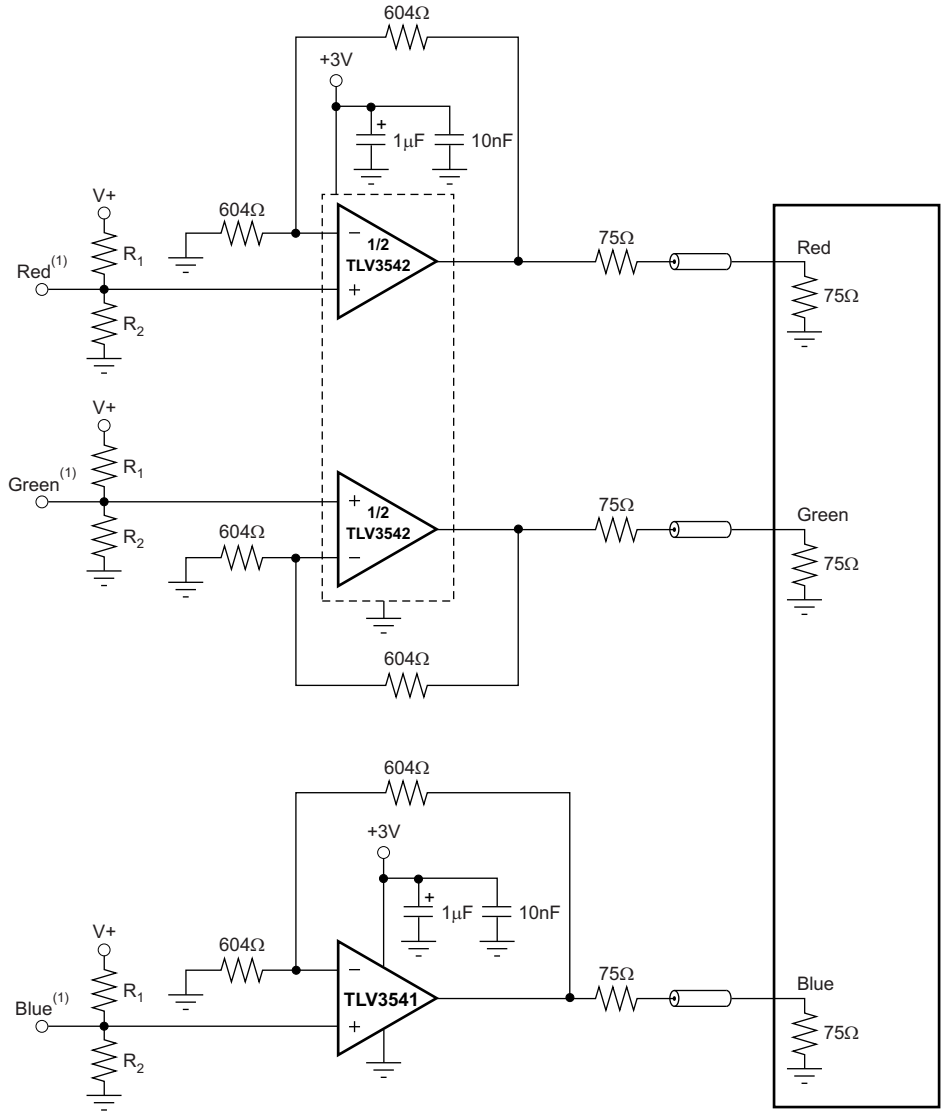


图 22. 单电源视频线路驱动器

TLV3542 可用作 RGB 图形信号的放大器，通过信号的偏移和交流耦合在视频黑电平处具有零电压。请参阅 图 23。

特性 说明 (接下页)



(1) 源视频信号于接地上方偏移 300mV 以适应运算放大器的摆幅接地功能。

图 23. RGB 电缆驱动器

版权 © 2016, Texas Instruments Incorporated

特性 说明 (接下页)

7.3.6 驱动模数转换器

TLV354x 系列运算放大器到 0.01% 精度的趋稳时间为 60ns，堪称驱动中高速采样模数转换器和缓冲参考电路的理想选择。TLV354x 系列不仅提供信号增益，同时还能有效缓冲模数转换器输入电容并实现电荷注入。对于 需要 高直流精度的应用，TI 建议使用 OPA350 系列。

图 24 展示了驱动模数转换器的 TLV3541。借助采用反相配置的 TLV3541，反馈电阻器的电容器可滤除信号中的高频噪声。

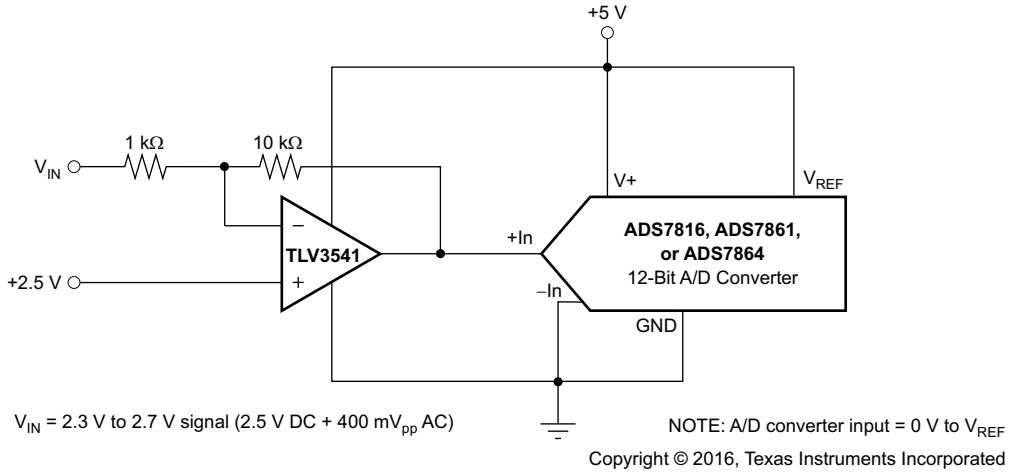


图 24. 由采用反相配置的 TLV3541 驱动 ADS7816

7.3.7 电容负载和稳定性

TLV354x 系列运算放大器可驱动宽范围的电容负载。不过在某些特定情况下，所有运算放大器都可能会变得不稳定。在确定稳定性时，运算放大器配置、增益和负载值不过是其中几个要考虑的因素。采用单位增益配置的运算放大器最容易受到电容负载的影响。电容负载受器件输出电阻和任何其他负载电阻的影响，在小信号响应中生成一个使相位裕度降低的极点。请参阅有关*不同 C_L 值对应的频率响应*（图 6）的典型特性曲线，了解详细信息。

TLV354x 拓扑可增强驱动电容负载的能力。如采用单位增益，这些运算放大器在大电容负载下表现良好。请参阅有关*推荐的 R_S 与电容负载间的关系*（图 7）和 *频率响应与电容负载间的关系*（图 8）的典型特性曲线，了解详细信息。

增强单位增益配置条件下电容负载驱动能力的方法之一就是给输出串联插入一个 10Ω 到 20Ω 的电阻，如图 25 中所示。此配置将大幅减少与大电容负载相关的振铃。请参阅有关*频率响应与电容负载间的关系*（图 8）的典型特性曲线。但是，如果电阻负载与电容负载并联，R_S 会生成一个分压器。这种分压会在输出上引入直流误差并略微减少输出摆幅。此误差可能微不足道。例如，在 R_L = 10kΩ 和 R_S = 20Ω 的条件下，在输出上存在大约 0.2% 的误差。

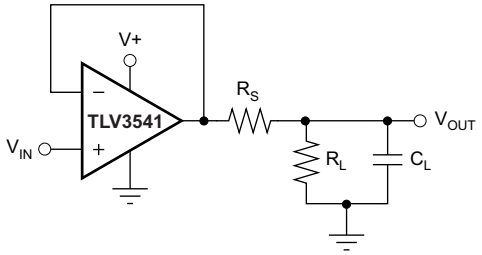


图 25. 采用单位增益配置的系列电阻器可增强电容负载驱动能力

7.3.8 宽带互阻抗放大器

TLV354x 具有宽带宽、低输入偏置电流、低输入电压和低电流噪声，因此，这款宽带光电二极管互阻抗放大器非常适合低电压、单电源 应用。低电压噪声十分重要，因为光电二极管电容会在高频时导致电路的有效噪声增益增加。

特性 说明 (接下页)

如图 26 中所示，互阻抗设计的关键在于 TLV354x 的期望二极管电容（包括 TLV354x 的寄生输入共模和差模输入电容 (2 + 2) pF）、所需互阻抗增益 (R_F) 以及增益带宽积 (GBW)（典型值 100MHz）。在确定好这三个变量后，可通过设置反馈电容器值 (C_F) 来控制频率响应。

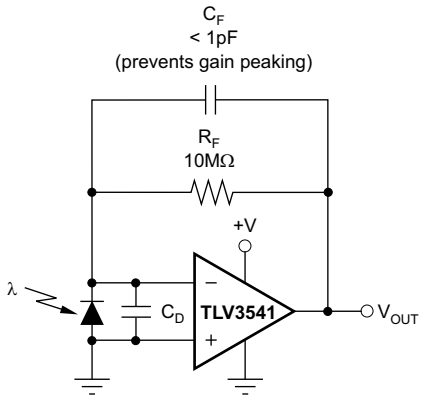


图 26. 互阻抗放大器

为实现平稳二阶巴特沃斯频率响应，必须如公式 1 中所示设置反馈极点：

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBP}{4\pi R_F C_D}} \quad (1)$$

典型表面贴装电阻器具有大约 0.2pF 的寄生电容，必须将其从反馈电容的计算值中扣除。利用公式 2 来计算带宽：

$$f_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

如果互阻抗带宽非常高，还可以使用高速 CMOS OPA355 (200MHz GBW) 或者 OPA655 (400MHz GBW)。

7.4 器件功能模式

TLV354x 具有双重功能模式，可在电源电压大于 2.5V (±1.25V) 的条件下正常运行。TLV354x 的最大电源电压为 5.5V (±2.75V)。当达到 +160°C 时，保护电路会关断放大器。当结温被冷却至 +140°C 以下时，系统恢复正常运行。

版权 © 2016, Texas Instruments Incorporated

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TLV354x 是宽带宽、低噪声、轨至轨输入和输出放大器。这些器件的工作电压介于 2.5V 至 5.5V 之间，单位增益稳定，适合各类通用 应用。 输入共模电压范围包括两个电源轨，并允许在任何单电源应用中使用 TLV354x 器件。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源 应用中），因此该器件是驱动模数转换器 (ADC) 的理想器件。

TLV354x 系列器件 具有 200MHz 带宽和 150V/µs 转换率，仅有 7.5nV/√Hz 宽带噪声。

8.2 典型应用

运算放大器的典型应用是反相放大器（如 图 27 中所示）。反相放大器在输入端采用正电压，然后输出与输入端反相的信号，生成相同幅度的负电压。此类放大器以相同的方式使负输入电压在输出端变为正电压。此外，通过选择输入电阻器 R_I 和反馈电阻器 R_F，可以增加放大效果。

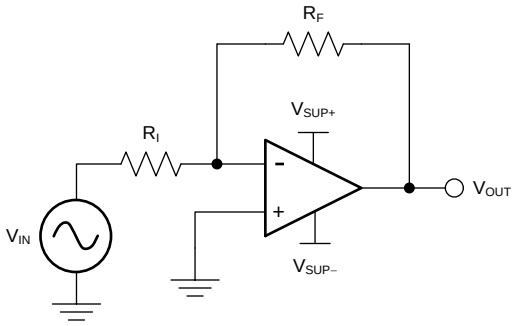


图 27. 应用电路原理图

8.2.1 设计要求

选择的电源电压必须大于输入电压范围和期望输出范围。必须考虑输入共模范围 (V_{CM}) 和相对于电源轨的输出电压摆幅 (V_O) 的限值。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

8.2.2 详细设计流程

使用 公式 3 和 公式 4 来确定反相放大器需要的增益：

$$A_V = \frac{V_{OUT}}{V_{IN}} \tag{3}$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \tag{4}$$

确定所需增益后，请选择 R_I 或 R_F 的值。由于放大器电路使用毫安级的电流，因此通用 应用 需要选择千欧姆范围的值。此毫安电流范围确保了该器件不会消耗过多电流。需要权衡的是，大电阻器（十万欧姆级别）消耗的电流最小，但产生的噪声最大。小电阻器（百欧姆级别）生成的噪声小，但消耗电流大。此示例使用的 R_I 为 10kΩ，这意味着对 R_F 使用的值为 36kΩ。这些值是通过 公式 5 确定的：

$$A_V = -\frac{R_F}{R_I} \tag{5}$$

典型应用 (接下页)

8.2.3 应用曲线

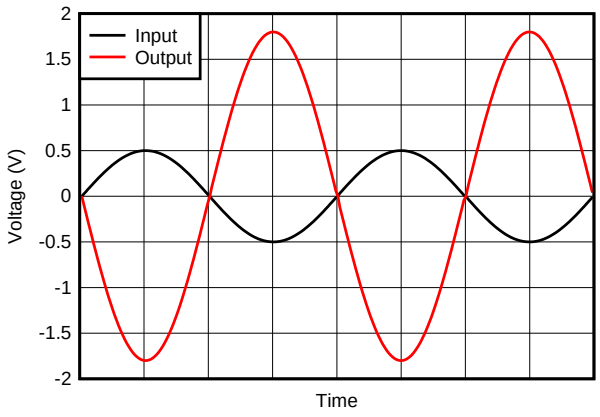
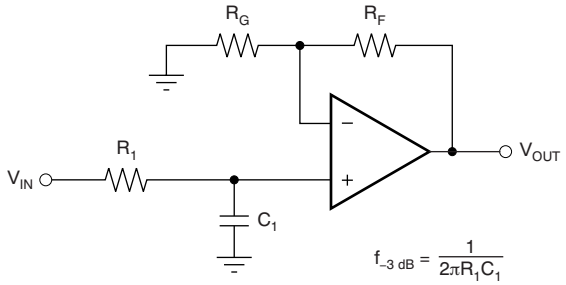


图 28. 反相放大器输入和输出

8.3 系统示例

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 图 29 中所示。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

图 29. 单极低通滤波器

版权 © 2016, Texas Instruments Incorporated

系统示例 (接下页)

如果需要更多的衰减，需要多个极点滤波器。对于此任务，可使用 Sallen-Key 滤波器，如图 30 中所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的八到十倍。不遵守这一准则可能导致放大器出现相移。

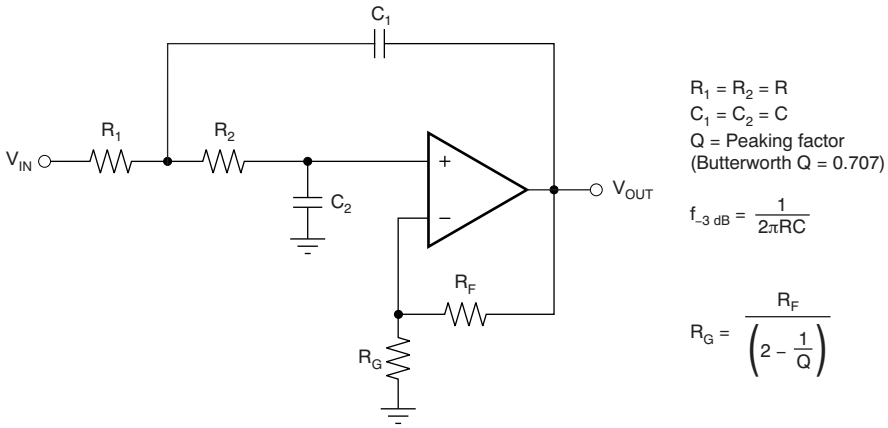


图 30. 两极低通 Sallen-Key 滤波器

9 电源相关建议

尽管 TLV354x 系列可以在 2.5V 至 5.5V（±1.25V 至 ±2.75V）的电压范围内运行，但其额定电压范围为 2.7V 至 5.5V（±1.35V 至 ±2.75V）；多种技术规格适用于 –40°C 至 +125°C 的温度范围。*典型特性*中提供的参数可能会随工作电压或温度的不同而出现显著变化。

CAUTION

电源电压超过 7.5V 可能会对器件造成永久损坏。（请参阅*绝对最大额定值*表格）。

将 0.1μF 旁路电容器置于电源引脚附近，可在从高噪声电源或高阻抗电源耦合的过程中减少误差。有关旁路电容器放置的更多详细信息，请参阅*布局准则*。

9.1 输入和 ESD 保护

TLV354x 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。在输入和输出引脚的情况下，这种保护主要包括连接在输入和电源引脚间的导流二极管。只要电流如*绝对最大额定值*表中所述限制为 10mA，这些 ESD 保护二极管还能提供电路内的输入过驱保护。图 31 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该噪声必须保持在最低 水平的输出电流传感电阻器和运算放大器而得以实现。

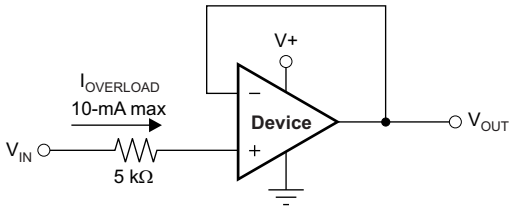


图 31. 输入电流保护

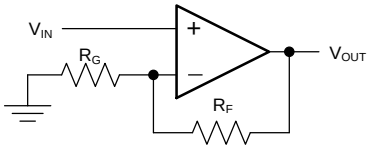
10 布局

10.1 布局准则

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。通过使用旁路电容器提供模拟电路的本地低阻抗电源，可减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单电源 应用的输出电流传感电阻器和运算放大器而得以实现。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。请让 R_F 和 R_G 接近反相输入，以便最大限度减小寄生电容（如图 32 中所示）。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例



(Schematic Representation)

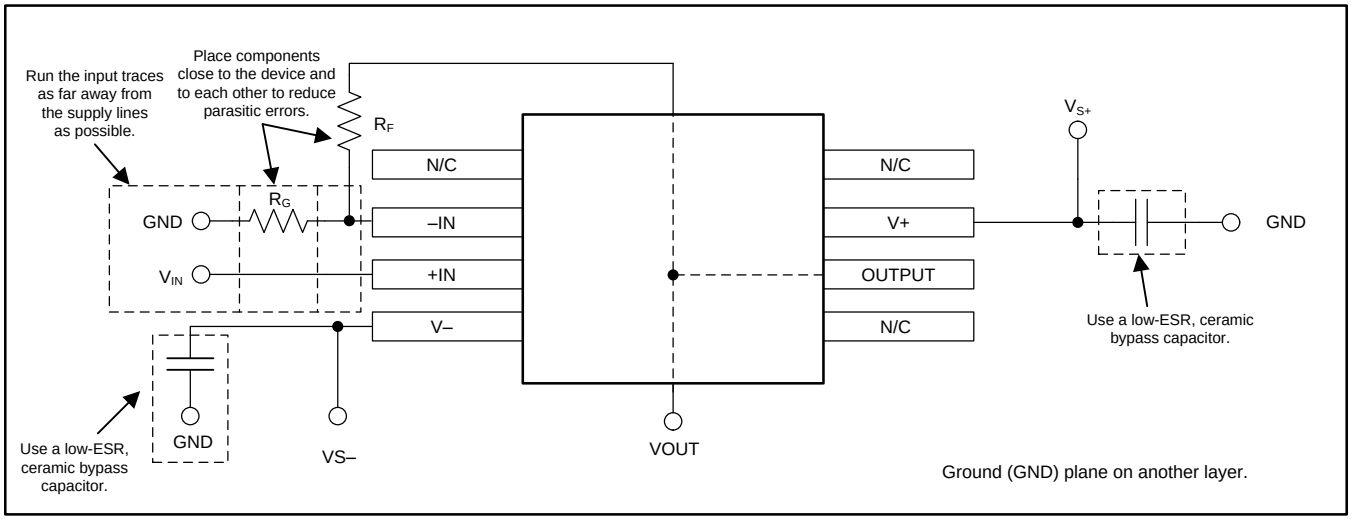


图 32. 同相配置的运算放大器电路板布局

版权 © 2016, Texas Instruments Incorporated

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

使用 TLV354x 器件时，TI 推荐使用以下参考文档。除非另外注明，否则这些文档均可从 www.ti.com 下载。

- *《运算放大器应用 手册》* (SBOA092).
- *《模拟工程师速查参考》*（文献编号：SLYW038）。

11.2 相关链接

表 1 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV3541	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV3542	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV3544	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.3 接收文档更新通知

如需接收文档更新通知，请访问 ti.com 上的器件产品文件夹。点击右上角的提醒我 (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查看任意已修订文档中包含的修订历史记录。

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

版权 © 2016, Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

版权 © 2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV3541IDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD	Samples
TLV3541IDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17MD	Samples
TLV3541IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3541	Samples
TLV3542IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18TE	Samples
TLV3542IDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18TE	Samples
TLV3542IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3542	Samples
TLV3544IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV3544A	Samples
TLV3544IPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 3544	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check http://www.ti.com/productcontent for the latest availability information and additional product content details.
TBD: The Pb-Free/Green conversion plan has not been defined.
Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.
Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

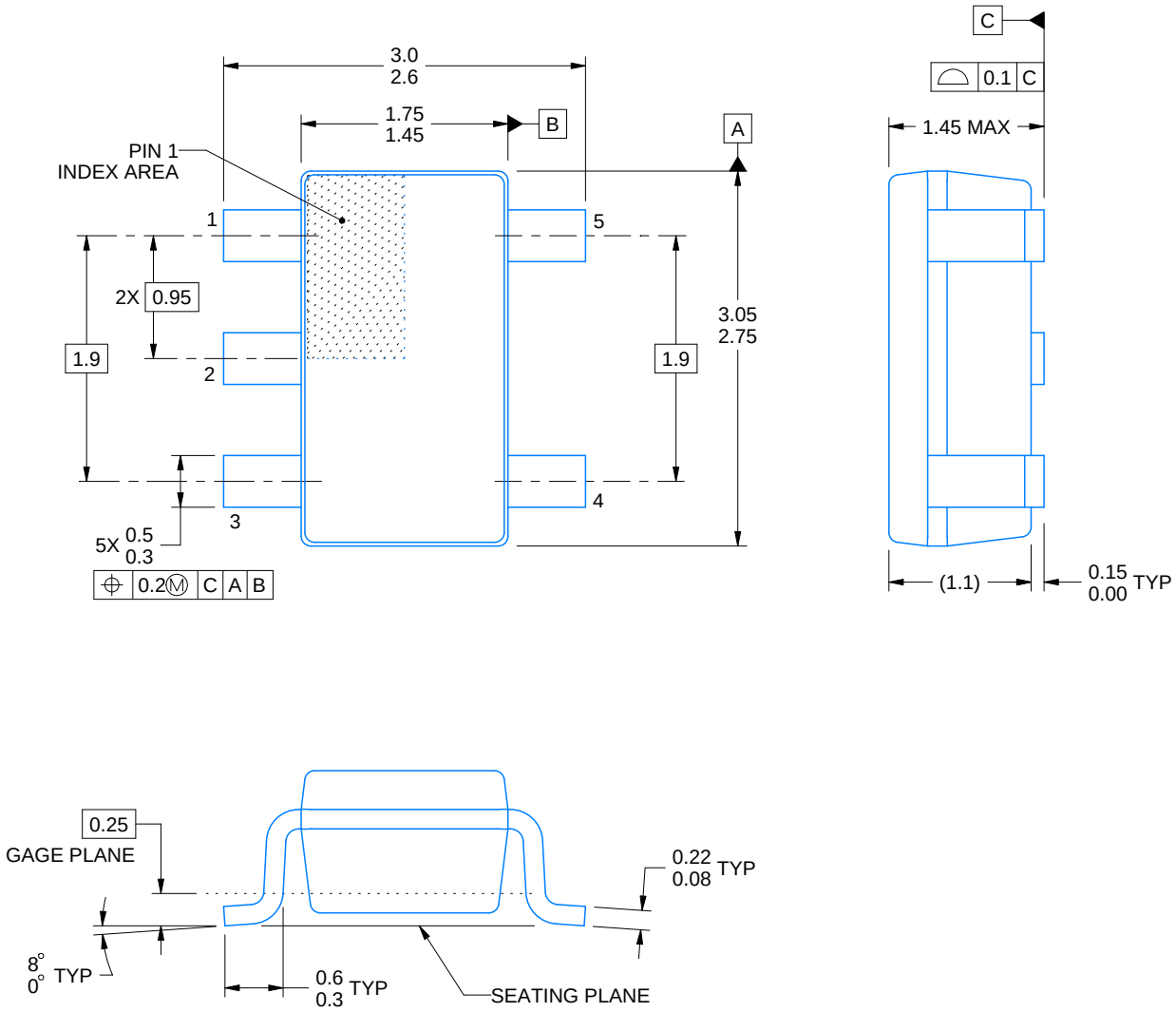
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

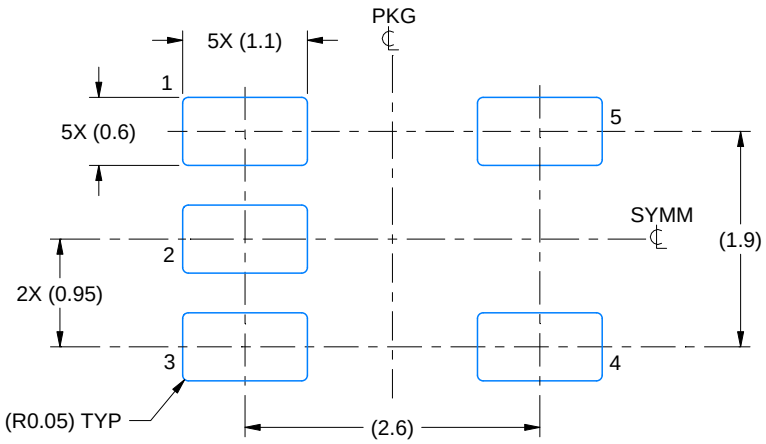
SMALL OUTLINE TRANSISTOR



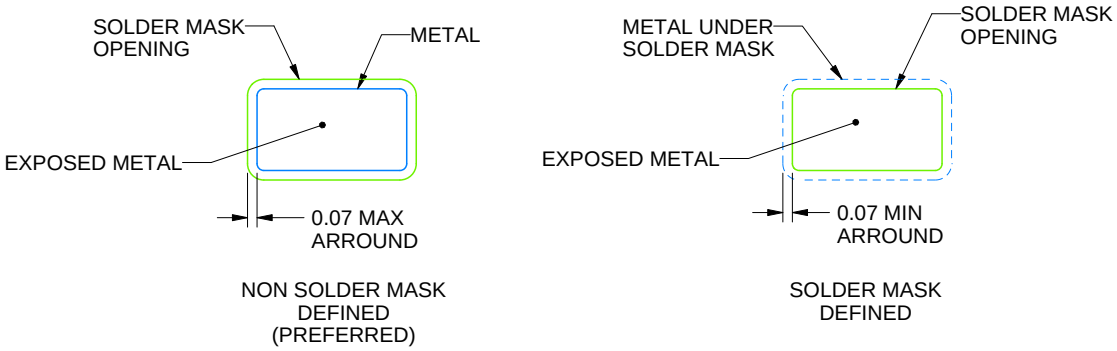
4214839/D 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

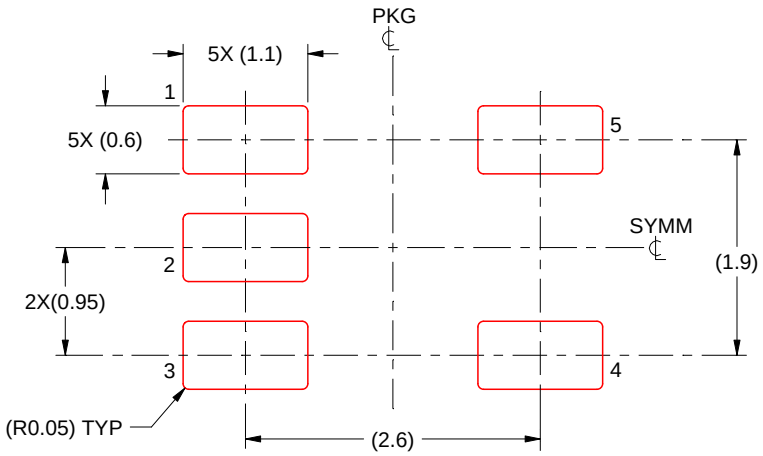


SOLDER MASK DETAILS

4214839/D 11/2018

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



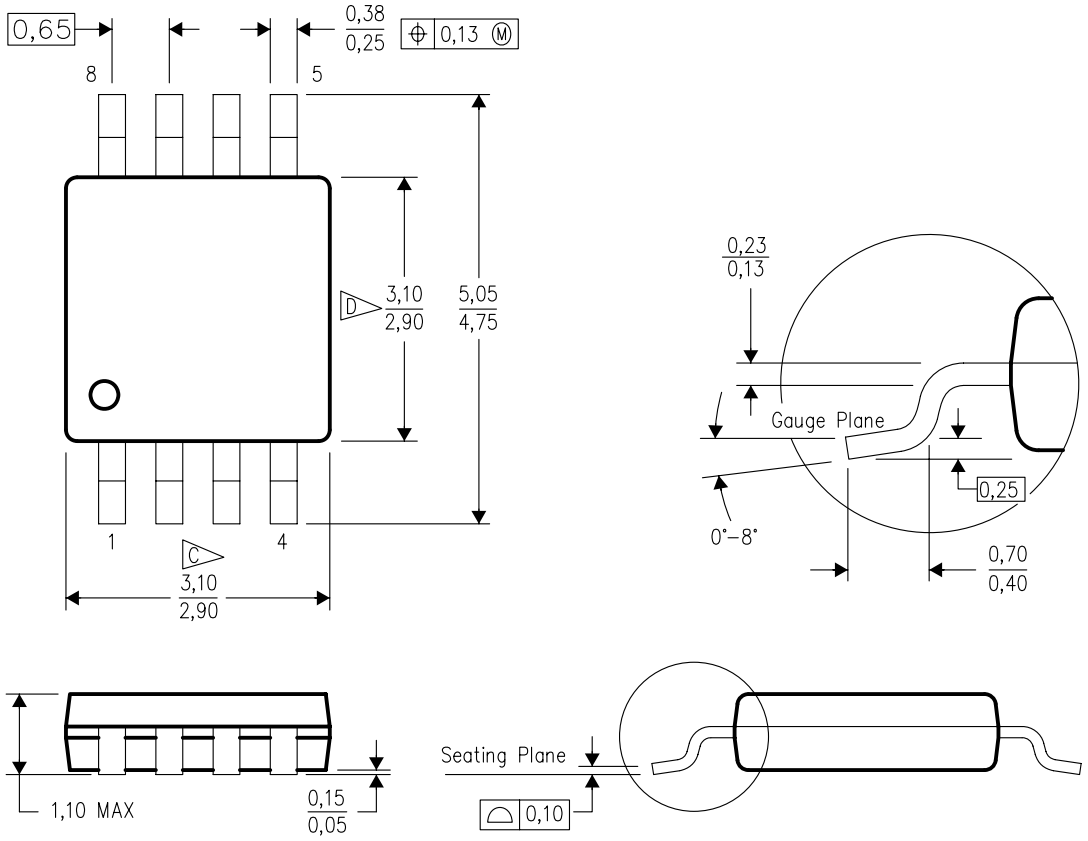
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/D 11/2018

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

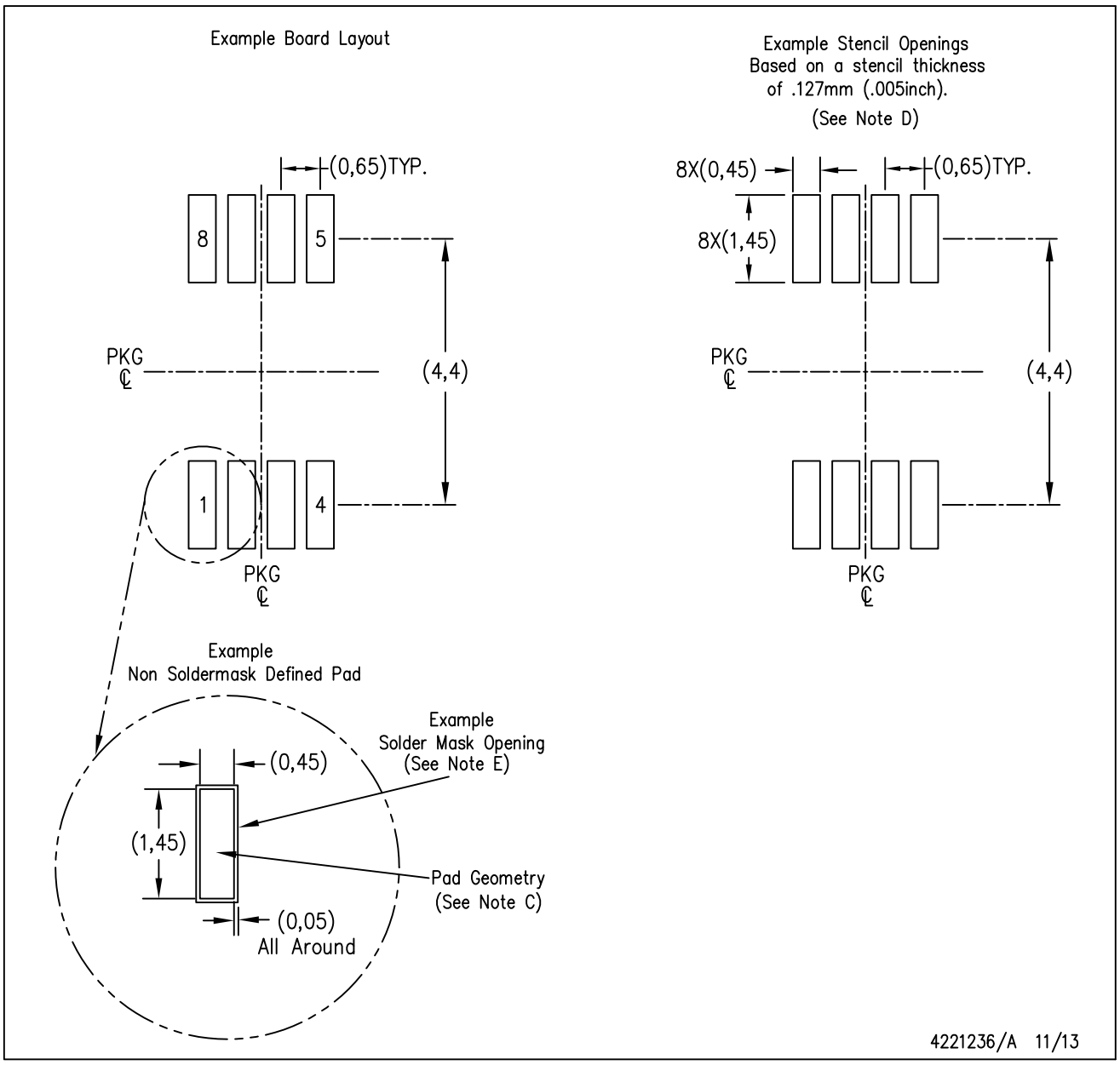
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

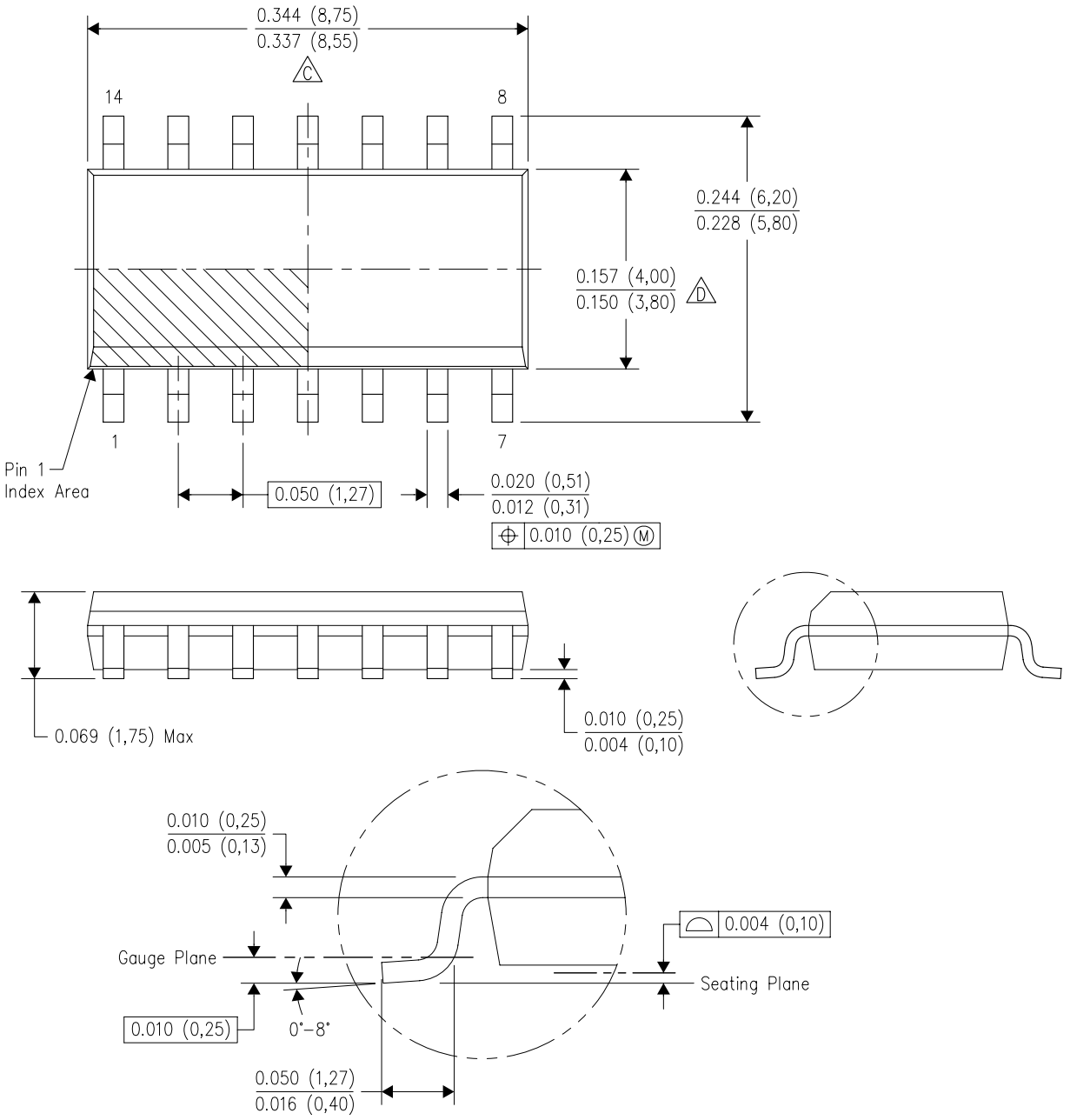
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

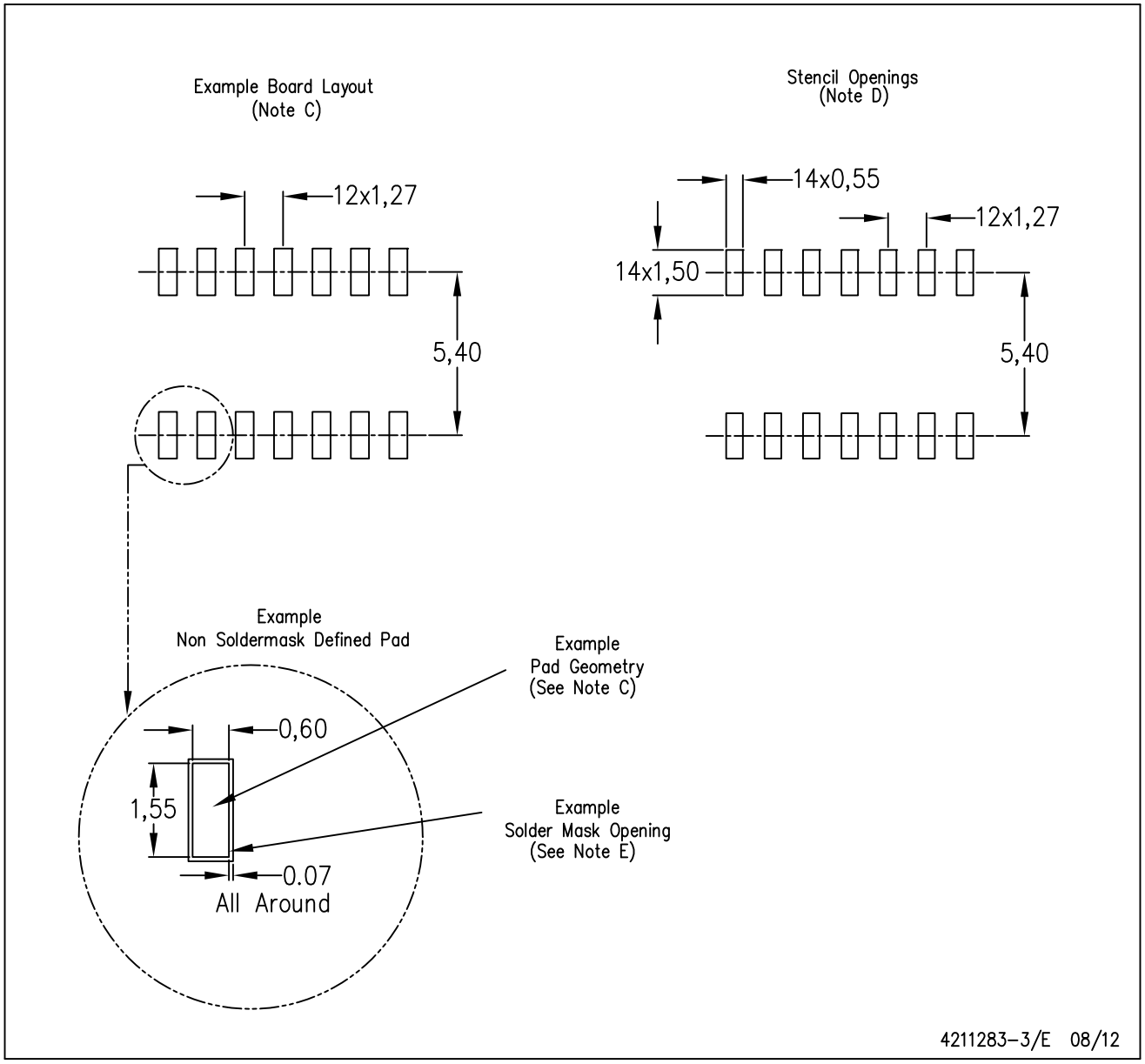
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

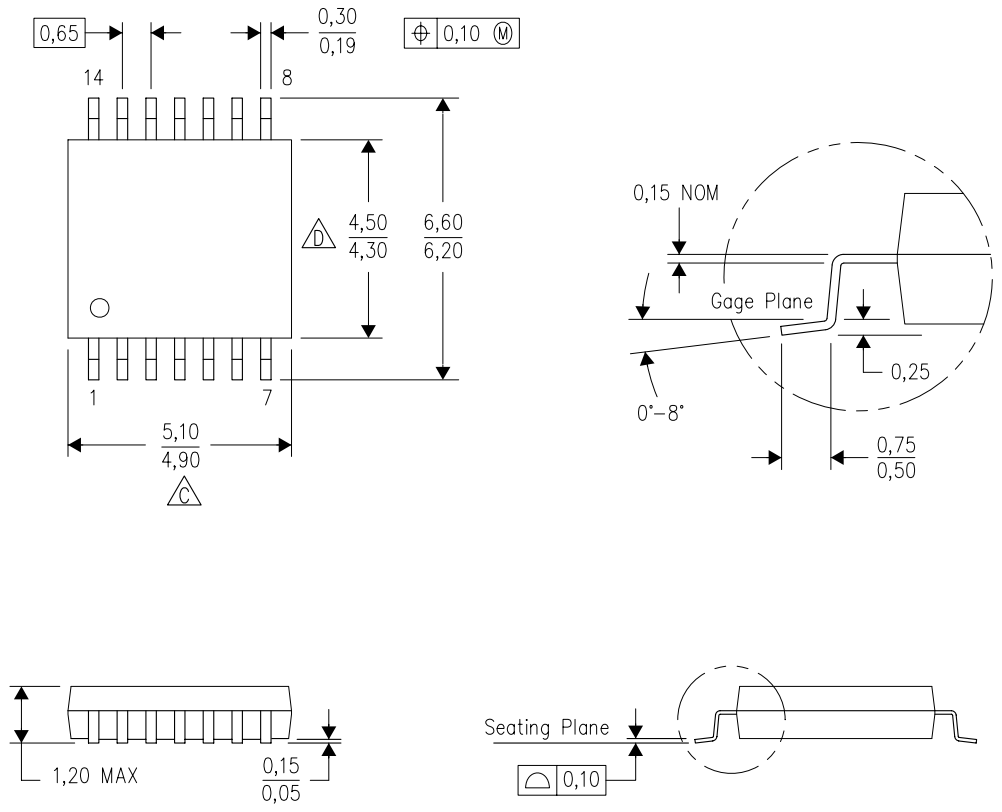
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

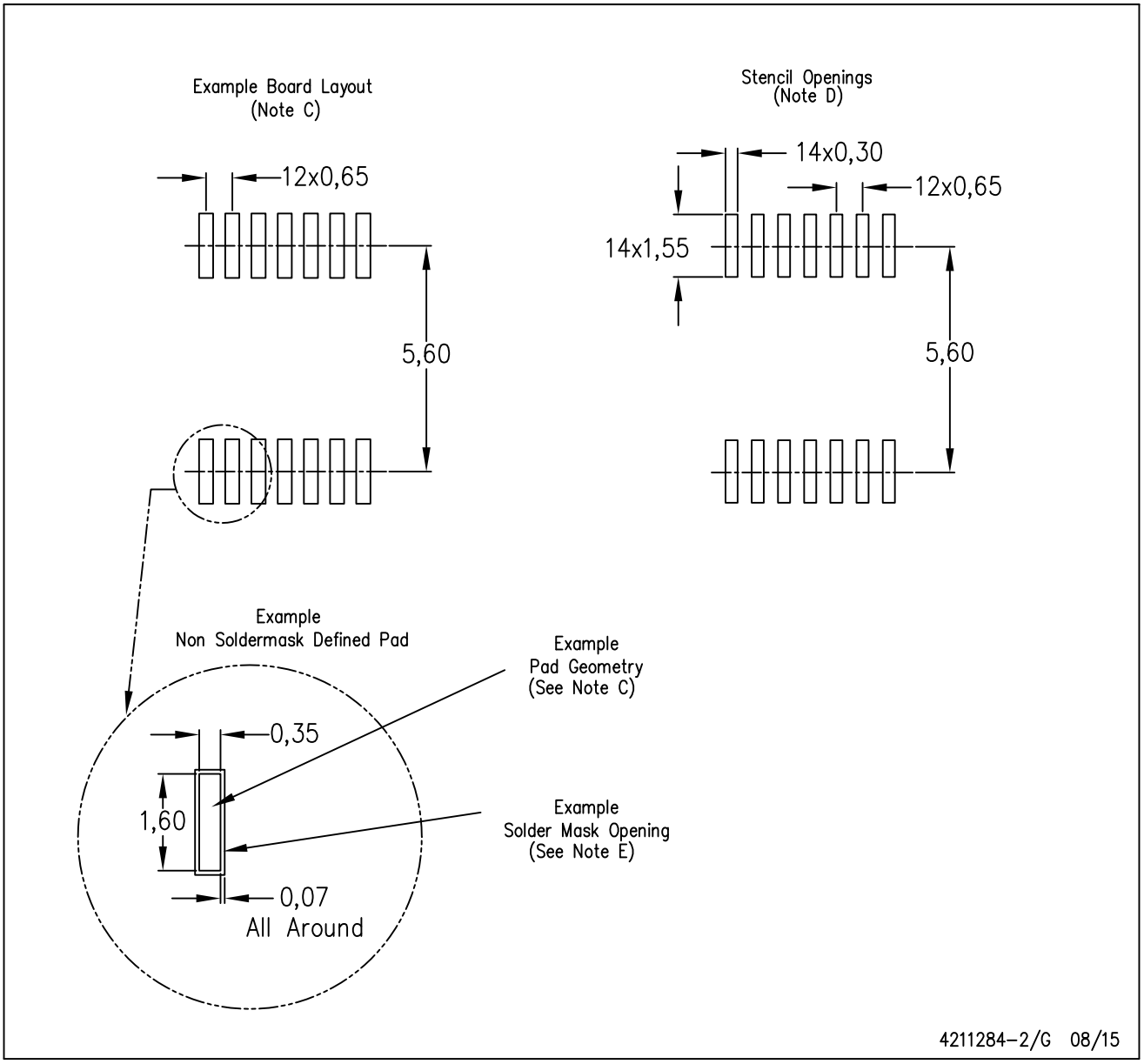
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



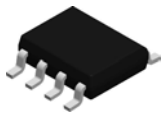
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

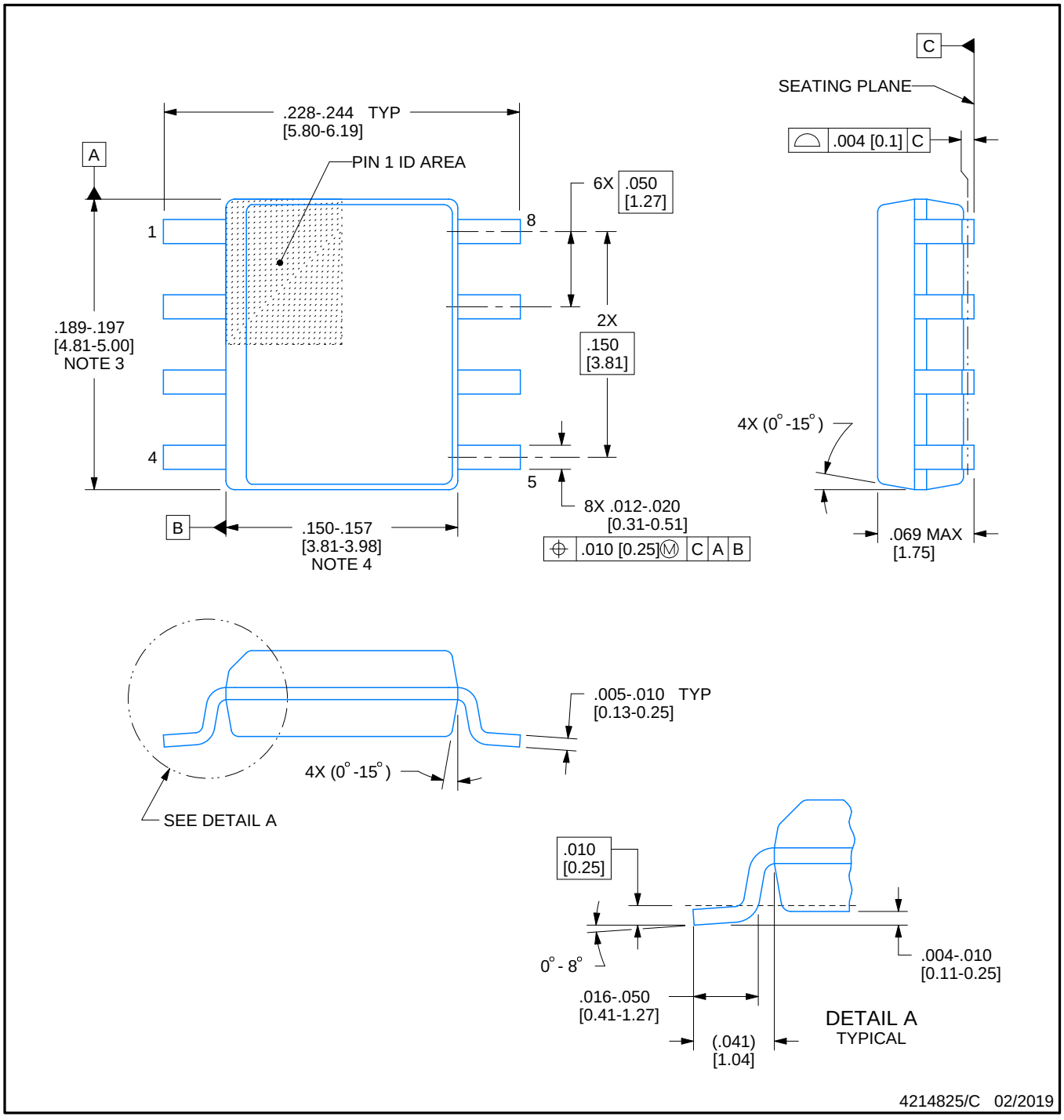


PACKAGE OUTLINE

D0008A

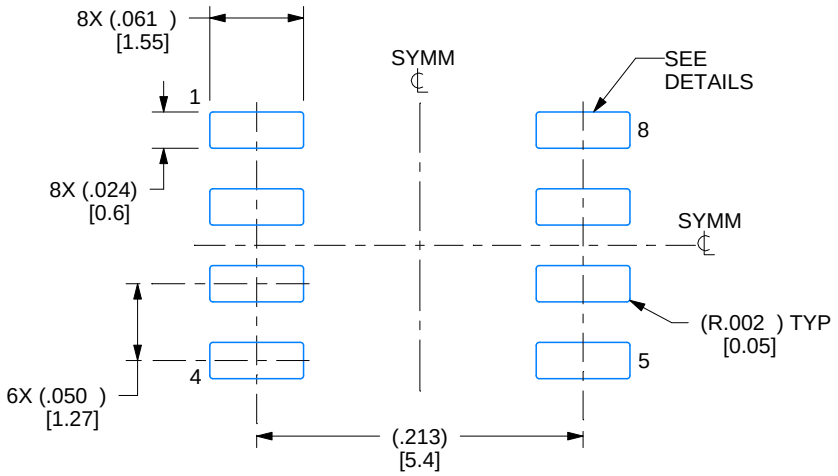
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

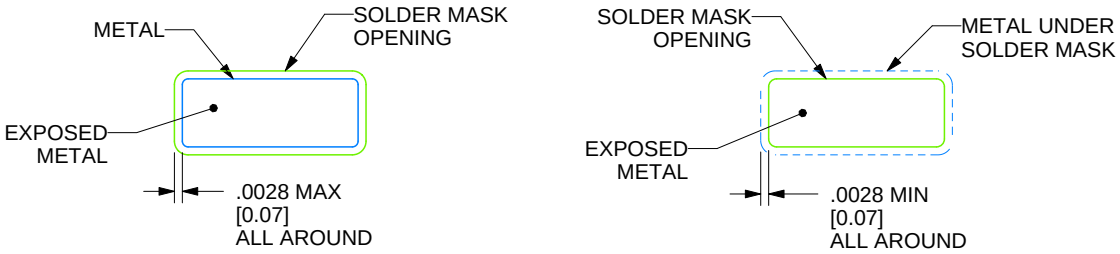


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

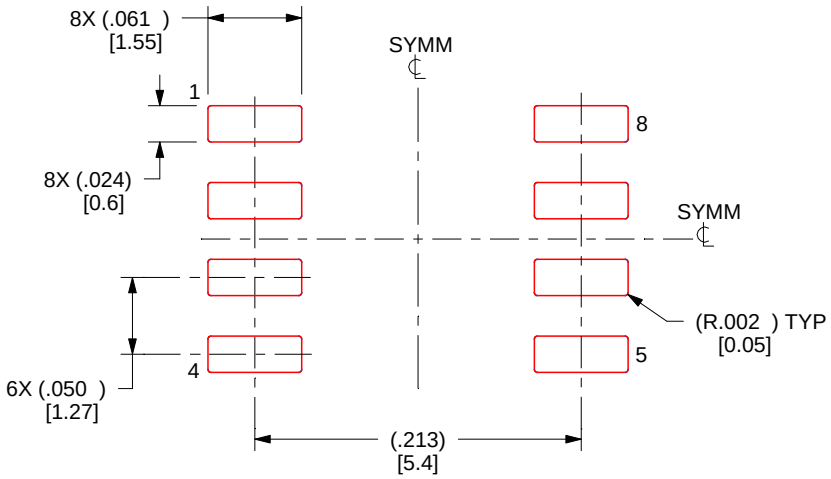
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司