

### 产品特性

延迟时钟模式下支持最高40 MHz的SPI时钟速度

四线模式下支持最高17 MHz的SPI时钟速度

4个高速、低传播延迟、SPI信号隔离通道

2个数据速率为250 kbps的数据通道

延迟补偿时钟线

20引脚SSOP封装，爬电距离为5.1 mm

工作温度最高可达：125°C

高共模瞬变抗扰度：>25 kV/μs

### 安全和法规认证

UL认证：UL 1577(申请中)

1分钟3,750 V rms

CSA元件验收通知5A(申请中)

符合VDE标准证书(申请中)

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12

$V_{IORM} = 560$  V峰值

### 应用

工业可编程逻辑控制器(PLC)

传感器隔离

### 概述

ADuM31501 是一款6通道SPiisolator™数字隔离器，针对隔离式串行外设接口(SPI)进行了优化。这些器件基于ADI公司的iCoupler®芯片级变压器技术，在CLK、MO/SI、MI/SO和SS SPI总线信号中具有低传播延迟特性，可支持最高17 MHz的SPI时钟速率。这些通道在工作时具有14 ns传播延迟和1 ns抖动，以针对SPI优化时序。

ADuM3150隔离器还额外提供2个独立的低数据速率隔离通道，每个方向1个通道。器件以250 kbps数据速率对慢速通道中的数据进行了采样和串行化，并伴有2.5 μs抖动。

ADuM3150还支持输出一个延时时钟在器件主机侧的。该输出可与主机上的额外时钟端口搭配，以支持40 MHz的时钟性能。更多信息参见“延迟时钟”部分。

功能框图

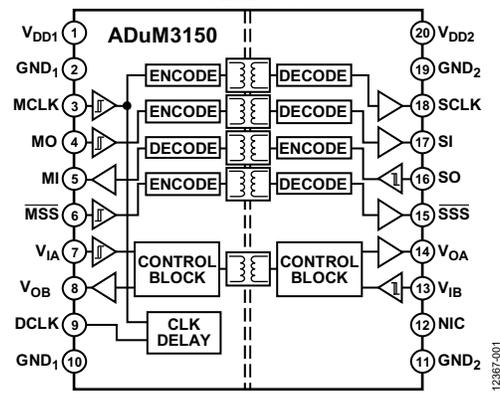


图1.

表1. 相关产品

产品	说明
ADuM3151	3.75 kV、多通道SPI隔离器
ADuM3152	3.75 kV、多通道SPI隔离器
ADuM3153	3.75 kV、多通道SPI隔离器

<sup>1</sup> 受美国专利第5,952,849号、6,873,065号、6,262,600号和7,075,329号保护，其他专利正在申请中。

Rev. 0

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700

©2014 Analog Devices, Inc. All rights reserved.

Technical Support

[www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	建议工作条件 .....	12
应用 .....	1	绝对最大额定值 .....	13
功能框图 .....	1	ESD警告 .....	13
概述 .....	1	引脚配置和功能描述 .....	14
修订历史 .....	2	典型性能参数 .....	15
技术规格 .....	3	应用信息 .....	16
电气特性—5V电源供电 .....	3	简介 .....	16
电气特性—3.3 V电源供电 .....	5	印刷电路板(PCB)布局 .....	17
电气特性—5 V/3.3 V混合电源 .....	7	传播延迟相关参数 .....	18
电气特性—3.3 V/5 V混合电源 .....	9	直流正确性和磁场抗扰度 .....	18
封装特性 .....	11	功耗 .....	19
法规信息 .....	11	隔离寿命 .....	19
隔离和安全相关特性 .....	11	外形尺寸 .....	21
DIN V VDE V 0884-10 (VDE V 0884-10); 2006-12		订购指南 .....	21
绝缘特 .....	12		

## 修订历史

2014年7月—修订版0：初始版

# 规格

## 电气特性—5 V电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ 下测得。除非另有说明，最小值和最大值规格适用于整个推荐的工作范围： $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ ， $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 且 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表2. 开关规格

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
MCLK, MO, SO									
SPI时钟速率	SPI <sub>MCLK</sub>			10			17	MHz	
数据速率高(MO、SO)	DR <sub>FAST</sub>			40			40	Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>			25	12		14	ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD			2			2	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
同向通道匹配 <sup>1</sup>	t <sub>PSKCD</sub>			2			2	ns	
抖动, 高速	J <sub>HS</sub>			1			1	ns	
MSS									
数据速率高	DR <sub>FAST</sub>			40			40	Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		21	25		21	25	ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD			2			2	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
建立时间 <sup>2</sup>	MSS <sub>SETUP</sub>	1.5			10			ns	
抖动, 高速	J <sub>HS</sub>			1			1	ns	
DCLK									
数据速率				40			40	MHz	
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>			50			35	ns	t <sub>PMCLK</sub> + t <sub>PSO</sub> + 3 ns
脉冲宽度失真	PWD			3			3	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
脉冲宽度	PW	12			12			ns	在PWD限值内
时钟延迟误差	DCLK <sub>ERR</sub>	0	4.5	12	1	5.5	12	ns	t <sub>PDCLK</sub> - (t <sub>PMCLK</sub> + t <sub>PSO</sub> )
抖动	J <sub>DCLK</sub>			1			1	ns	
V <sub>IA</sub> , V <sub>IB</sub>									
数据速率低	DR <sub>SLOW</sub>			250			250	kbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>	0.1		2.6	0.1		2.6	μs	50%输入至50%输出
脉冲宽度	PW	4			4			μs	在PWD限值内
抖动, 低速	J <sub>LS</sub>			2.5			2.5	μs	
V <sub>ix</sub> <sup>3</sup> 最低输入偏斜 <sup>4</sup>	t <sub>VIX_SKEW</sub>	10			10			ns	

<sup>1</sup> 同向通道匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

<sup>2</sup> MSS信号在两个速度级上进行毛刺过滤，而其他高速信号在B级中不会进行毛刺过滤。为了保证MSS在其他高速信号之前到达输出端，可根据速度级以不同的时间在竞争信号之前建立MSS。

<sup>3</sup> V<sub>ix</sub> = V<sub>IA</sub>或V<sub>IB</sub>。

<sup>4</sup> 内部异步时钟(用户无法使用)对低速信号进行采样。如果同向通道的边沿序列对最终应用来说很重要，那么较早的脉冲必须至少比较晚的脉冲早1个t<sub>VIX\_SKEW</sub>的时间，才能保证以正确的顺序或同时到达输出端。

表3. 所有等级产品<sup>1, 2, 3</sup>

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电源电流						
1 MHz, A级和B级	I <sub>DD1</sub>		5	6.5	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		6.2	8.5	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
17 MHz, B级	I <sub>DD1</sub>		15	18	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		13.5	16	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
直流规格						
MCKL, $\overline{\text{MSS}}$ , MO, SO, V <sub>IA</sub> , V <sub>IB</sub>						
输入阈值						
逻辑高电平	V <sub>IH</sub>	0.7 × V <sub>DDx</sub>			V	
逻辑低电平	V <sub>IL</sub>			0.3 × V <sub>DDx</sub>	V	
输入迟滞	V <sub>IHYST</sub>		500		mV	
每个通道的输入电流	I <sub>I</sub>	-1	+0.01	+1	μA	0 V ≤ V <sub>INPUT</sub> ≤ V <sub>DDx</sub>
SCLK, $\overline{\text{SSS}}$ , MI, SI, V <sub>OA</sub> , V <sub>OB</sub> , DCLK						
输出电压						
逻辑高电平	V <sub>OH</sub>	V <sub>DDx</sub> - 0.1	5.0		V	I <sub>OUTPUT</sub> = -20 μA, V <sub>INPUT</sub> = V <sub>IH</sub>
		V <sub>DDx</sub> - 0.4	4.8		V	I <sub>OUTPUT</sub> = -4 mA, V <sub>INPUT</sub> = V <sub>IH</sub>
逻辑低电平	V <sub>OL</sub>		0.0	0.1	V	I <sub>OUTPUT</sub> = 20 μA, V <sub>INPUT</sub> = V <sub>IL</sub>
			0.2	0.4	V	I <sub>OUTPUT</sub> = 4 mA, V <sub>INPUT</sub> = V <sub>IL</sub>
V <sub>DD1</sub> , V <sub>DD2</sub> 欠压闭锁	UVLO		2.6		V	
高速通道的电源电流						
动态输入	I <sub>DDI(D)</sub>		0.09		mA/Mbps	
动态输出	I <sub>DDO(D)</sub>		0.02		mA/Mbps	
全部低速通道的电源电流						
静态输入	I <sub>DDI(Q)</sub>		4.0		mA	
静态输出	I <sub>DDO(Q)</sub>		6.4		mA	
交流规格						
输出上升/下降时间	t <sub>R</sub> /t <sub>F</sub>		2.5		ns	10%至90%
共模瞬变抗扰度 <sup>4</sup>	CM	25	35		kV/μs	V <sub>INPUT</sub> = V <sub>DDx</sub> , V <sub>CM</sub> = 1000 V 瞬变幅度 = 800 V

<sup>1</sup> V<sub>DDx</sub> = V<sub>DD1</sub> 或 V<sub>DD2</sub><sup>2</sup> V<sub>INPUT</sub> 是 MCKL、 $\overline{\text{MSS}}$ 、MO、SO、V<sub>IA</sub> 或 V<sub>IB</sub> 引脚中任意一个的输入电压。<sup>3</sup> I<sub>OUTPUT</sub> 是 SCLK、DCLK、 $\overline{\text{SSS}}$ 、MI、SI、V<sub>OA</sub> 或 V<sub>OB</sub> 引脚中任意一个的输出电流。<sup>4</sup> |CM| 是输出电压保持在 V<sub>OH</sub> 和 V<sub>OL</sub> 限值内时器件能承受的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。

### 电气特性—3.3 V电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{ V}$ 下测得。除非另有说明，最小值和最大值规格适用于整个推荐的工作范围： $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ ， $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 且 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表4. 开关规格

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
MCLK, MO, SO									
SPI时钟速率	SPI <sub>MCLK</sub>			8.3			12.5	MHz	
数据速率高(MO、SO)	DR <sub>FAST</sub>			40			40	Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>			30			20	ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD			3			3	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
同向通道匹配 <sup>1</sup>	t <sub>PSKCD</sub>			3			3	ns	
抖动, 高速	J <sub>HS</sub>			1			1	ns	
MSS									
数据速率高	DR <sub>FAST</sub>			40			40	Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>			30			30	ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD			3			3	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
建立时间 <sup>2</sup>	MSS <sub>SETUP</sub>	1.5			10			ns	
抖动, 高速	J <sub>HS</sub>			1			1	ns	
DCLK									
数据速率				40			40	MHz	
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>			60			40	ns	t <sub>PMCLK</sub> + t <sub>PSO</sub> + 3 ns
脉冲宽度失真	PWD			3			3	ns	t <sub>PLH</sub> - t <sub>PHL</sub>
脉冲宽度	PW	12			12			ns	在PWD限值内
时钟延迟误差	DCLK <sub>ERR</sub>	-4	+2.4	+9	-3	+2.5	+8	ns	t <sub>PDCLK</sub> - (t <sub>PMCLK</sub> + t <sub>PSO</sub> )
抖动	J <sub>DCLK</sub>			1			1	ns	
V <sub>IA</sub> , V <sub>IB</sub>									
数据速率低	DR <sub>SLOW</sub>			250			250	kbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>	0.1		2.6	0.1		2.6	μs	50%输入至50%输出
脉冲宽度	PW	4			4			μs	在PWD限值内
抖动, 低速	J <sub>LS</sub>			2.5			2.5	μs	
V <sub>ix</sub> <sup>3</sup> 最低输入偏斜 <sup>4</sup>	t <sub>VIX SKEW</sub>	10			10			ns	

<sup>1</sup> 同向通道匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

<sup>2</sup> MSS信号在两个速度级上进行毛刺过滤，而其他高速信号在B级中不会进行毛刺过滤。为了保证MSS在其他高速信号之前到达输出端，可根据速度级以不同的时间在竞争信号之前建立MSS。

<sup>3</sup>  $V_{ix} = V_{IA}$ 或 $V_{IB}$ 。

<sup>4</sup> 内部异步时钟(用户无法使用)对低速信号进行采样。如果同向通道的边沿序列对最终应用来说很重要，那么较早的脉冲必须至少比较晚的脉冲早1个t<sub>VIX SKEW</sub>的时间，才能保证以正确的顺序或同时到达输出端。

# ADuM3150

表5. 所有等级产品<sup>1, 2, 3</sup>

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电源电流						
1 MHz, A级和B级	I <sub>DD1</sub>		3.4	4.5	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		4.7	6.0	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
17 MHz, B级	I <sub>DD1</sub>		9.5	15	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		8	12	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
直流规格						
MCKL, $\overline{\text{MSS}}$ , MO, SO, V <sub>IA</sub> , V <sub>IB</sub>						
输入阈值						
逻辑高电平	V <sub>IH</sub>	0.7 × V <sub>DDx</sub>			V	
逻辑低电平	V <sub>IL</sub>			0.3 × V <sub>DDx</sub>	V	
输入迟滞	V <sub>IHYST</sub>		500		mV	
每个通道的输入电流	I <sub>I</sub>	-1	+0.01	+1	μA	0 V ≤ V <sub>INPUT</sub> ≤ V <sub>DDx</sub>
SCLK, $\overline{\text{SSS}}$ , MI, SI, V <sub>OA</sub> , V <sub>OB</sub> , DCLK						
输出电压						
逻辑高电平	V <sub>OH</sub>	V <sub>DDx</sub> - 0.1	5.0		V	I <sub>OUTPUT</sub> = -20 μA, V <sub>INPUT</sub> = V <sub>IH</sub>
		V <sub>DDx</sub> - 0.4	4.8		V	I <sub>OUTPUT</sub> = -4 mA, V <sub>INPUT</sub> = V <sub>IH</sub>
逻辑低电平	V <sub>OL</sub>		0.0	0.1	V	I <sub>OUTPUT</sub> = 20 μA, V <sub>INPUT</sub> = V <sub>IL</sub>
			0.2	0.4	V	I <sub>OUTPUT</sub> = 4 mA, V <sub>INPUT</sub> = V <sub>IL</sub>
V <sub>DD1</sub> , V <sub>DD2</sub> 欠压闭锁	UVLO		2.6		V	
高速通道的电源电流						
动态输入	I <sub>DDI(D)</sub>		0.09		mA/Mbps	
动态输出	I <sub>DDO(D)</sub>		0.02		mA/Mbps	
全部低速通道的电源电流						
静态输入	I <sub>DDI(Q)</sub>		4.5		mA	
静态输出	I <sub>DDO(Q)</sub>		5.5		mA	
交流规格						
输出上升/下降时间	t <sub>R</sub> /t <sub>F</sub>		2.5		ns	10%至90%
共模瞬变抗扰度 <sup>4</sup>	CM	25	35		kV/μs	V <sub>INPUT</sub> = V <sub>DDx</sub> , V <sub>CM</sub> = 1000 V 瞬变幅度 = 800 V

<sup>1</sup> V<sub>DDx</sub> = V<sub>DD1</sub> 或 V<sub>DD2</sub>

<sup>2</sup> V<sub>INPUT</sub> 是 MCKL、 $\overline{\text{MSS}}$ 、MO、SO、V<sub>IA</sub> 或 V<sub>IB</sub> 引脚中任意一个的输入电压。

<sup>3</sup> I<sub>OUTPUT</sub> 是 SCLK、DCLK、 $\overline{\text{SSS}}$ 、MI、SI、V<sub>OA</sub> 或 V<sub>OB</sub> 引脚中任意一个的输出电流。

<sup>4</sup> |CM| 是输出电压保持在 V<sub>OH</sub> 和 V<sub>OL</sub> 限值内时器件能承受的最大共模电压摆率。共模电压摆率适用于共模电压的上升沿和下降沿。

### 电气特性—5 V/3.3 V混合电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 和 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 3.3\text{V}$ 下测得。除非另有说明，最小值和最大值规则适用于整个推荐的工作范围： $4.5\text{V} \leq V_{DD1} \leq 5.5\text{V}$ ， $3.0\text{V} \leq V_{DD2} \leq 3.6\text{V}$ 且 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{pF}$ 和CMOS信号电平。

表6. 开关规格

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
MCLK, MO, SO									
SPI时钟速率	SPI <sub>MCLK</sub>		9.2			15.6		MHz	
数据速率高(MO、SO)	DR <sub>FAST</sub>		40			40		Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		27			16		ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD		3			2		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
同向通道匹配 <sup>1</sup>	t <sub>PSKCD</sub>		2			2		ns	
抖动, 高速	J <sub>HS</sub>		1			1		ns	
MSS									
数据速率高	DR <sub>FAST</sub>		40			40		Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		27			26		ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD		2			2		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
建立时间 <sup>2</sup>	MSS <sub>SETUP</sub>	1.5			10			ns	
抖动, 高速	J <sub>HS</sub>		1			1		ns	
DCLK									
数据速率			40			40		MHz	
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		50			35		ns	t <sub>PMCLK</sub> + t <sub>PSO</sub> + 3 ns
脉冲宽度失真	PWD		3			3		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
脉冲宽度	PW	12			12			ns	在PWD限值内
时钟延迟误差	DCLK <sub>ERR</sub>	-5	0	+7	-5	+1.2	+9	ns	t <sub>PDCLK</sub> - (t <sub>PMCLK</sub> + t <sub>PSO</sub> )
抖动	J <sub>DCLK</sub>		1			1		ns	
V <sub>IA</sub> , V <sub>IB</sub>									
数据速率低	DR <sub>SLOW</sub>		250			250		kbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>	0.1	2.6		0.1	2.6		μs	50%输入至50%输出
脉冲宽度	PW	4			4			μs	在PWD限值内
抖动, 低速	J <sub>LS</sub>		2.5			2.5		μs	
V <sub>ix</sub> <sup>3</sup> 最低输入偏斜 <sup>4</sup>	t <sub>VIX_SKEW</sub>	10			10			ns	

<sup>1</sup> 同向通道匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

<sup>2</sup> MSS信号在两个速度级上进行毛刺过滤，而其他高速信号在B级中不会进行毛刺过滤。为了保证MSS在其他高速信号之前到达输出端，可根据速度级以不同的时间在竞争信号之前建立MSS。

<sup>3</sup>  $V_{ix} = V_{IA}$ 或 $V_{IB}$ 。

<sup>4</sup> 内部异步时钟(用户无法使用)对低速信号进行采样。如果同向通道的边沿序列对最终应用来说很重要，那么较早的脉冲必须至少比较晚的脉冲早1个t<sub>VIX\_SKEW</sub>的时间，才能保证以正确的顺序或同时到达输出端。

# ADuM3150

表7. 所有等级产品<sup>1, 2, 3</sup>

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电源电流						
1 MHz, A级和B级	I <sub>DD1</sub>		5.3	6.2	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		4.9	6	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
17 MHz, B级	I <sub>DD1</sub>		16	18	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		10	12	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
直流规格						
MCKL, $\overline{\text{MSS}}$ , MO, SO, V <sub>IA</sub> , V <sub>IB</sub>						
输入阈值						
逻辑高电平	V <sub>IH</sub>	0.7 × V <sub>DDx</sub>			V	
逻辑低电平	V <sub>IL</sub>			0.3 × V <sub>DDx</sub>	V	
输入迟滞	V <sub>IHYST</sub>		500		mV	
每个通道的输入电流	I <sub>I</sub>	-1	+0.01	+1	μA	0 V ≤ V <sub>INPUT</sub> ≤ V <sub>DDx</sub>
SCLK, $\overline{\text{SSS}}$ , MI, SI, V <sub>OA</sub> , V <sub>OB</sub> , DCLK						
输出电压						
逻辑高电平	V <sub>OH</sub>	V <sub>DDx</sub> - 0.1	5.0		V	I <sub>OUTPUT</sub> = -20 μA, V <sub>INPUT</sub> = V <sub>IH</sub>
		V <sub>DDx</sub> - 0.4	4.8		V	I <sub>OUTPUT</sub> = -4 mA, V <sub>INPUT</sub> = V <sub>IH</sub>
逻辑低电平	V <sub>OL</sub>		0.0	0.1	V	I <sub>OUTPUT</sub> = 20 μA, V <sub>INPUT</sub> = V <sub>IL</sub>
			0.2	0.4	V	I <sub>OUTPUT</sub> = 4 mA, V <sub>INPUT</sub> = V <sub>IL</sub>
V <sub>DD1</sub> , V <sub>DD2</sub> 欠压闭锁	UVLO		2.6		V	
高速通道的电源电流						
动态输入	I <sub>DDI(D)</sub>		0.09		mA/Mbps	
动态输出	I <sub>DDO(D)</sub>		0.02		mA/Mbps	
全部低速通道的电源电流						
静态输入	I <sub>DDI(Q)</sub>		4.0		mA	
静态输出	I <sub>DDO(Q)</sub>		4.7		mA	
交流规格						
输出上升/下降时间	t <sub>R</sub> /t <sub>F</sub>		2.5		ns	10%至90%
共模瞬变抗扰度 <sup>4</sup>	CM	25	35		kV/μs	V <sub>INPUT</sub> = V <sub>DDx</sub> , V <sub>CM</sub> = 1000 V 瞬变幅度 = 800 V

<sup>1</sup> V<sub>DDx</sub> = V<sub>DD1</sub> 或 V<sub>DD2</sub>

<sup>2</sup> V<sub>INPUT</sub> 是 MCKL、 $\overline{\text{MSS}}$ 、MO、SO、V<sub>IA</sub> 或 V<sub>IB</sub> 引脚中任意一个的输入电压。

<sup>3</sup> I<sub>OUTPUT</sub> 是 SCLK、DCLK、 $\overline{\text{SSS}}$ 、MI、SI、V<sub>OA</sub> 或 V<sub>OB</sub> 引脚中任意一个的输出电流。

<sup>4</sup> |CM| 是输出电压保持在 V<sub>OH</sub> 和 V<sub>OL</sub> 限值内时器件能承受的最大共模电压摆率。共模电压摆率适用于共模电压的上升沿和下降沿。

### 电气特性—3.3 V/5 V混合电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 和 $V_{DD2} = 5\text{ V}$ 下测得。除非另有说明，最小值和最大值规格适用于整个推荐的工作范围： $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ ， $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 且 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表8. 开关规格

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
MCLK, MO, SO									
SPI时钟速率	SPI <sub>MCLK</sub>		9.2			15.6		MHz	
数据速率高(MO、SO)	DR <sub>FAST</sub>		40			40		Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		27			16		ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD		2			2		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
同向通道匹配 <sup>1</sup>	t <sub>PSKCD</sub>		3			3		ns	
抖动, 高速	J <sub>HS</sub>		1			1		ns	
MSS									
数据速率高	DR <sub>FAST</sub>		40			40		Mbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		26			26		ns	50%输入至50%输出
脉冲宽度	PW	12.5			12.5			ns	在PWD限值内
脉冲宽度失真	PWD		3			3		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
建立时间 <sup>2</sup>	MSS <sub>SETUP</sub>	1.5			10			ns	
抖动, 高速	J <sub>HS</sub>		1			1		ns	
DCLK									
数据速率			40			40		MHz	
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>		60			40		ns	t <sub>PMCLK</sub> + t <sub>PSO</sub> + 3 ns
脉冲宽度失真	PWD		3			3		ns	t <sub>PLH</sub> - t <sub>PHL</sub>
脉冲宽度	PW	12			12			ns	在PWD限值内
时钟延迟误差	DCLK <sub>ERR</sub>	2	7	13	2	6.8	11	ns	t <sub>PDCLK</sub> - (t <sub>PMCLK</sub> + t <sub>PSO</sub> )
抖动	J <sub>DCLK</sub>		1			1		ns	
V <sub>IA</sub> , V <sub>IB</sub>									
数据速率低	DR <sub>SLOW</sub>		250			250		kbps	在PWD限值内
传播延迟	t <sub>PHL</sub> , t <sub>PLH</sub>	0.1	2.6		0.1	2.6		μs	50%输入至50%输出
脉冲宽度	PW	4			4			μs	在PWD限值内
抖动, 低速	J <sub>LS</sub>		2.5			2.5		μs	
V <sub>ix</sub> <sup>3</sup> 最低输入偏斜 <sup>4</sup>	t <sub>VIX_SKEW</sub>	10			10			ns	

<sup>1</sup> 同向通道匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

<sup>2</sup> MSS信号在两个速度级上进行毛刺过滤，而其他高速信号在B级中不会进行毛刺过滤。为了保证MSS在其他高速信号之前到达输出端，可根据速度级以不同的时间在竞争信号之前建立MSS。

<sup>3</sup>  $V_{ix} = V_{IA}$ 或 $V_{IB}$ 。

<sup>4</sup> 内部异步时钟(用户无法使用)对低速信号进行采样。如果同向通道的边沿序列对最终应用来说很重要，那么较早的脉冲必须至少比较晚的脉冲早1个t<sub>VIX\_SKEW</sub>的时间，才能保证以正确的顺序或同时到达输出端。

# ADuM3150

表9. 所有等级产品<sup>1, 2, 3</sup>

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电源电流						
1 MHz, A级和B级	I <sub>DD1</sub>		3.5	4.5	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		6.8	9	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 1 MHz, DR <sub>SLOW</sub> = 0 MHz
17 MHz, B级	I <sub>DD1</sub>		12.5	14.5	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
	I <sub>DD2</sub>		14	16	mA	C <sub>L</sub> = 0 pF, DR <sub>FAST</sub> = 17 MHz, DR <sub>SLOW</sub> = 0 MHz
直流规格						
MCKL, $\overline{\text{MSS}}$ , MO, SO, V <sub>IA</sub> , V <sub>IB</sub>						
输入阈值						
逻辑高电平	V <sub>IH</sub>	0.7 × V <sub>DDx</sub>			V	
逻辑低电平	V <sub>IL</sub>			0.3 × V <sub>DDx</sub>	V	
输入迟滞	V <sub>IHYST</sub>		500		mV	
每个通道的输入电流	I <sub>I</sub>	-1	+0.01	+1	μA	0 V ≤ V <sub>INPUT</sub> ≤ V <sub>DDx</sub>
SCLK, $\overline{\text{SSS}}$ , MI, SI, V <sub>OA</sub> , V <sub>OB</sub> , DCLK						
输出电压						
逻辑高电平	V <sub>OH</sub>	V <sub>DDx</sub> - 0.1	5.0		V	I <sub>OUTPUT</sub> = -20 μA, V <sub>INPUT</sub> = V <sub>IH</sub>
		V <sub>DDx</sub> - 0.4	4.8		V	I <sub>OUTPUT</sub> = -4 mA, V <sub>INPUT</sub> = V <sub>IH</sub>
逻辑低电平	V <sub>OL</sub>		0.0	0.1	V	I <sub>OUTPUT</sub> = 20 μA, V <sub>INPUT</sub> = V <sub>IL</sub>
			0.2	0.4	V	I <sub>OUTPUT</sub> = 4 mA, V <sub>INPUT</sub> = V <sub>IL</sub>
V <sub>DD1</sub> , V <sub>DD2</sub> 欠压闭锁	UVLO		2.6		V	
高速通道的电源电流						
动态输入	I <sub>DDI(D)</sub>		0.09		mA/Mbps	
动态输出	I <sub>DDO(D)</sub>		0.02		mA/Mbps	
全部低速通道的电源电流						
静态输入	I <sub>DDI(Q)</sub>		2.8		mA	
静态输出	I <sub>DDO(Q)</sub>		6.4		mA	
交流规格						
输出上升/下降时间	t <sub>R</sub> /t <sub>F</sub>		2.5		ns	10%至90%
共模瞬变抗扰度 <sup>4</sup>	CM	25	35		kV/μs	V <sub>INPUT</sub> = V <sub>DDx</sub> , V <sub>CM</sub> = 1000 V 瞬变幅度 = 800 V

<sup>1</sup> V<sub>DDx</sub> = V<sub>DD1</sub> 或 V<sub>DD2</sub>

<sup>2</sup> V<sub>INPUT</sub> 是 MCKL、 $\overline{\text{MSS}}$ 、MO、SO、V<sub>IA</sub> 或 V<sub>IB</sub> 引脚中任意一个的输入电压。

<sup>3</sup> I<sub>OUTPUT</sub> 是 SCLK、DCLK、 $\overline{\text{SSS}}$ 、MI、SI、V<sub>OA</sub> 或 V<sub>OB</sub> 引脚中任意一个的输出电流。

<sup>4</sup> |CM| 是输出电压保持在 V<sub>OH</sub> 和 V<sub>OL</sub> 限值内时器件能承受的最大共模电压摆率。共模电压摆率适用于共模电压的上升沿和下降沿。

## 封装特性

表10.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电阻(输入至输出) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>12</sup>		Ω	
电容(输入至输出) <sup>1</sup>	C <sub>I-O</sub>		1.0		pF	f = 1 MHz
输入电容 <sup>2</sup>	C <sub>I</sub>		4.0		pF	
IC结至外壳热阻	θ <sub>JC</sub>		75		°C/W	热电偶位于封装底部正中间

<sup>1</sup> 假设器件为双端器件：引脚1与引脚8短接，引脚9与引脚16短接。

<sup>2</sup> 输入电容是从任意输入数据引脚到地的容值。

## 法规信息

ADuM3150正在申请表11所列机构的认可。关于特定横跨隔离波形和绝缘水平下的推荐最大工作电压，请参见表16和“绝缘寿命”部分。

表11.

UL(申请中)	CSA(申请中)	VDE(申请中)
1577器件认可程序认可 <sup>1</sup>	CSA元件验收通知5A批准	DIN V VDE V 0884-10 (VDE V 0884-10) 认证：2006-12 <sup>2</sup>
3750 V rms单一保护	基本绝缘符合CSA 60950-1-07和IEC 60950-1(第二版)标准，510 V rms(721 V峰值)最大工作电压 <sup>3</sup>	加强绝缘，560 V峰值
文件E214100	文件205078	文件2471900-4880-0001

<sup>1</sup> 依据UL 1577，ADuM3150经过1秒钟绝缘测试电压≥1,200 V rms的验证测试(漏电流检测限值为5 μA)。

<sup>2</sup> 依据DIN V VDE V 0884-10，ADuM3150经过1秒钟绝缘测试电压≥525 V峰值的验证测试(局部放电检测限值为5 pC)。器件上的星号(\*)标志表示通过DIN V VDE V 0884-10认证。

<sup>3</sup> 关于不同工作条件下的推荐最大工作电压，请参见表16。

## 隔离和安全相关特性

表12.

参数	符号	数值	单位	条件
额定电介质隔离电压		3750	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	5.1	mm min	测量输入端至输出端，隔空最短距离
最小外部爬电距离	L(I02)	5.1	mm min	测量输入端至输出端，沿壳体最短距离
最小内部间隙		0.017	mm min	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303 第1部分
材料组别		II		材料组(DIN VDE 0110, 1/89, 表1)

# ADuM3150

## DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性

此隔离器适合安全限制数据范围内的增强电隔离。通过保护电路保持安全数据。封装上的星号(\*)标志表示通过DIN V VDE V 0884-10认证。

表13.

说明	测试条件/注释	符号	特性	单位
DIN VDE 0110装置分类			I至IV	
额定电源电压≤150 V rms			I至III	
额定电源电压≤300 V rms			I至II	
额定电源电压≤400 V rms			40/105/21	
环境分类			2	
污染度(DIN VDE 0110, 表1)				
最大工作绝缘电压		$V_{IORM}$	560	$V_{峰值}$
输入至输出测试电压, 方法b1	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100%生产测试, $t_{ini} = t_m = 1$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	1050	$V_{峰值}$
输入至输出测试电压, 方法a				
跟随环境测试, 子类1	$V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	840	$V_{峰值}$
跟随输入和/或安全测试, 子类2和子类3	$V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	672	$V_{峰值}$
最高允许过压		$V_{IOTM}$	5300	$V_{峰值}$
浪涌隔离电压	$V_{IOSM}$ (测试) = 10 kV, 1.2 $\mu$ s上升时间, 50 $\mu$ s, 50%下降时间	$V_{IOSM}$	6000	$V_{峰值}$
安全限值	出现故障时允许的最大值(见图2)			
壳温		$T_s$	130	$^{\circ}C$
总安全功耗		$I_{S1}$	1.4	W
在 $T_s$ 的绝缘电阻	$V_{io} = 500$ V	$R_s$	>10 <sup>9</sup>	$\Omega$

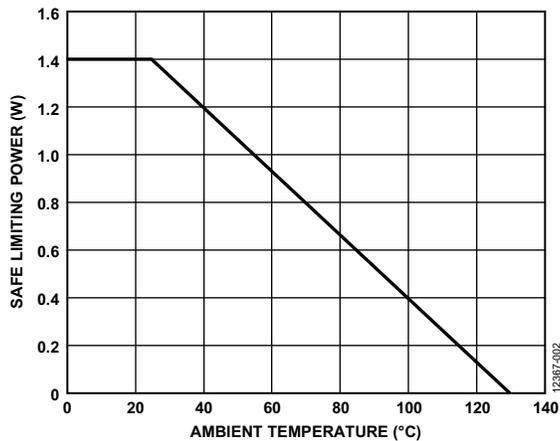


图2. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系

## 建议工作条件

表14.

参数	符号	最小值	最大值	单位
工作温度范围	$T_A$	-40	+125	$^{\circ}C$
电源电压范围 <sup>1</sup>	$V_{DD1}, V_{DD2}$	3.0	5.5	V
输入信号上升/下降时间			1.0	ms

<sup>1</sup> 有关外部磁场抗扰度的信息, 参见“直流正确性和磁场抗扰度”部分。

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表15.

参数	额定值 <sup>1</sup>
存储温度( $T_{ST}$ )范围	-65°C至+150°C
工作环境温度( $T_A$ )范围	-40°C至+125°C
电源电压( $V_{DD1}$ 、 $V_{DD2}$ )	-0.5 V至+7.0 V
输入电压( $V_{IA}$ 、 $V_{IB}$ 、MCLK、MO、SO、MSS)	-0.5 V至 $V_{DDx} + 0.5$ V
输出电压(SCLK、DCLK、SSS、MI、SI、 $V_{OA}$ 、 $V_{OB}$ )	-0.5 V至 $V_{DDx} + 0.5$ V
每个引脚的平均输出电流 <sup>2</sup>	-10 mA至+10 mA
共模瞬变 <sup>3</sup>	-100 kV/ $\mu\text{s}$ 至+100 kV/ $\mu\text{s}$

<sup>1</sup>  $V_{DDx} = V_{DD1}$  或  $V_{DD2}$ 。

<sup>2</sup> 整个温度范围内的最大安全额定电流值参见图2。

<sup>3</sup> 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表16. 最大连续工作电压<sup>1</sup>

参数	最大值	单位	约束条件
交流60 Hz RMS电压	400	V rms	20年寿命，0.1%故障率，零平均电压
直流电压	722	V peak	受限于封装的爬电距离，污染等级2，材料组II2,3

<sup>1</sup> 详情参见“隔离寿命”部分。

<sup>2</sup> 若污染等级和材料组的要求不同，则限值也不同。

<sup>3</sup> 某些系统级标准允许元器件采用印刷电路板(PWB)爬电距离值。对于这些标准来说，支持的直流电压可能更高。

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADuM3150

## 引脚配置和功能描述

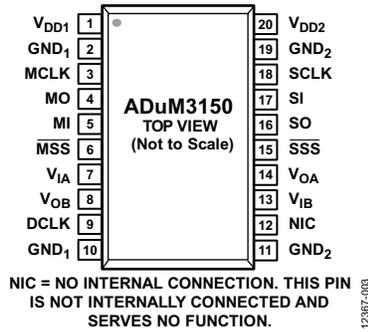


图3. 引脚配置

表17. 引脚功能描述

引脚编号	引脚名称	方向	说明
1	V <sub>DD1</sub>	电源	第1侧输入电源。需要一个从V <sub>DD1</sub> 到GND <sub>1</sub> 再到局部接地的旁路电容。
2,10	GND <sub>1</sub>	回波	地1。隔离器第1侧的接地基准点。
3	MCLK	时钟	来自主机控制器的SPI时钟。
4	MO	输入	来自主机MO/SI线路的SPI数据。
5	MI	输出	从从机到主机MI/SO线路的SPI数据。
6	MSS	输入	来自主机的从机选择。此信号使用低电平有效逻辑。从下一个时钟或数据边沿开始，从机选择引脚可能需要长达10 ns的建立时间，具体取决于速度等级。
7	V <sub>IA</sub>	输入	低速数据输入A。
8	V <sub>OB</sub>	输出	低速数据输出B。
9	DCLK	输出	延迟时钟输出。此引脚提供MCLK的延迟副本。
11,19	GND <sub>2</sub>	回波	地2。隔离器第2侧的接地基准点。
12	NIC	无	无内部连接。此引脚内部不连接，且在ADuM3150中无功能。
13	V <sub>IB</sub>	输入	低速数据输入B。
14	V <sub>OA</sub>	输出	低速数据输出A。
15	SSS	输出	输入从机的从机选择。此信号使用低电平有效逻辑。
16	SO	输入	从从机到主机MI/SO线路的SPI数据。
17	SI	输出	从主机到从机MO/SI线路的SPI数据。
18	SCLK	输出	来自主机控制器的SPI时钟。
20	V <sub>DD2</sub>	电源	第2侧输入电源。需要一个从V <sub>DD2</sub> 到GND <sub>2</sub> 再到局部接地的旁路电容。

表18. 关断默认状态真值表(正逻辑)<sup>1</sup>

V <sub>DD1</sub> 状态	V <sub>DD2</sub> 状态	第1侧输出	第2侧输出	SSS	注释
未上电	上电	Z	Z	Z	未上电一侧的输出为高阻态且在地的一个二极管压降范围内
上电	未上电	Z	Z	Z	未上电一侧的输出为高阻态且在地的一个二极管压降范围内

<sup>1</sup> Z表示高阻态。

## 典型性能参数

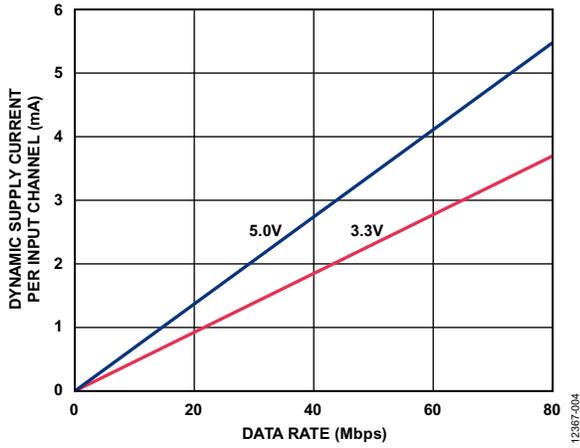


图4. 5.0 V和3.3 V电源下每输入通道典型动态电源电流与数据速率的关系

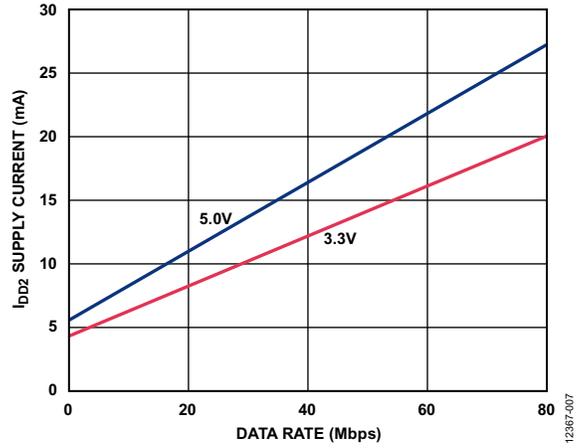


图7. 5.0 V和3.3 V电源下典型I<sub>DD2</sub> 电源电流与数据速率的关系

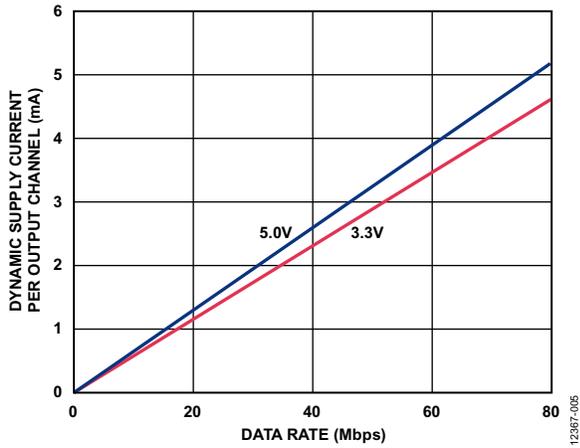


图5. 5.0 V和3.3 V电源下每输出通道典型动态电源电流与数据速率的关系

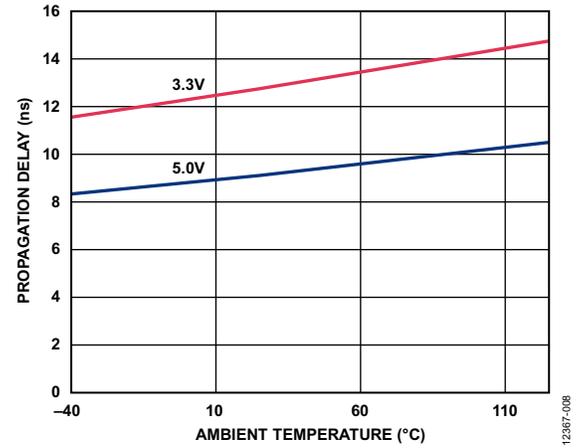


图8. 无毛刺滤波器的高速通道的典型传播延迟与环境温度的关系 (更多信息请参见“高速通道”部分)

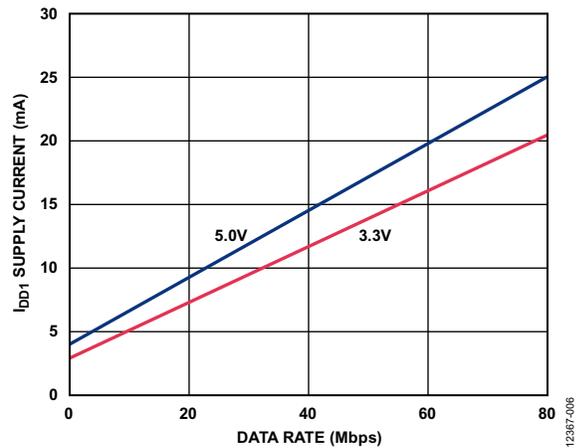


图6. 5.0 V和3.3 V电源下典型I<sub>DD1</sub> 电源电流与数据速率的关系

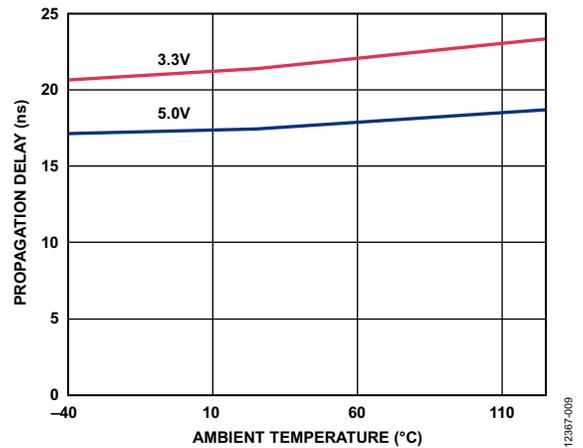


图9. 带毛刺滤波器的高速通道的典型传播延迟与环境温度的关系 (更多信息请参见“高速通道”部分)

## 应用信息

### 简介

ADuM3150系列器件针对速度进行SPI隔离优化，同时提供额外的低速通道用于控制和状态监控等功能。这些隔离器基于差分信号iCoupler技术，具有增强型速度和噪声抗扰度性能。

### 高速通道

ADuM3150集成四个高速通道。前三个通道——CLK、MI/SO和MO/SI(斜杠表示特定输入和输出连接，在隔离器两端形成对应SPI总线信号的数据路径)——针对B级的低传播延迟或A级的高噪声抗扰度进行了优化。两个等级之间的不同之处在于，A级在这三个通道中增加了一个毛刺滤波器，用于提升传播延迟性能。B级的最大传播延迟为14 ns，在标准四线式SPI中支持17 MHz的最大时钟速率。然而，由于B级中不存在毛刺滤波器，因此应当保证系统中没有短于10 ns的杂散毛刺。

在B级器件中，短于10 ns的毛刺会导致毛刺的第二边沿被忽略。这种脉冲条件在输出端表现为杂散数据传输，刷新后或下一个有效数据边沿时即会校正。在噪声环境中，建议使用A级器件。

表19总结了ADuM3150中SPI信号路径和引脚名称之间的关系，以及数据方向。

表19. 与SPI信号路径名称对应的引脚名称

SPI信号路径	主机侧1	数据方向	从机侧2
CLK	MCLK	→	SCLK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
SS	MSS	→	SSS

数据路径与SPI模式无关。CLK和MO/SI SPI数据路径针对传播延迟和通道间匹配进行了优化。MI/SO SPI数据路径针对传播延迟进行了优化。该器件不与时钟通道同步，因此相对于数据线的时钟极性或时序都不会受到限制。

$\overline{SS}$ (从机选择信号)通常是低电平有效信号。它在SPI和SPI类总线中具有很多不同的功能。这些功能中的很多都是边沿触发；因此，无论在A级还是B级中， $\overline{SS}$ 路径都集成毛刺滤波器。毛刺滤波器可防止短脉冲传播至输出端，或者防止产生其他误差。在B级中， $\overline{MSS}$ 信号要求在第一个有效时钟边沿之前具有10 ns建立时间，以弥补毛刺滤波器增加的传播时间。

### 低速数据通道

低速数据通道作为经济型隔离数据路径，用于时序不太重要的场合。器件给定一侧的全部高速和低速输入的直流值均同时采样、打包后通过隔离线圈传输到另一侧。器件会比较高速通道以保证直流精度，而低速数据传输至适当的低速输出端。然后以相反的过程在器件的另一侧读取输入，将其打包并回发；其过程类似。高速通道的直流正确性数据在内部处理，而低速数据则在输出端同步输出。

该双向数据传送由自由工作的内部时钟来调节。由于数据根据此时钟在离散时间采样，低速通道的传播延迟为400 ns至1.7  $\mu$ s，具体取决于输入数据边沿随内部采样时钟而变化的位置。

图10显示了低速通道的行为。

- A点：采样前，数据最大可能改变2.5  $\mu$ s，然后需要大约100 ns才能传播至输出端。这表现为传播延迟时间存在2.5  $\mu$ s的不确定性。
- B点：不足最小低速脉冲宽度的数据脉冲可能根本不会被发送，因为可能并未对它们采样。

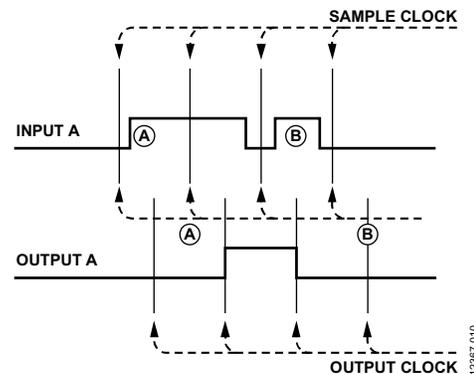


图10. 低速通道时序

## 延迟时钟

DCLK功能是为了以超过限值(通常由传播延迟所确定)的速度传输SPI数据。在四线式SPI应用中,最大时钟速度由以下要求确定:数据在一个时钟边沿移出,而返回数据在互补时钟边沿移入。在隔离系统中,隔离器造成的延迟非常大。第一个时钟边沿告诉从机提供数据,且必须通过隔离器传播。从机对此做出响应,将数据通过隔离器回传给主机。数据必须在互补时钟边沿以前返回主机,以便正确移入主机。

在图11的示例中,如果隔离器具有50 ns的传播延迟,从机做出的响应需要超过100 ns的时间才能回到主机。这意味着,SPI总线最快的时钟周期为200 ns或5 MHz,并且需假定处于理想条件下,比如无走线传播延迟或从机延迟,以简化分析。

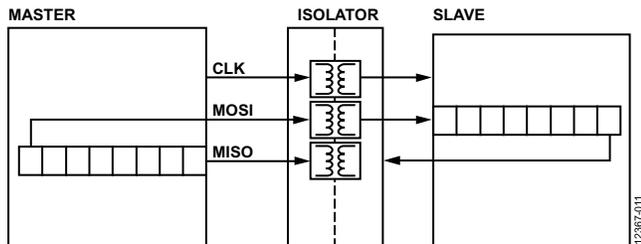


图11. 标准SPI配置

为了避免SPI时钟的这种限制,可以如图12所示使用第二个接收缓冲器以及一个时钟信号,且该信号经过延迟处理与从机返回的数据相匹配。过去,为了实现合适的时钟延迟,需要通过匹配隔离器通道回送时钟副本,并使用延迟时钟将从机数据移入第二个缓冲器中。使用额外通道的代价非常昂贵,因为这么做会额外消耗一个高速隔离器通道。

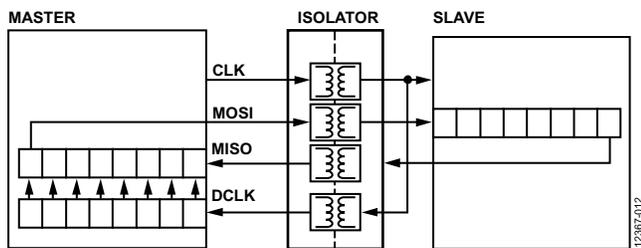


图12. 使用隔离通道延迟的高速SPI

ADuM3150在主机侧集成延迟电路,无需额外高速通道,如图13所示。DCLK在生产测试阶段经过调整,匹配每个隔离器的往返传播延迟。DCLK信号可按照前述方案使用,就像时钟信号与从机发出的数据一起传播。

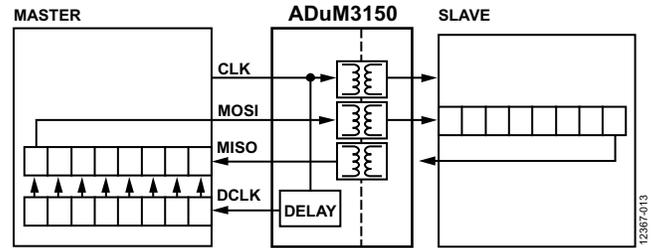


图13. 使用精密时钟延迟的高速SPI

该配置的时钟速率最高可达40 MHz。MI/SO数据由DCLK移入副边接收缓冲器,随后由主机内部传送至其目标位置。ADuM3150无需额外使用成本高昂的隔离器通道,即可实现这些数据传输速度。注意,为清晰起见,此处未显示SS通道。

## 印刷电路板(PCB)布局

ADuM3150数字隔离器的逻辑接口不需要外部接口电路。强烈建议为输入和输出电源引脚提供电源旁路:  $V_{DD1}$  和  $V_{DD2}$  (参见图14)。电容值必须在0.01  $\mu\text{F}$ 和0.1  $\mu\text{F}$ 之间。电容两端到输入电源引脚的走线总长应该小于20 mm。

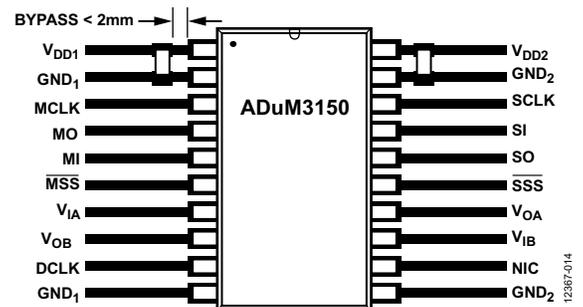


图14. 推荐的PCB布局

在具有高共模瞬变的应用中,必须确保隔离栅两端的电路板耦合最小。此外,PCB布局设计应确保出现的任何耦合对给定器件侧的所有引脚产生同等影响。否则,可能导致引脚间的电压差异超过器件的绝对最大额定值,进而造成器件闩锁或者永久损坏。

# ADuM3150

## 传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。高电平至低电平转换的输入至输出传播延迟时间可能不同于低电平至高电平转换的传播延迟时间。

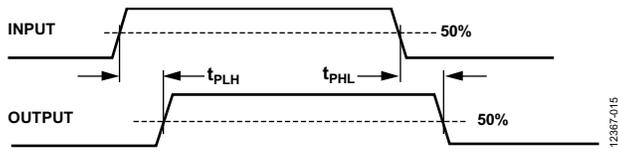


图15. 传播延迟参数

脉冲宽度失真指这两个传播延迟值的最大差异，反映了输入信号时序的保持精度。

通道间匹配指单个ADuM3150器件内各通道的传播延迟之间的最大差异。

## 直流正确性和磁场抗扰度

在隔离器输入端的正负逻辑电平转换会使一个很窄的(约1 ns)脉冲通过变压器被送到解码器。解码器是双稳态的，因此，可以被这个脉冲置位或复位，表示输入逻辑的转换。输入端没有超过1.2 μs的逻辑转换时，会通过低速通道发送一组用以表示正确输入状态的周期性刷新脉冲，以确保输出的直流正确性。

如果低速解码器在大约5 μs内没有接收到脉冲，则认为输入侧没有供电或者无效。在这种情况下，隔离器的输出被看门狗定时器电路强制设置为高阻态。

该器件磁场抗扰度的限制由变压器接收线圈中感应电压的状态决定，电压足够大就会错误地置位或复位解码器。下面的分析可说明此情况。在3 V工作条件下检测ADuM3150，这是最易受干扰的工作模式。

变压器输出端的脉冲幅度大于1.5 V。解码器的检测阈值大约是1.0 V，因此有一个0.5 V的感应电压容限。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt)\sum\pi r_n^2; n = 1, 2, \dots, N$$

其中：

$\beta$ 是磁通密度。

$r_n$ 是接收线圈第n圈的半径。

$N$ 是接收线圈匝数。

给定ADuM3150中接收线圈几何形状及感应电压，解码器最多能够有0.5 V余量的50%，允许的最大磁场见图16所示计算。

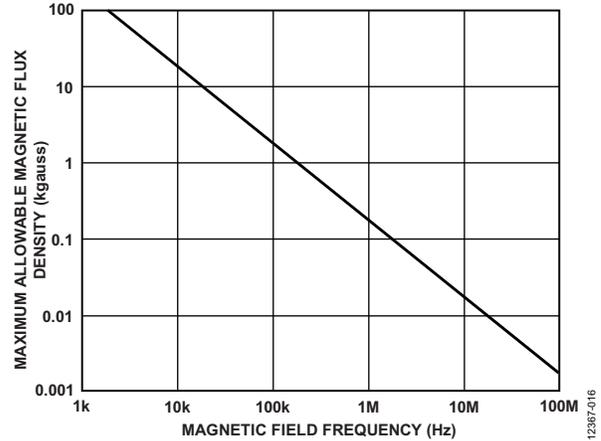


图16. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，0.5 K高斯的最大允许磁场可以在接收线圈感应出0.25 V的电压。这大约是检测阈值的50%并且不会引起输出转换错误。如果这样的情况在发送脉冲时发生(最差的极性)，就会使接收到的脉冲从大于1.0 V下降到0.75 V。注意，这仍然高于解码器检测阈值0.5 V。

先前的磁通密度值对应于与ADuM3150变压器相距给定距离的额定电流幅度。图17表明这些允许的电流幅度是频率与所选距离的函数。ADuM3150不受外部磁场的影响，只会受非常靠近器件的极大高频电流影响。例如，当工作频率为1 MHz时，1.2 kA电流必须放置在距离ADuM3150 5 mm以内才会影响器件的工作。

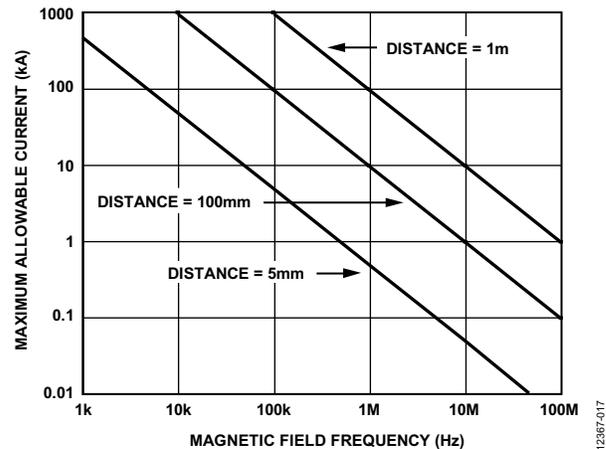


图17. 不同电流至ADuM3150距离下的最大允许电流

请注意，在强磁场和高频率的叠加作用下，PCB走线形成的任何回路都会感应出足够大的误差电压，进而触发后续电路的阈值。小心不要使PCB结构形成环路。

## 功耗

ADuM3150隔离器给定通道的电源电流与电源电压、通道数据速率和通道输出负载，以及是高速或是低速通道相关。

由于内部乒乓数据路径，低速通道消耗恒定的静态电流。工作频率足够低，相比静态电流，推荐的容性负载所产生的容性损耗可忽略不计。为简便起见，此处不进行数据速率的显式计算，并且特定工作电压下隔离器每一侧因低速通道产生的静态电流可在表3、表5、表7和表9中找到。这些静态电流以及高速电流的计算见下式，该式可计算隔离器每一侧的总电流。

对于每个高速输入通道，电源电流计算公式如下：

$$I_{DDI} = I_{DDI(D)} \times f + I_{DDI(Q)}$$

对于每个高速输出通道，电源电流计算公式如下：

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times f + I_{DDO(Q)}$$

其中：

$I_{DDI(D)}$ 、 $I_{DDO(D)}$ 是每个通道的输入和输出动态电源电流(mA/Mbps)。

$C_L$ 是输出负载电容(pF)。

$V_{DDO}$ 是输出电源电压(V)。

$f$ 是输入逻辑信号数据速率，单位为Mbps。

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$ 是额定输入和输出静态电源电流(mA)。

为了计算总 $V_{DD1}$ 和 $V_{DD2}$ 电源电流，必须计算与 $V_{DD1}$ 和 $V_{DD2}$ 对应的各输入和输出通道的电源电流并求和。图4和图5显示了无输出负载条件下每个通道的电源电流与数据速率的关系。图6和图7显示了ADuM3150通道配置的总 $I_{DD1}$ 和 $I_{DD2}$ 电源电流与数据速率的关系，其中所有高速通道均在相同的数据速率下工作，而低速通道空闲。

## 隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。绝缘衰减率由施加于绝缘层、材料以及材料接口上的电压波形特性决定。

主要有两种绝缘衰减类型：暴露于空气中的表面击穿和绝缘磨损。表面击穿是一种表面跟踪现象，是系统级标准中表面爬电距离要求的主要决定因素。绝缘磨损是一种绝缘材料内部的电荷注入或位移电流引起的长期绝缘性能下降的现象。

## 表面跟踪

电气安全标准中定义了表面跟踪：根据工作电压、环境条件和绝缘材料属性设置的最小表面爬电距离。安全机构执行元件的表面绝缘特性化测试，允许在不同的材料组中对元件进行分类。较低的材料组额定值对表面跟踪抵抗能力更强，因此能以较小的爬电距离提供足够长的寿命。给定工作电压和材料组的最小爬电距离在各自的系统级标准中定义，且以隔离端的总电压有效值、污染等级和材料组为依据。ADuM3150隔离器的材料组和爬电距离参见表12。

## 绝缘磨损

与磨损有关的绝缘寿命由其厚度、材料属性和所施加的电压应力确定。在应用的工作电压上验证产品具有充足的使用寿命很重要。隔离器支持磨损的工作电压和支持跟踪的工作电压可能有所不同。大部分标准中指定的工作电压适用于跟踪。

测试与建模显示，长期性能下降的主要原因是聚酰亚胺绝缘材料中的位移电流产生逐步的破坏。绝缘材料上的应力可细分为多种类型，比如：直流应力，它造成的磨损极少，因为无位移电流；以及随交流分量时间变化的电压应力，它会导致磨损。

认证文档中的额定值通常基于60 Hz正弦应力而给出，因为这样能反映线路电压的隔离。然而，很多实际应用中，在隔离栅两端存在60 Hz交流和直流组合，如等式1所示。由于仅交流部分的应力会产生磨损，因此可求解该等式，算出交流电压有效值，如等式2所示。由于本产品的绝缘磨损与所用的聚酰亚胺材料有关，因此交流电压有效值可确定产品寿命。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

或者

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

其中：

$V_{AC\ RMS}$ 是工作电压的时间变化部分。

$V_{DC}$ 是工作电压的直流失调。

$V_{RMS}$ 是总工作电压有效值。

## 计算和参数使用示例

下述示例常见于电源转换应用中。假设隔离一侧的线路电压为 $240\text{ V}_{AC RMS}$ ，并且隔离栅另一侧存在一个 $400\text{ V}_{DC}$ 总线电压，而且隔离材料为聚酰亚胺。为了获得确定器件爬电距离、电气间隙以及使用寿命的关键电压值，请参见图18以及下述等式。

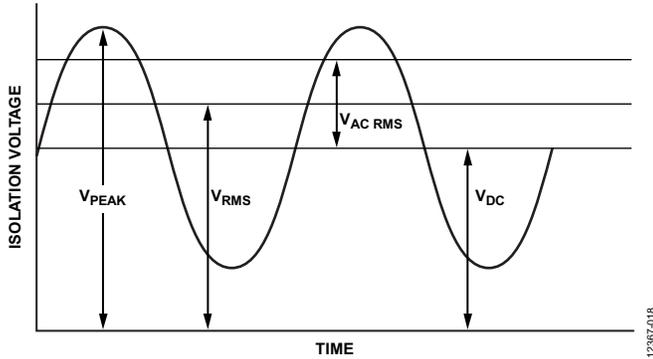


图18. 关键电压示例

从等式1可知，隔离栅上的工作电压为：

$$V_{RMS} = \sqrt{V_{AC RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

这是考察系统标准要求的爬电距离时与材料组和污染等级一同使用的工作电压。

为了确定寿命是否足够长，可求解工作电压的时间变量部分。由等式2可求得交流电压有效值。

$$V_{AC RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

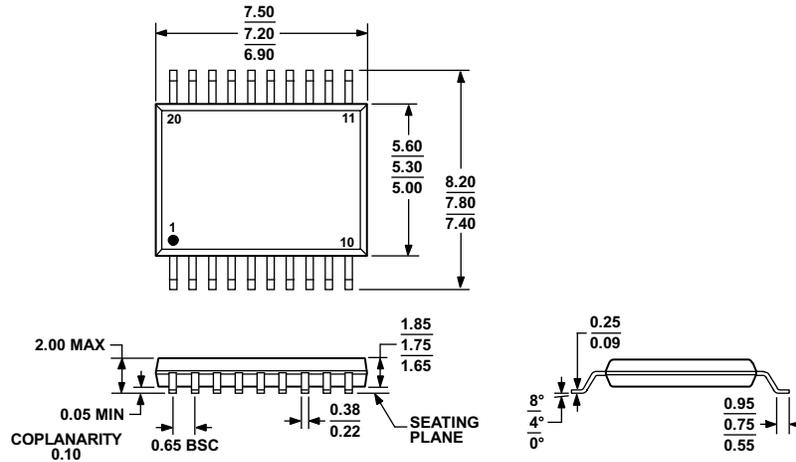
$$V_{AC RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC RMS} = 24\text{ V rms}$$

本例中，交流电压有效值等于 $240\text{ V rms}$ 线路电压。波形不是正弦波时，此计算相关性更高。该值与表16中预期寿命的工作电压限值进行比较，小于 $60\text{ Hz}$ 的正弦波，因此完全位于50年工作寿命的限制范围内。

注意，表16中的直流工作电压由封装爬电距离确定，符合IEC 60664-1标准。针对不同的系统级标准，该值可能有所不同。

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-150-AE

图19. 20引脚紧缩小型封装[SSOP]  
(RS-20)

图示尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	输入数 ( $V_{DD1}$ 侧)	输入数 ( $V_{DD2}$ 侧)	最大数据 速率(MHz)	最大传播延迟, 5 V (ns)	隔离额定 值(V ac)	温度范围	封装描述	封装选项
ADuM3150ARSZ	4	2	10	25	3750	-40°C至+125°C	20引脚 SSOP	RS-20
ADuM3150ARSZ-RL7	4	2	10	25	3750	-40°C至+125°C	20引脚 SSOP, 7"卷带和卷盘	RS-20
ADuM3150BRSZ	4	2	17	14	3750	-40°C至+125°C	20引脚 SSOP	RS-20
ADuM3150BRSZ-RL7	4	2	17	14	3750	-40°C至+125°C	20引脚 SSOP, 7"卷带和卷盘	RS-20
EVAL-ADuM3150Z							评估板	

<sup>1</sup>Z = 符合RoHS标准的器件。